

# 大規模再構成可能データパスプロセッサの開発 : Large Scale Reconfigurable Data Path

本田, 宏明  
九州大学情報基盤研究開発センター

<https://hdl.handle.net/2324/9166>

---

出版情報 : SLRC プレゼンテーション, 2007-07-25. 九州大学システムLSI研究センター  
バージョン :  
権利関係 :

# 大規模再構成可能データパス プロセッサの開発

~*Large Scale Reconfigurable Data Path*~

---

07/07/25

九州大学 情報基盤研究開発センター

本田宏明



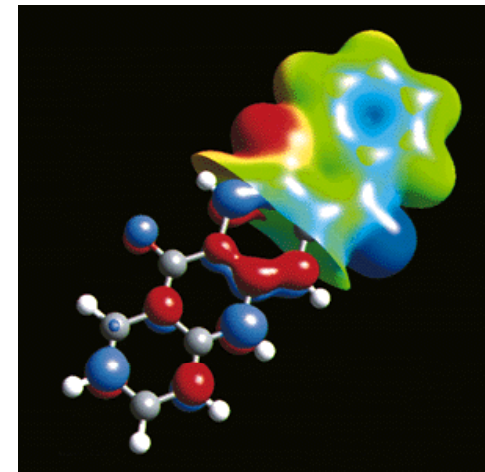
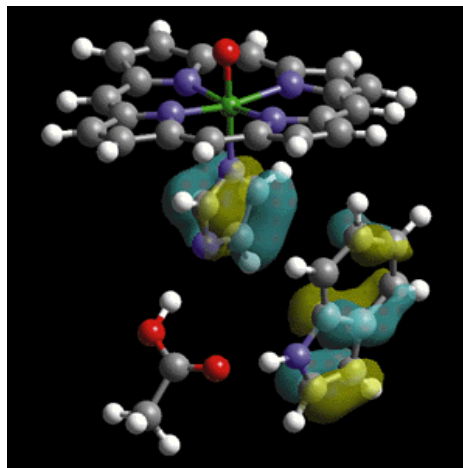
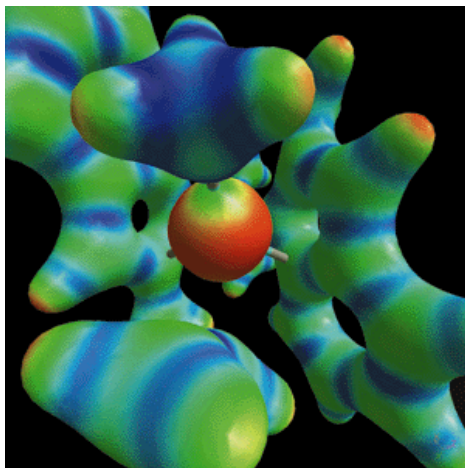
# あらまし

---

- はじめに
  - 量子化学計算におけるボトルネック: 電子反発積分
  - 電子反発積分計算のデータフローグラフと並列計算
  - プロセッサ内並列計算と要求メモリバンド幅
  - 大規模再構成可能データパスプロセッサ (LSRDP)
  - データパスによるメモリアクセス回数削減
- LSRDP の研究開発
  - LSRDP 向けアプリケーション
  - 専用コンパイラ開発
  - LSRDP 内部構成の検討
- CREST: SFQ-RDP プロジェクト
  - Single Flux Quantum (SFQ) 回路
  - 次世代デスクサイドコンピュータ
- まとめ

# はじめに：分子軌道法計算を例に

- Schrödinger 方程式 (Hartree-Fock 方程式) を解く事により、電子が原子・分子内でどれ程のエネルギーを持ち、どのような運動をしているのかを求める。
  - 分子物性の解析
  - 創薬、新素材の開発
  - ex) プリンタのカラーインク、液晶ディスプレイ



# 分子軌道法計算のボトルネック： 電子反発積分 (ERI)

## 量子力学的電子反発エネルギー計算

*begin loop IJKL*

ERI: (IJ, KL)

ERI の初期項計算

$$\frac{2\pi^{5/2} \exp\left(-\frac{ab}{a+b}(\mathbf{A}-\mathbf{B})^2\right) \exp\left(-\frac{cd}{c+d}(\mathbf{C}-\mathbf{D})^2\right)}{(a+b)(c+d)\sqrt{a+b+c+d}} F_m(T)$$

+ 漸化計算 (大量の積和計算)

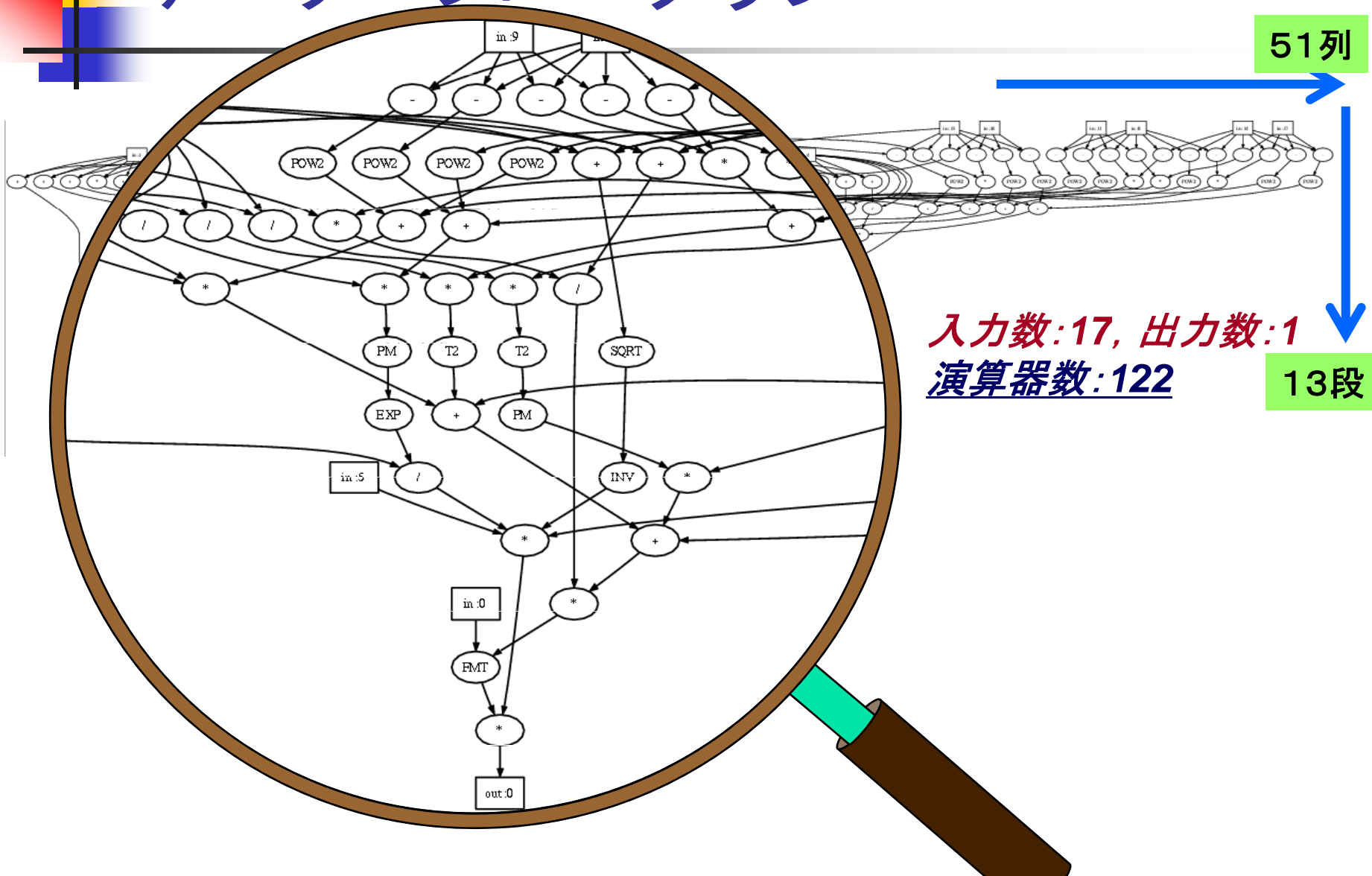
(IJ, KL) を利用

*end: loop*

1000 原子未満の分子で  
ERI 計算量 ~ 600 TB 個

- ・  $O(N^4)$  の計算量
- ・ 上記ループが計算時間の約 98 % 以上 (巨大分子)

# 電子反発積分初期項計算 データフローグラフ



# 並列計算と要求メモリバンド幅

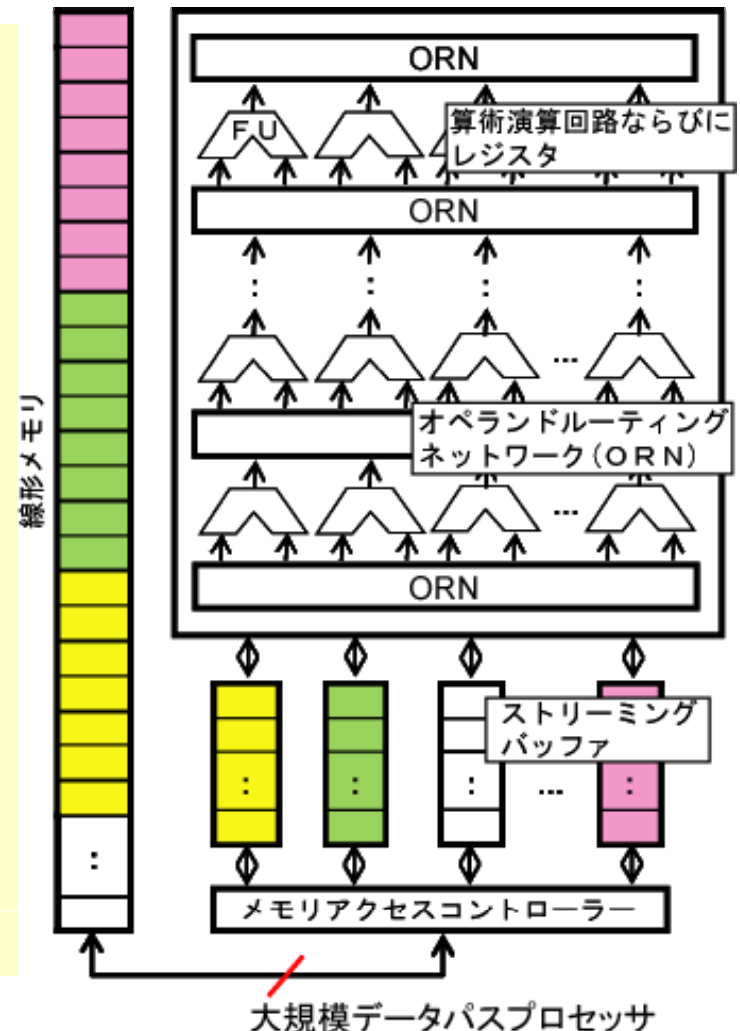
- 主記憶へのアクセス遅延はプロセッサ動作処理速度に比べ圧倒的に遅い
  - メモリーウォール問題
- プロセッサ内での高い並列計算を行う場合
  - ベクトル型, SIMD 型, マルチコアプロセッサ等
    - 必然的に高い演算性能を支える**要求メモリバンド幅は高くなる**
    - オンチップメモリ, キャッシュメモリに拠るデータアクセス遅延の隠蔽の工夫
  - **要求メモリバンド幅を低く抑える**  
⇒ ???

高い演算性能を保ちつつも、要求メモリバンド幅を低く抑えた並列処理プロセッサはないの？

# 大規模再構成可能データパス

(LSRDP: Large-Scale Reconfigurable Data Path)

- 数千個の浮動小数点演算器
  - 計算ロジックを持つ大規模データパス
- 汎用プロセッサと連動
  - 計算のアクセラレータとして
- 動的に再構成可能
- 大量の計算を高スループットで計算
  - 入出力時以外にメモリアクセス遅延が無い
  - データパス設計時に計算の並列性を考慮
  - LSRDP 計算の最大遅延は計算のクリティカルパスで決定
  - ループボディの計算を受け持つ事で高い並列演算性能を持つ高スループットの計算を行う事が可能





# データパスによる メモリアクセス回数の削減

プログラム

$A = B + C;$

⋮

データ  
依存関係

$D = A - E;$

⋮

⋮

⋮

スカラープロセッサ

load R0, [B] Read Mem.

load R1, [C]

add R2, R0, R1

store R2, [A] Write Mem.

⋮

load R3, [A] Read Mem.

load R4, [E]

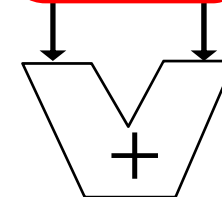
sub R5, R3, R4

store R5, [D] Write Mem.

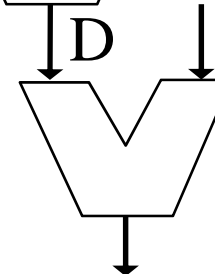
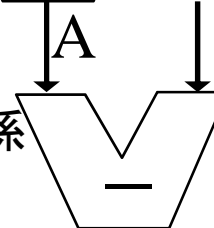
⋮

データパス

B C Read Mem.



データ  
依存関係



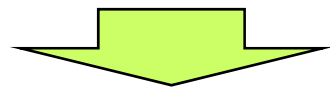
スカラープロセッサに比べ、  
メモリアクセス回数が削減



# 関連研究

---

- 専用コンピュータ, 専用プロセッサ
  - 数多くの専用プロセッサ研究...
  - EHPC-ERIC: (九大, セイコー・エプソン)
- データフロー型計算機: SIGMA-1, EM-4 等
- タイルアーキテクチャ: Raw, TRIPS 等
- FPGA



1チップで数千からなる演算器が取り扱い可能かつ,  
計算中に再構成可能なプロセッサが存在した場合, どうなる?



# LSRDP についての研究開発

---

## 本研究の目的

- LSRDP 向けアプリケーション開発
- 専用コンパイラ開発
- LSRDP 内部構成の検討

# LSRDP にはどのようなソフトウェアが向いている?

ERI の計算では両方を満たす

- (演算量 / 入出力データ) が大
- 大きなループ回転数のループボディをそのまま LSRDP にマッピングできる場合
  - 高いスループットとすることが可能





# LSRDP 向けソフトウェアの調査

---

- アプリケーション
  - 行列要素の計算
    - 量子化学分野における, 分子積分計算 (ERI 計算)
  - モンテカルロ計算
  - etc...
- 数値計算ライブラリ
  - 特殊関数
  - 常微分方程式
  - 数値積分
  - 行列計算 (望み薄 ??)
  - etc...

種々のソフトウェアに対する有効性の調査



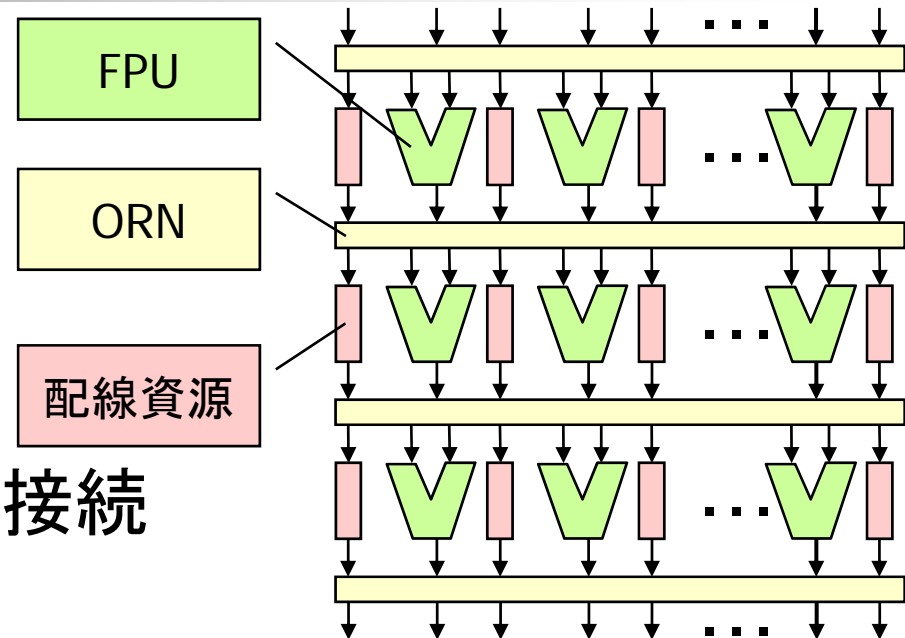
# 専用コンパイラ開発

---

- 人手により DFG を記述するのは大変
- 専用コンパイラ開発
  - 人手により LSRDP 化箇所を示すディレクティブをプログラム中に挿入
  - 通常プロセッサ用のオブジェクトコードの生成ならびに, LSRDP 化箇所については LSRDP への DFG マッピング情報を出力
- 可能であれば LSRDP 化箇所自動抽出

# LSRDP 内部構成の検討

- FPU 構成
  - 種類と行当たり個数
- ORN構成
  - フルクロスバー
  - 演算器列間の制限付き接続
    - 制限接続数
- 配線資源の構成
  - 行をまたいでのデータ転送
  - 資源数



ERI 計算を対象に最適構成の評価

# CREST プロジェクト (JST)

ULP

研究領域「情報システムの超低消費電力化を目指した技術革新と統合化技術」

## 「単一磁束量子回路による再構成可能な 低電力高性能プロセッサ」

村上和彰, 本田宏明, F. Mehdipour (九大)

RDP アーキテクチャ, コンパイラ, アルゴリズム

研究代表: 高木直史, 高木一義 (名大)

CAD for 論理設計, 算術演算回路

吉川信行 (横国大)

SFQ-FPU チップ, セルライブラリ

藤巻 朗, 赤池宏之 (名大)

SFQ-RDP チップ, セルライブラリ, 配線

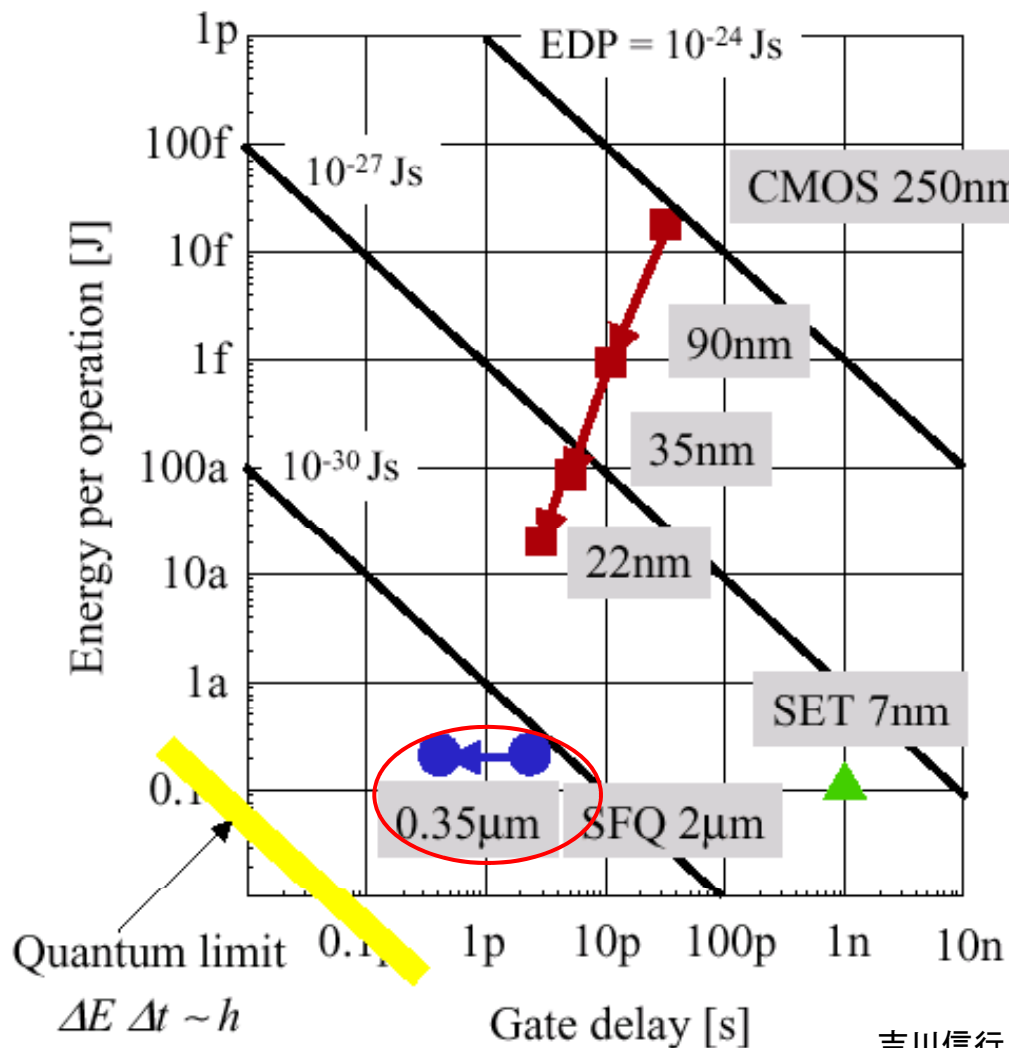
永沢 秀一 (SRL) [2006/4~]

SFQ プロセス



# Single Flux Quantum (SFQ) 回路

## エネルギーと回路デバイス遅延



### Single Flux Quantum (SFQ) 回路:

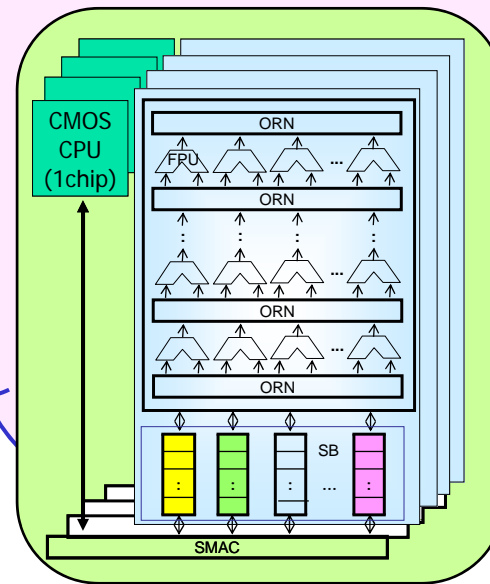
- 高速スイッチング動作
- 低消費電力

# 次世代デスクサイドコンピュータ



TFLOPS 級

*SFQ + LSRDP*



冷却機も  
内蔵

次世代のハイエンドデスクサイドコンピュータ  
を目指して



# まとめ

---

- 大規模再構成可能データパスプロセッサ (LSRDP) を導入する事で, 高い並列演算性能を保持したまま, 要求メモリバンド幅を押さえる事が可能となる。
- 現在, 以下について研究開発を行っている。
  - LSRDP 向けソフトウェアの探索
  - 専用コンパイラの開発
  - LSRDP 内部構成についての検討
- JST の CREST ULP において SFQ-RDP プロジェクトが採択されており, Single Flux Quantum による超伝導回路デバイスに対し LSRDP アーキテクチャを適用することで, 高速スイッチング動作かつ極低消費電力な LSRDP プロセッサ実現のための研究開発をしている。