

物理的制約を克服するアーキテクチャ研究

佐藤, 寿倫
九州大学システムLSI研究センター

<https://hdl.handle.net/2324/9141>

出版情報 : SLRC プレゼンテーション, 2006-07-19. 九州大学システムLSI研究センター
バージョン :
権利関係 :

物理的制約を克服する アーキテクチャ研究

佐藤 寿倫

システムLSI研究センター

九州大学

研究の狙い

- 闇雲な消費電力の削減ではない
 - 省電力だけを考えれば良い状況ではない
- 電力の無駄遣いをやめたい
 - 必要な電力は消費する
- 性能・機能を維持しつつ、消費電力を削減
 - 消費電力を維持しつつ、機能を追加する
 - 消費電力を維持しつつ、性能を向上する

背景

- 課題は省電力だけではない

- 信頼性



全て物理的制約に起因

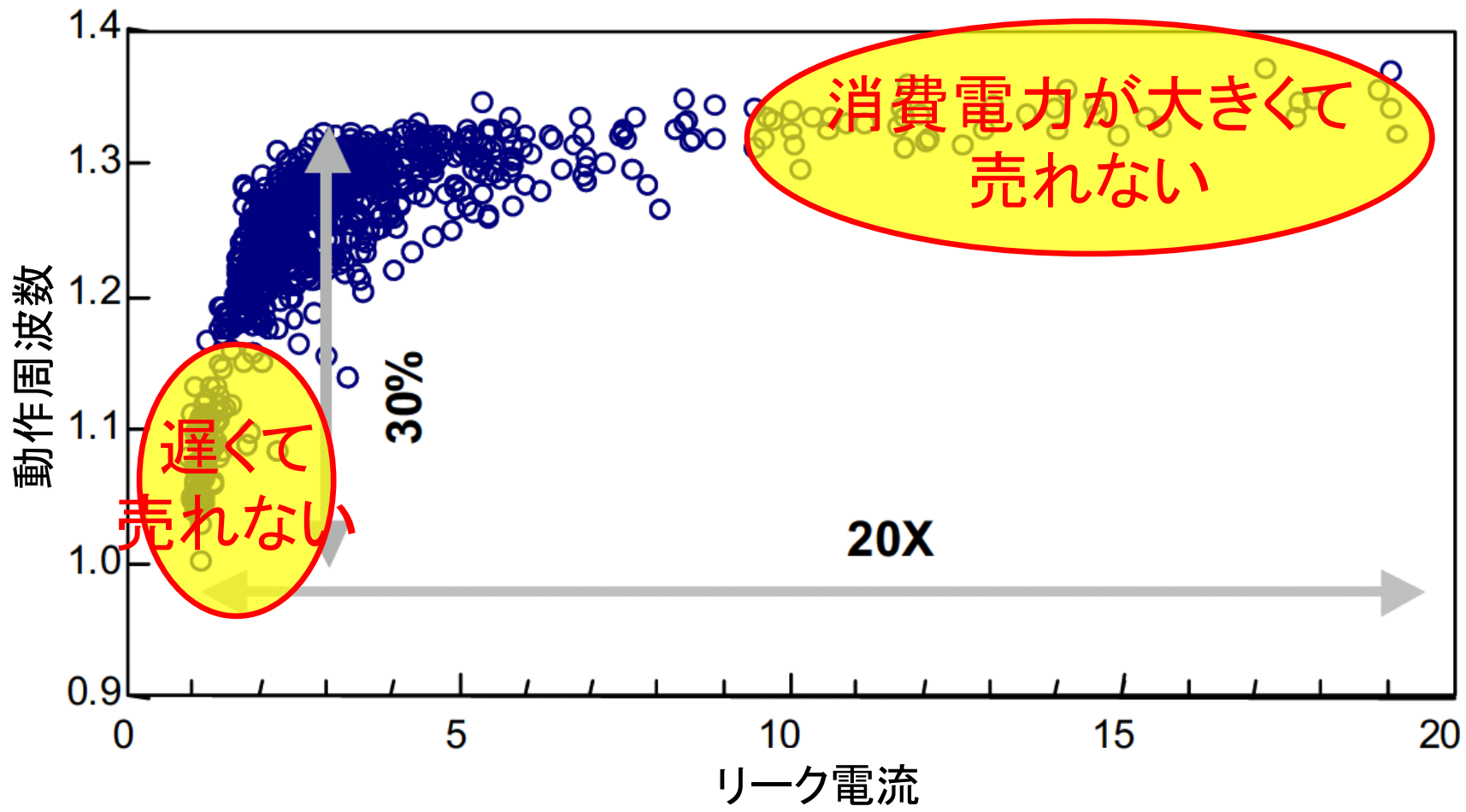
- ばらつき

- そして依然として、性能向上

信頼性

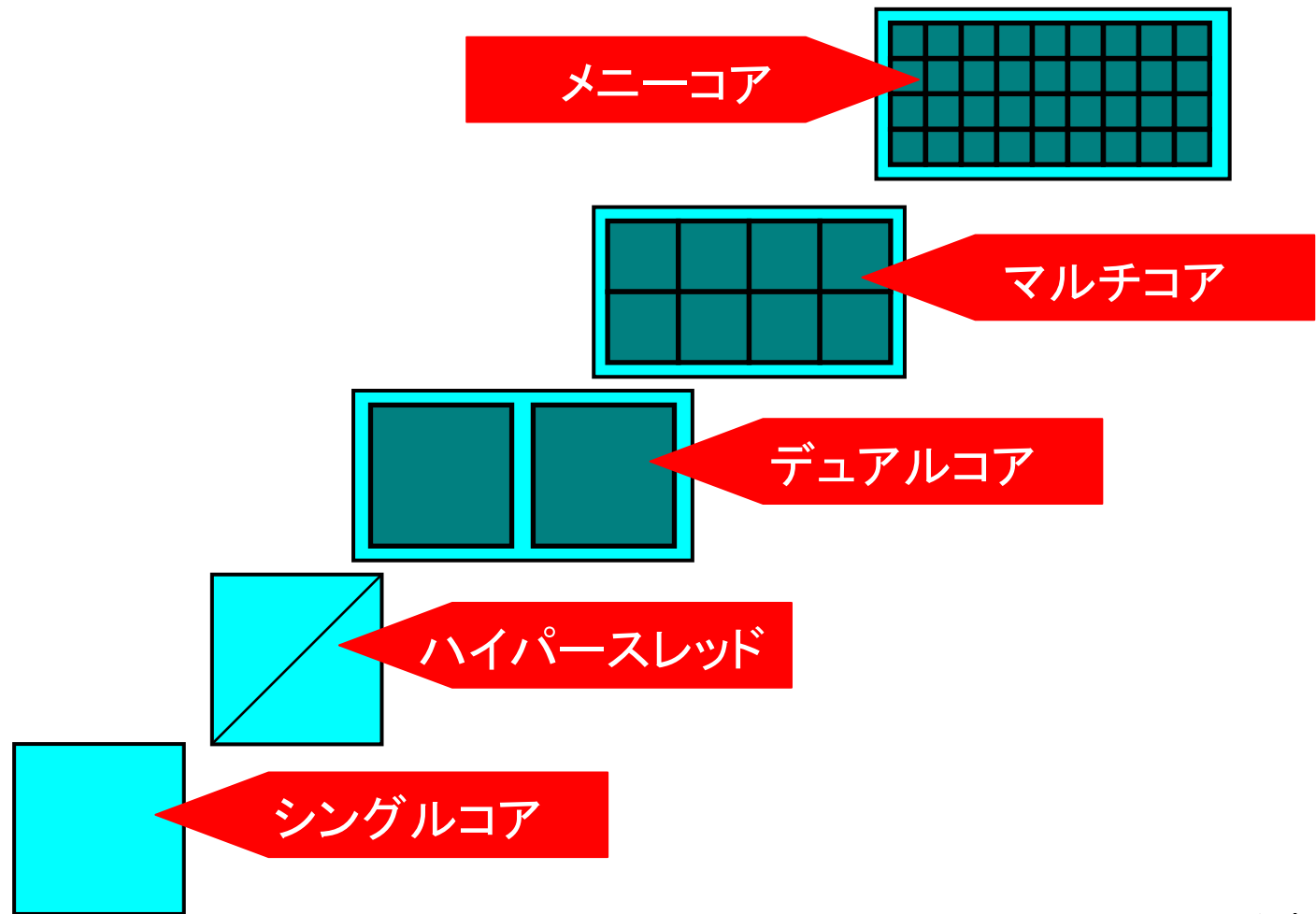
- 集積度の向上に比例して,
ソフトエラー率が上昇
 - ビット当りのエラー率は変わらない
- オンチップキャッシュ容量増
に伴いソフトエラー増

ばらつき



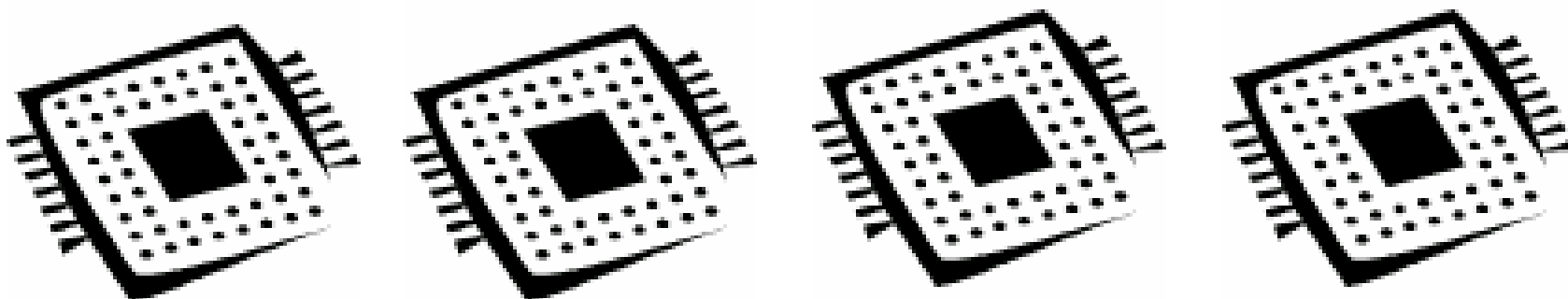
S. Borkar, Parameter variations and impact on circuits and microarchitecture, DAC, 2003.

注目されるマルチコアプロセッサ



インテルの発表を元に作成

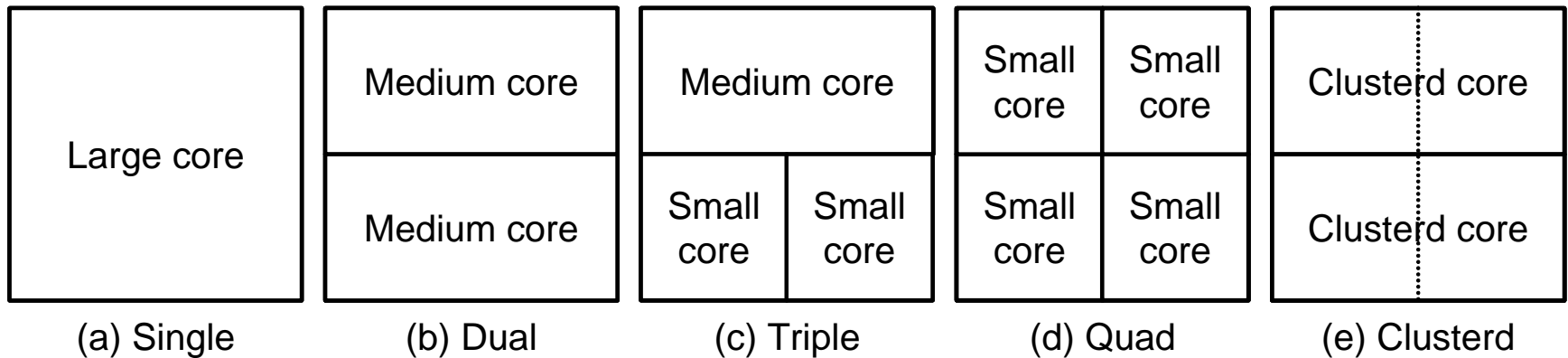
マルチコアプロセッサ比較



Opteron	Woodcrest	POWER 5	UltraSparc T1
2コア			8コア
非共有L2\$	共有L2キャッシュ		
2.6GHz	3GHz	1.8GHz	1.2GHz
95W	80W	160W	73W

これ以上の省電力化は無理か？

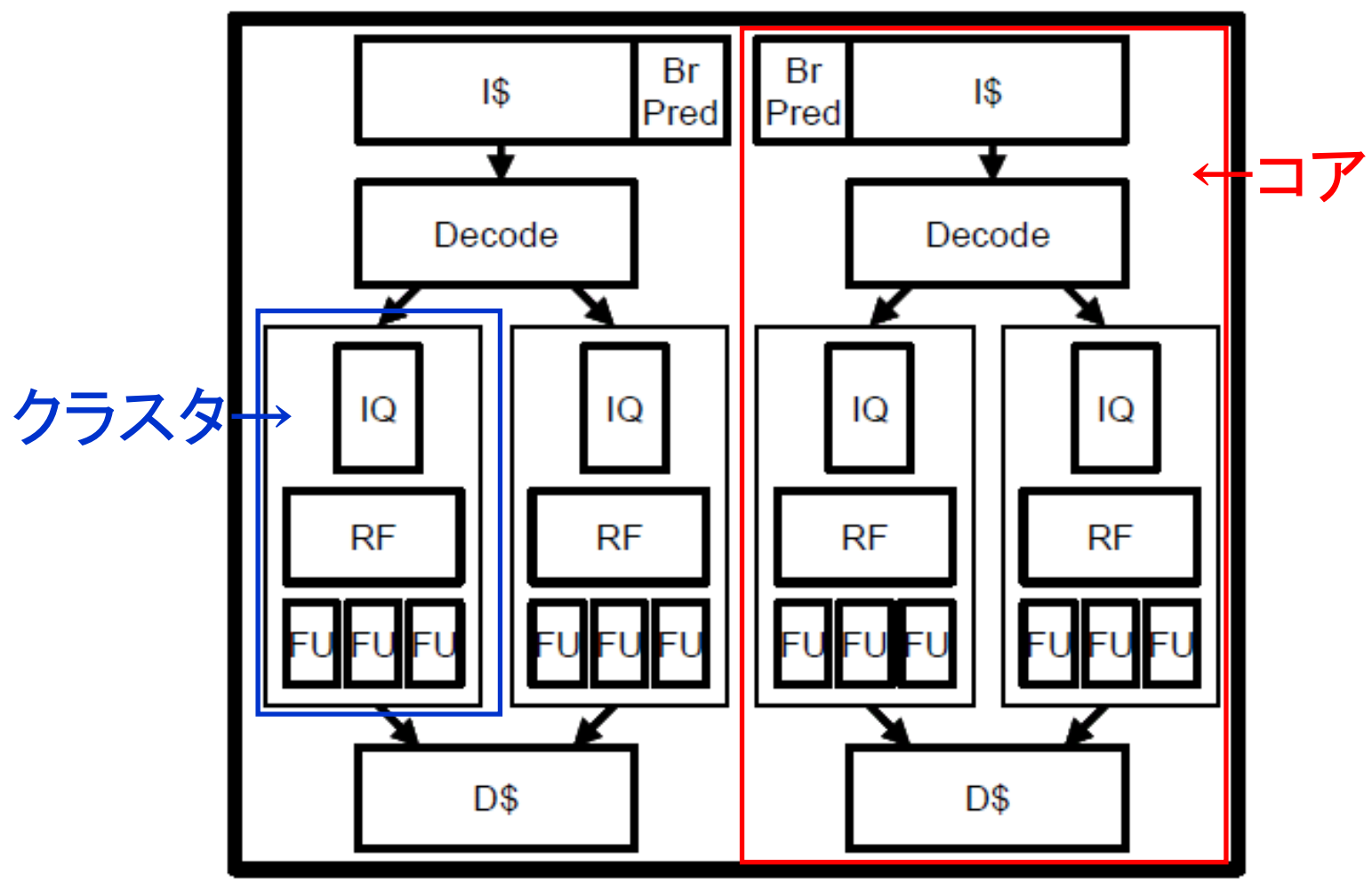
ヘテロなマルチコア・プロセッサ



■ 動機

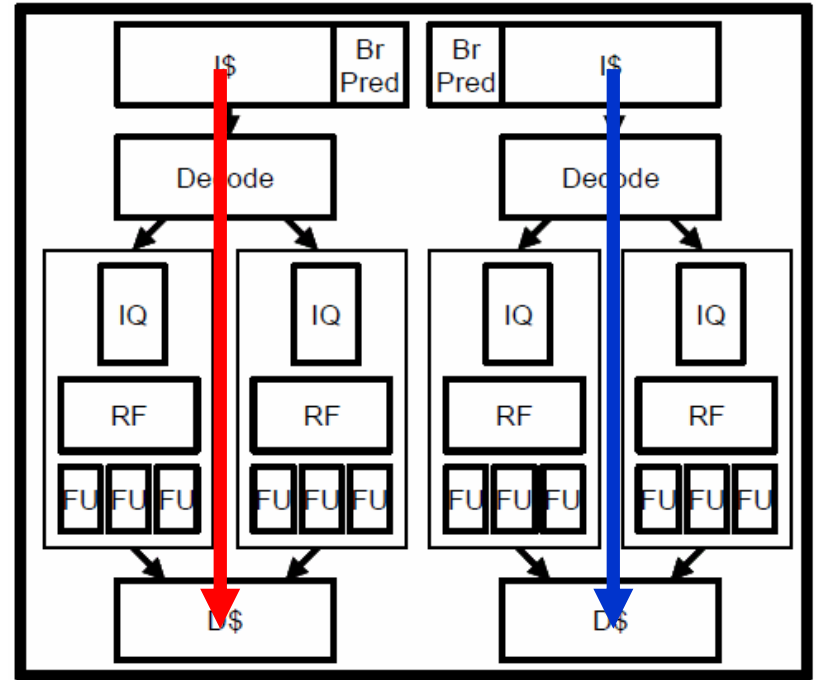
- 大規模(高性能)コアの必要性
- 不要な電力消費(発熱)

クラスタ型コアを持つマルチコア



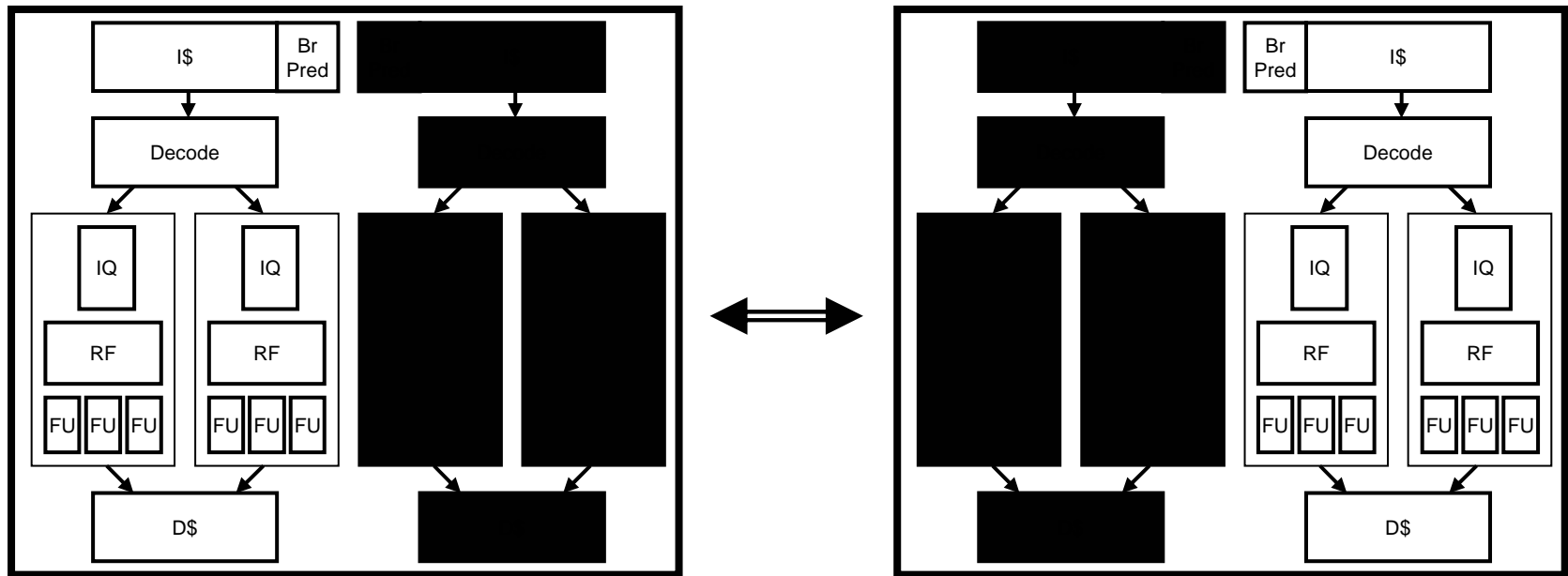
マルチコアの利点

- 信頼性の向上
 - プログラムの冗長実行
- ばらつきへの対処
 - 熱対策



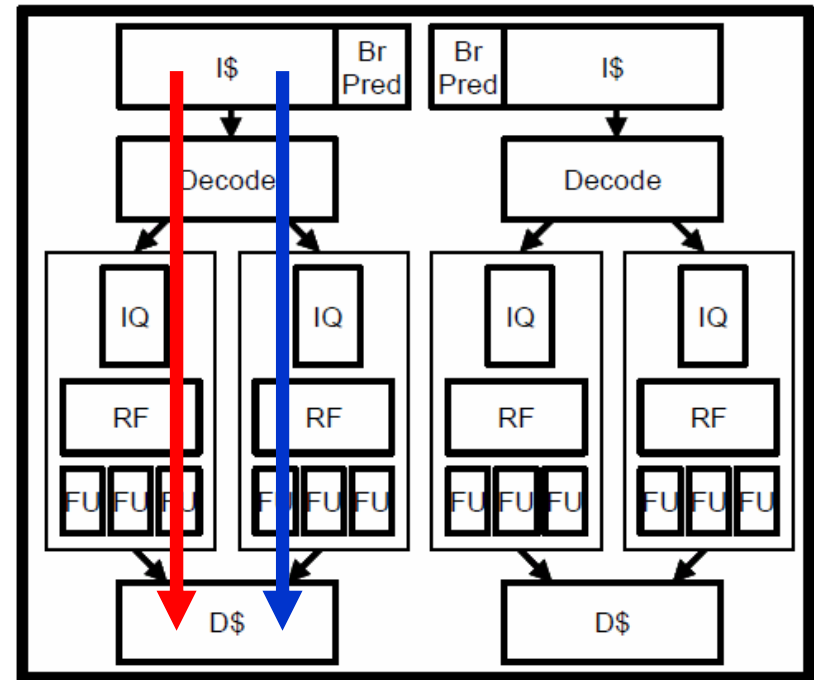
コア・ホッピング

- 発熱状況に応じて、使用するコアを変更する
 - プログラムを移動させる
- 発熱によるばらつきへの対処が可能



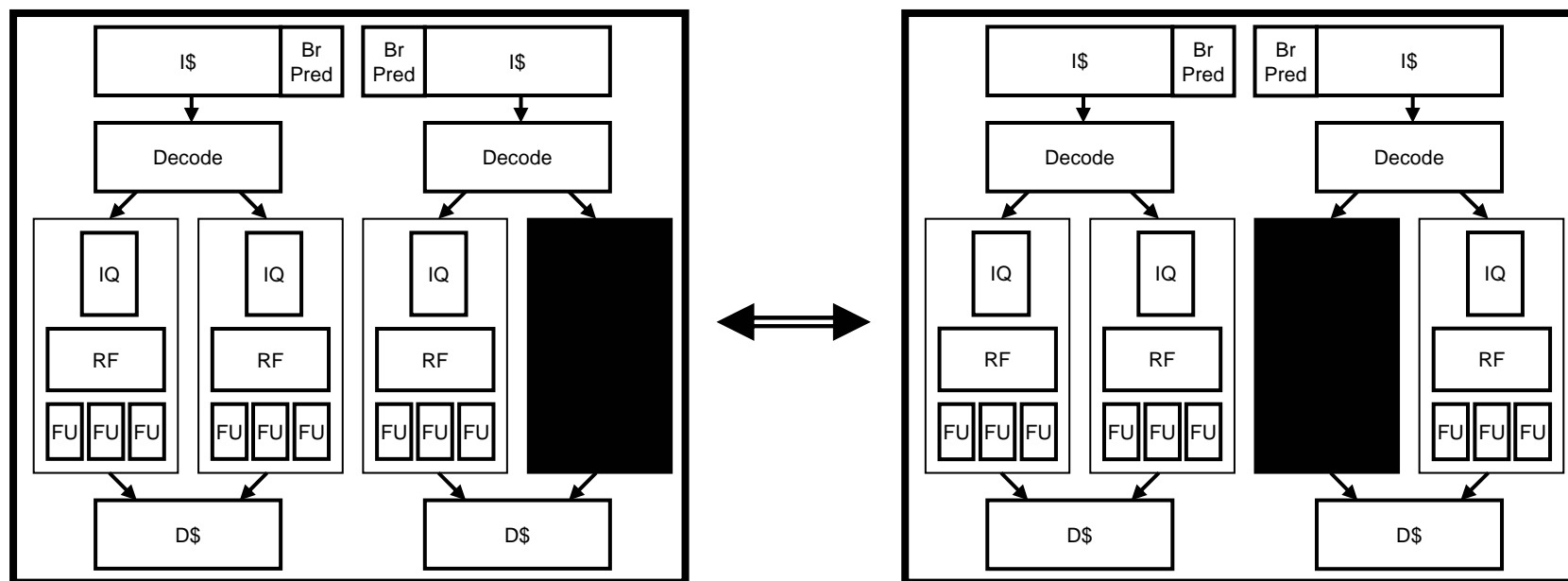
クラスタ型の利点

- 信頼性の向上
 - 命令の冗長実行
- ばらつきへの対処
 - 熱対策
 - 遅延の統計的性質を利用



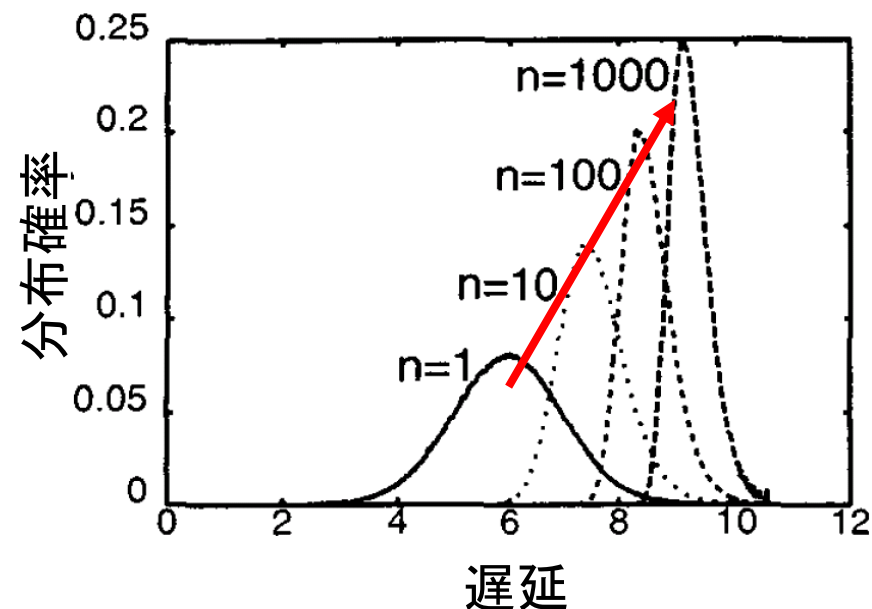
クラスタ・ホッピング

- 発熱状況に応じて、使用するクラスタを変更する
 - プログラムを移動させる必要は無い→オーバヘッド小
- 発熱によるばらつきへのより細かな対処



遅延の統計的性質

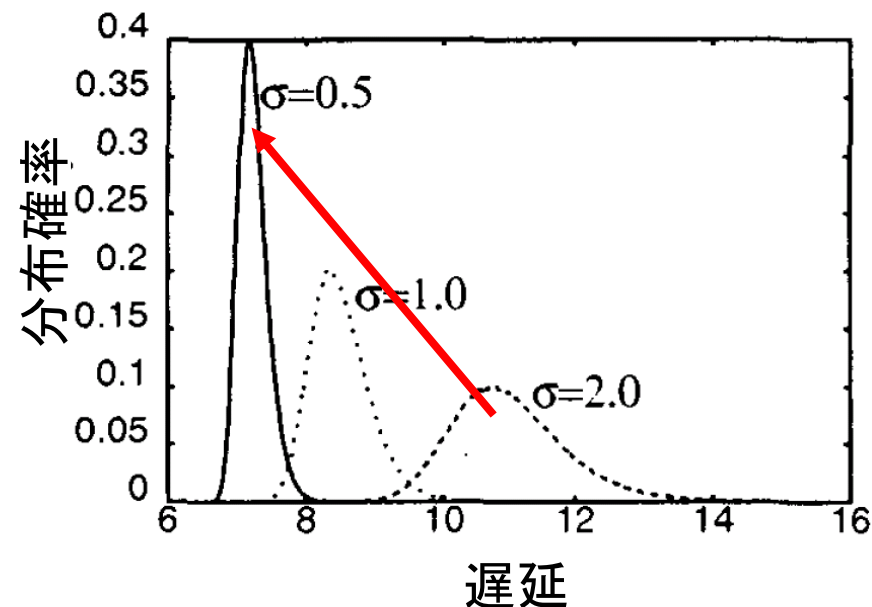
- 最長パス遅延が $N(6, 1^2)$ で分布と仮定
- 最長パス数を変えたときの、回路遅延分布
- パス本数の増加
⇒ 回路遅延が増加
□ ばらつきは小さい



M. Hashimoto, Increase in delay uncertainty by performance optimization, ISCAS, 2001.

遅延の統計的性質

- 100本の最長パス
 - $N(6, 1^2)$ で分布と仮定
- 論理段数を標準偏差で近似
 - 段数 m に対し $1/\sqrt{m}$ に比例
- 論理段数が多い
 - ⇒ ばらつきが小さい
 - 回路遅延も減少



M. Hashimoto, Increase in delay uncertainty by performance optimization, ISCAS, 2001.

ばらつきの縮小


■ 遅延の統計的性質

- 最長パスが増えると、回路全体の遅延は増すが、ばらつきは小さくなる
- 論理段数が増えると、回路全体の遅延は減り、ばらつきも小さくなる

■ クラスタ化することで

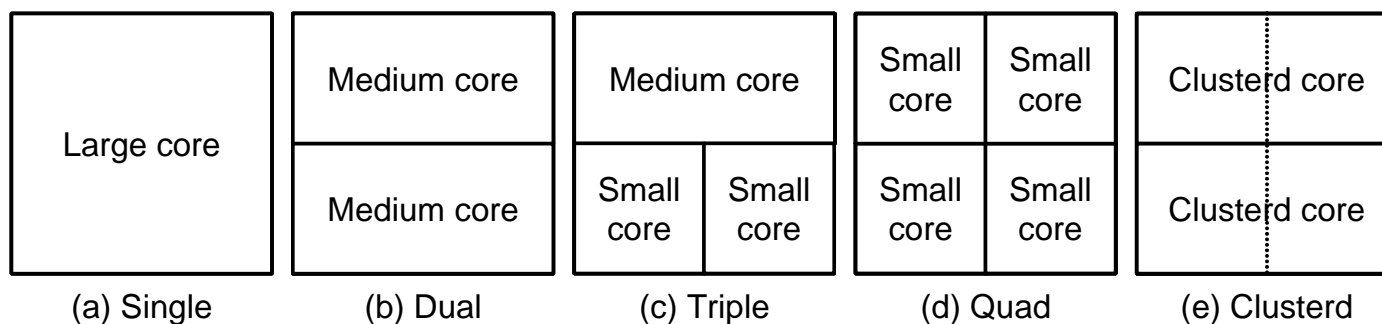
- 最長パス遅延は小さくなり、その結果同じ遅延のパスを増加できる
- 回路遅延の増加を抑え、ばらつきを小さくできる

クラスタ型 + マルチコア

- 求められる性能・信頼性と、消費電力とのトレードオフ
 - プログラム冗長実行と命令冗長実行の使い分け
- 求められる性能と、信頼性・消費電力とのトレードオフ
 - コアホッピングとクラスタホッピングの使い分け
-  ■ 無駄な電力消費を抑えつつ、要求される性能・信頼性を提供

コアの構成

	IQ entries	Int units	FP units	Ld/St
Large core	36	5	5	3
Medium core	24	3	3	2
Small core	16	2	2	1
Clustered core	16 x 2	2 x 2	2 x 2	1 x 2



T.Sato, Multiple clustered core processors, SASIMI, 2006.

回路規模

	Large core	Medium core	Small core	Clustered (2 clusters)	Clustered (1 cluster)
D cache	26.0	13.0	5.2	13.0	13.0
I cache	20.8	10.4	5.2	10.4	10.4
TLB	10.1	4.4	1.9	4.4	4.4
Fetch, BrPred	6.7	4.5	2.9	4.5	4.5
Decode	2.5	1.7	1.1	1.7	1.7
OOO exec	54.6	24.1	10.1	20.2	10.1
RFs	12.8	5.9	2.9	5.8	2.9
Func units	30.8	12.9	6.5	13.0	6.5
Misc	2.4	2.4	2.4	2.4	2.4
Routing	59.3	39.5	26.4	26.4	26.4
Total	226.1	118.9	64.6	100.8	82.3

T.Sato, Multiple clustered core processors, SASIMI, 2006.

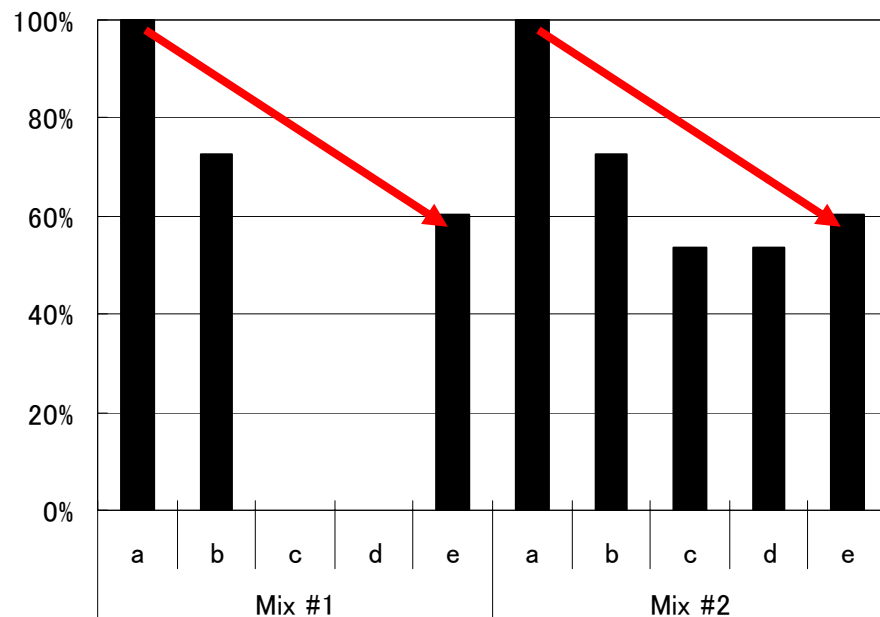
性能・評価タスク

Large core	Medium core	Small core	Clustered (2 clusters)	Clustered (1 cluster)
2400	1740	1283	1602	1448

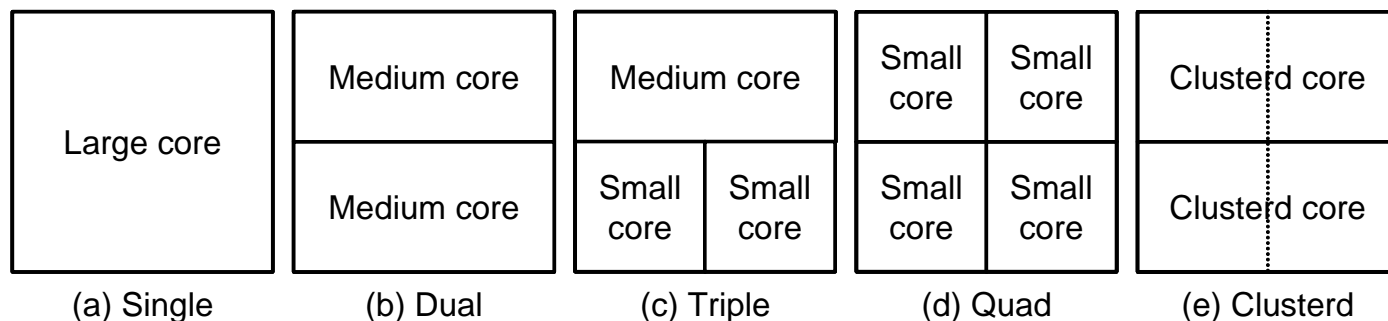
	Mix #1		Mix #2	
	Instructions	WCET	Instructions	WCET
Task 1	45M	0.030sec	45M	0.035sec
Task 2	150M	0.250sec	150M	0.250sec
Task 3	800M	1.000sec	800M	1.000sec
Task 4	2000M	1.500sec	2000M	1.600sec

T.Sato, Multiple clustered core processors, SASIMI, 2006.

消費エネルギー



- 常に要求を満足
 - トリプルコア
 - クアッドコア
- 消費エネルギー削減



T.Sato, Multiple clustered core processors, SASIMI, 2006.

まとめ

- マルチ・クラスタ型コア・プロセッサ
 - 省電力と同時に性能・信頼性・ばらつきに配慮
 - 従来型マルチコアに対してエネルギー的に優位

- 質問などは
 - tsato@slrc.kyushu-u.ac.jp
 - <http://www.slrc.kyushu-u.ac.jp/~tsato/>