

メモリ・ベンチマーキング技術の開発

小野, 貴継
九州大学大学院システム情報科学府

<https://hdl.handle.net/2324/9139>

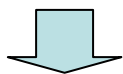
出版情報 : SLRC プレゼンテーション, 2006-07-19. 九州大学システムLSI研究センター
バージョン :
権利関係 :

メモリ・ベンチマーキング技術の開発

国立大学法人九州大学
大学院システム情報科学府
博士後期課程1年
小野 貴継

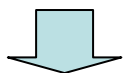
現状のシステム開発が抱える問題点

アプリケーション・プログラムに適した
システム構成を選択



シミュレーションに基づく評価

アプリケーション・プログラムや
設計選択肢が増加

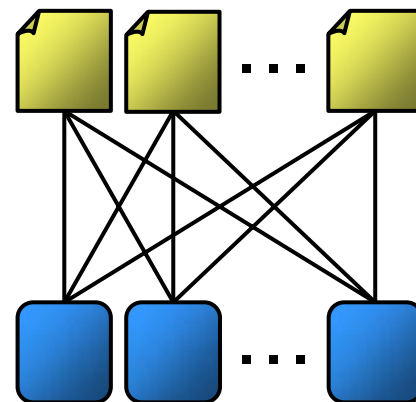


シミュレーションに
膨大な時間が必要



システム開発期間が長期化

アプリケーション・プログラム



設計選択肢

MPEG2デコード(10秒間の動画像)
シミュレーション時間
⇒14,250秒@Intel Xeon 3.4GHz

キャッシュサイズ	連想度	ラインサイズ
----------	-----	--------

16KB	1	32B
32KB	2	64B
64KB	4	
128KB		

14,250(秒) × 24(通り) = 95(時間)

従来のメモリアーキテクチャ シミュレーション方法とその課題



$$\text{time} \propto T_{\text{size}} \times N_{\text{program}} \times N_{\text{design}}$$

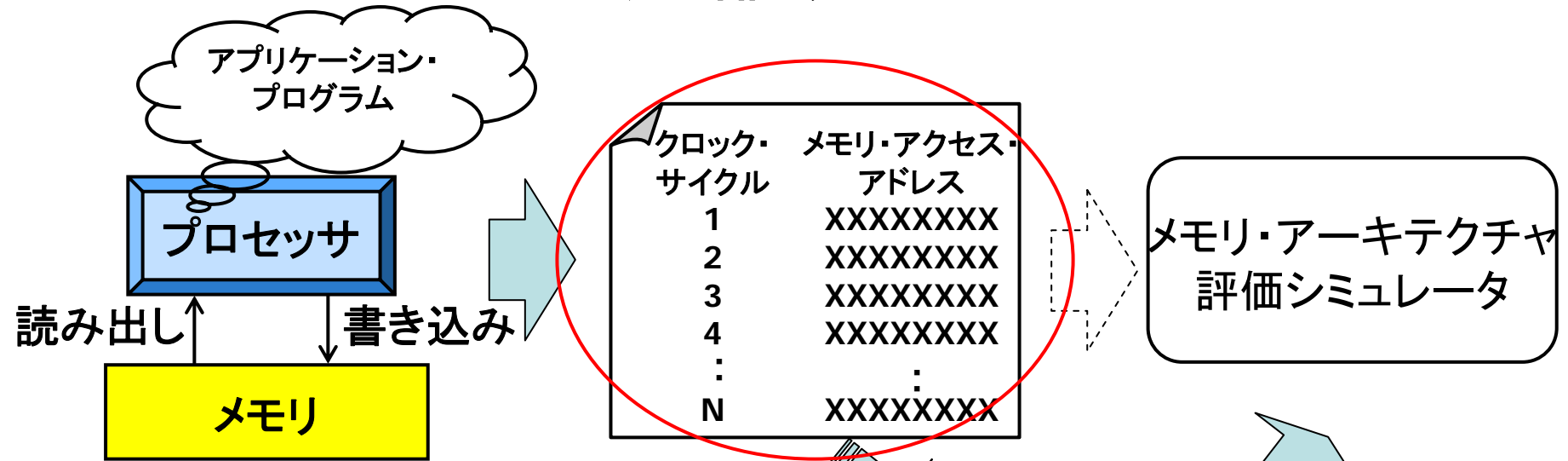
time: シミュレーション時間

T_{size} : メモリ・アクセス・トレースサイズ

N_{program} : アプリケーション・プログラムの数

N_{design} : 設計選択肢の数

どのようにシミュレーション時間を短縮するか？



<シミュレーション時間の短縮>

- シミュレータの高速化
- メモリ・アクセス・トレースの削減

ベンチマーク・トレース

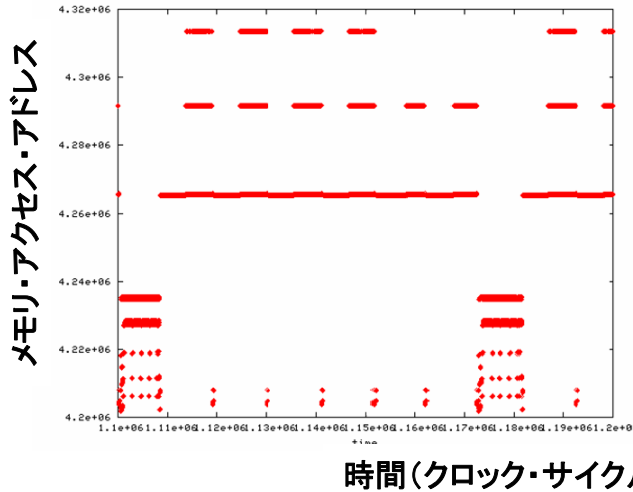
しかし...

シミュレーション精度が低下

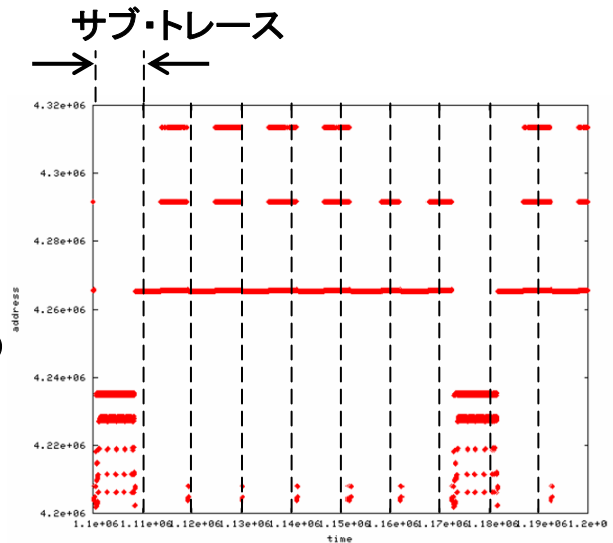
メモリ・ベンチマーキング手法

精度を維持しつつトレースサイズを削減

メモリ・ベンチマーキング手法の概要

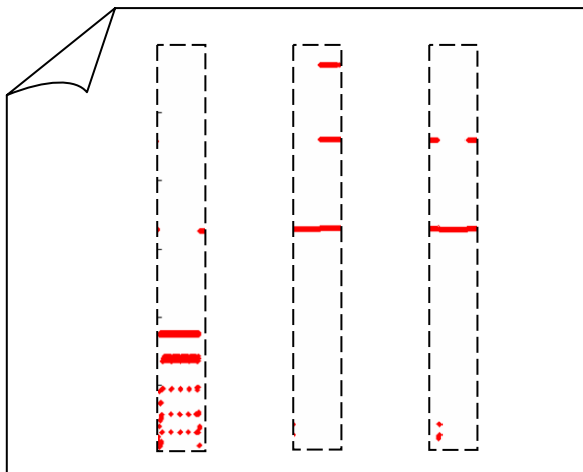


メモリ・アクセスの
特徴抽出

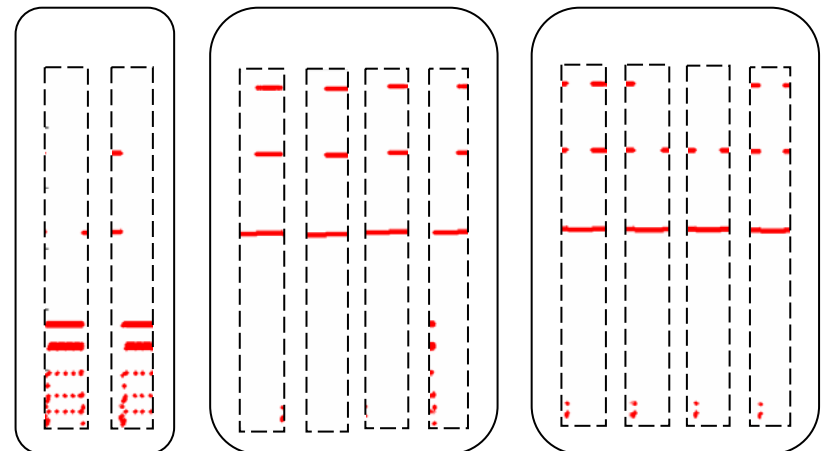


クラスタリング

ベンチマーク・トレース



選出



ベンチマーク・トレースの評価

- 評価の目的
 - ベンチマーク・トレースの有効性を評価
- 前提
 - キャッシュ性能(ヒット率)の測定
- 評価指標
 - メモリ・アクセス・トレース削減率
 - キャッシュヒット率予測誤差
- 評価環境
 - プロセッサ・シミュレータ
 - SimpleScalar3.0d
 - アプリケーション・プログラム
 - mpeg2decode*
 - 入力データ: missa, mei16v2
 - クラスタリング(K-平均法)
 - Cluster3.0**



missa

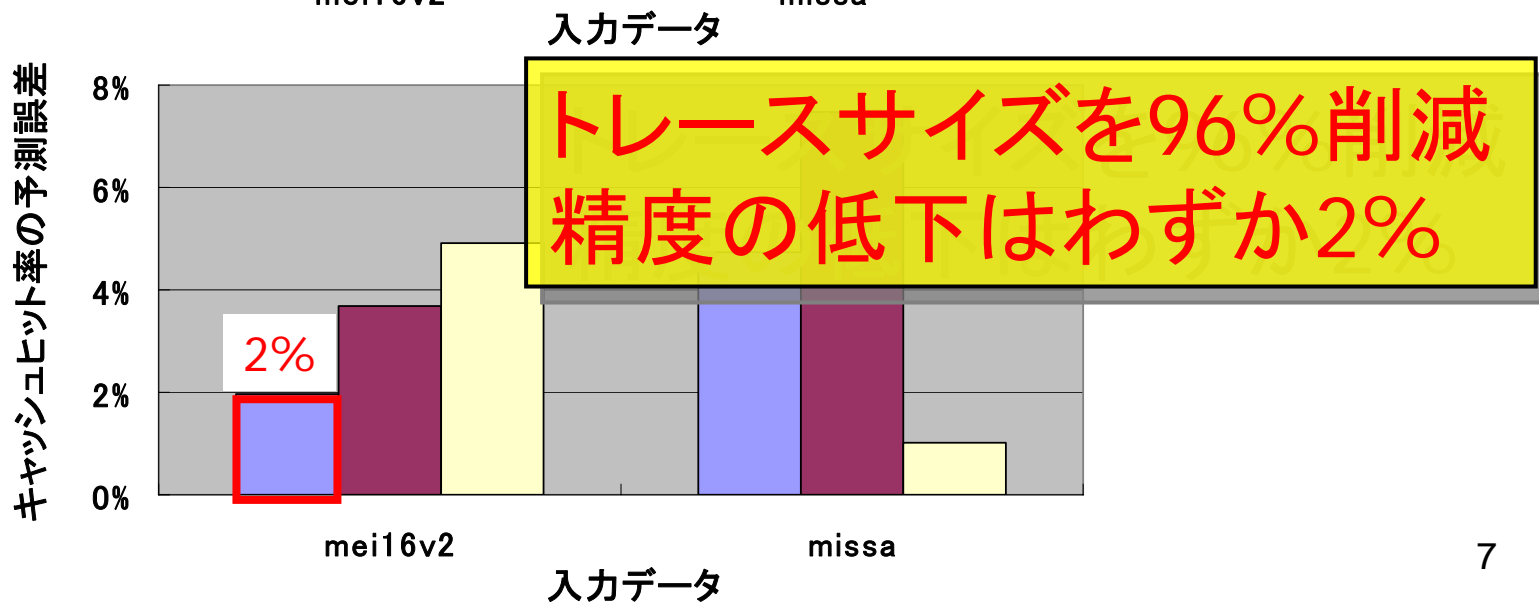
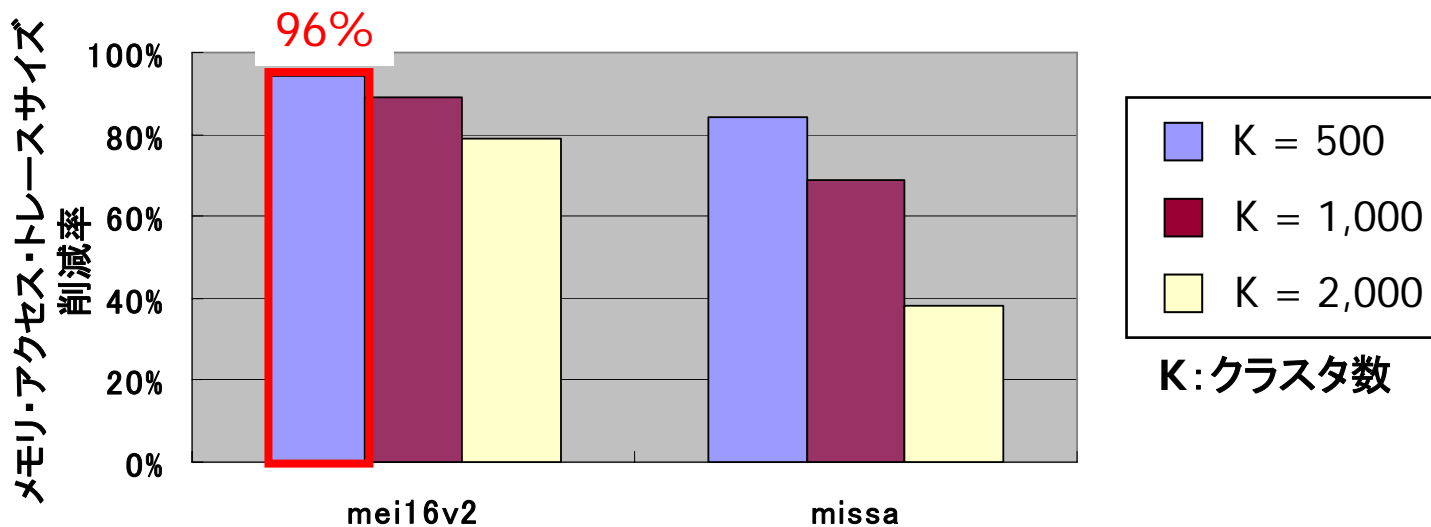


mei16v2

*<http://www.mpeg.org/MPEG/MSSG/>

**<http://bonsai.ims.u-tokyo.ac.jp/~mdehoon/software/cluster/>

評価結果



まとめ

- 評価時間短縮を目的としたメモリ・ベンチマーキング手法
 - ベンチマーク・トレースを生成
 - キャッシュ性能予測を前提とした適用評価
 - 従来の評価法と比較して平均81.6%の時間短縮
 - キャッシュヒット率予測誤差は平均5.8%