

価格競争力に優れた高信頼性半導体デバイスの実現

杉原, 真
財団法人九州システム情報技術研究所

<http://hdl.handle.net/2324/9138>

出版情報 : SLRC プレゼンテーション, 2006-07-19
バージョン :
権利関係 :





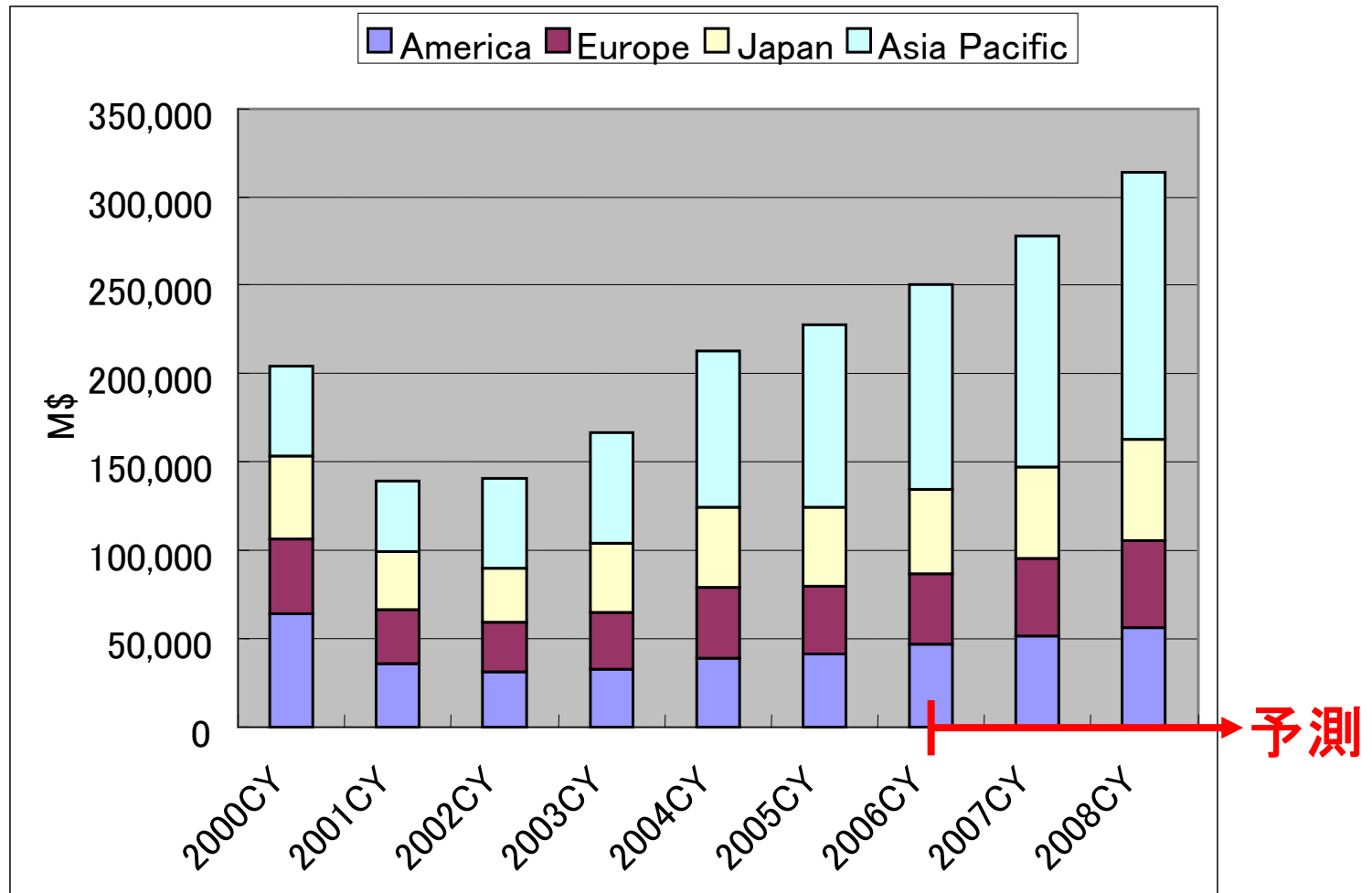
価格競争力に優れた 高信頼性半導体デバイスの実現

財団法人九州システム情報技術研究所

第一研究室

杉原真

世界地域別半導体市場動向



出典: WSTS

研究について

■ 研究項目

- 半導体デバイスのテスト容易化設計技術に関する研究
- 電子線描画技術に関する研究
- ソフトエラーに関する半導体設計技術の研究

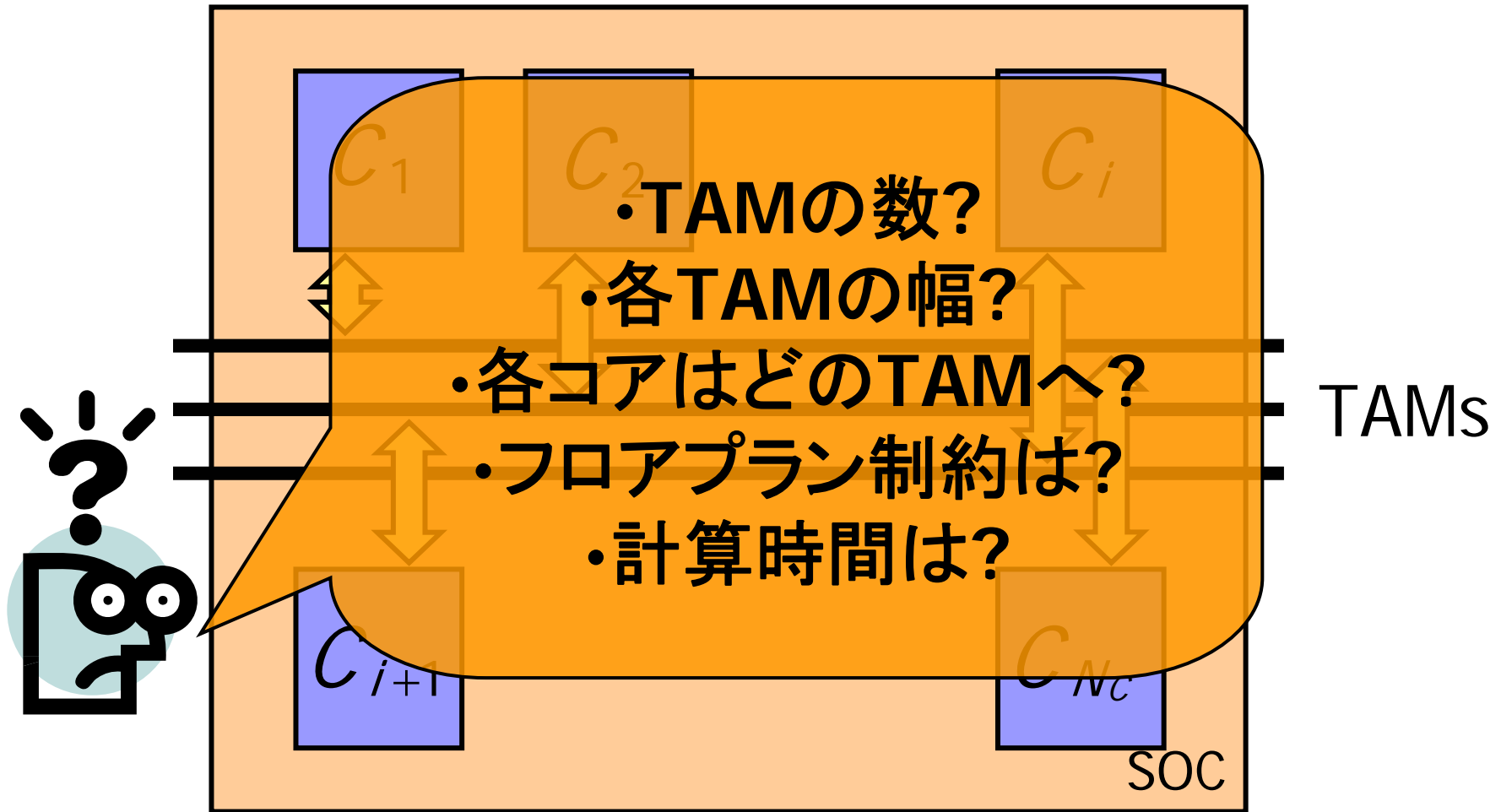
■ 研究の特徴

- 情報工学的アプローチ。
- 最適化問題に帰着。

テスト容易化設計に関する研究

- 検査に要するコストの削減。
- 昨今の設計トレンドを考慮したテスト容易化設計手法。
- ソフトウェアによるアプローチ。

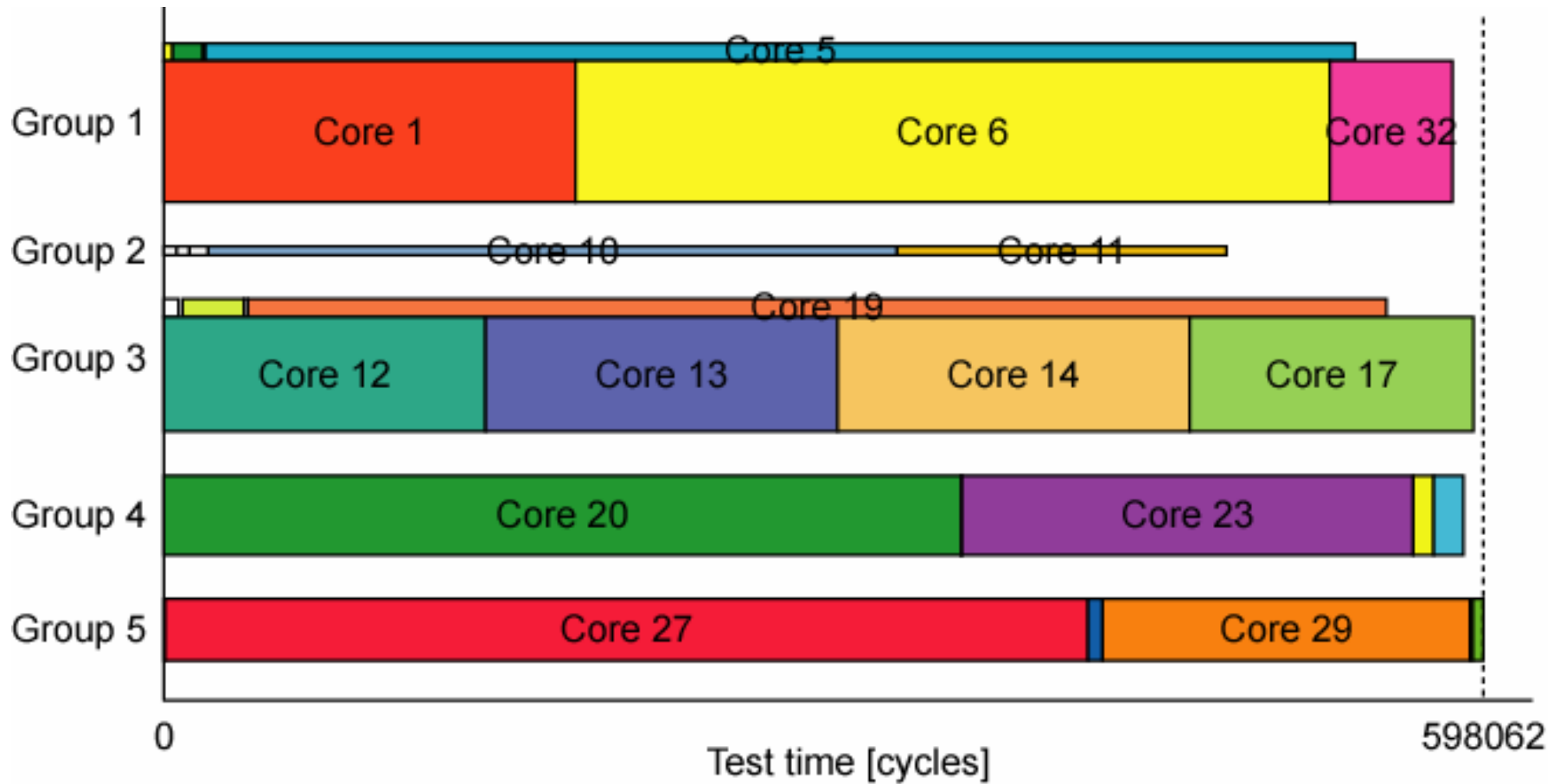
テスト容易化設計に関する研究



提案手法と実験

- テスト時間を最小にするテスト・アーキテクチャの生成。
- フロアプランを考慮したテスト・アーキテクチャを生成。
- 数理計画問題を解くことでテスト・アーキテクチャを生成。
- ITC'02ベンチマークSOC。
- 最適化エンジンとして、ILOG CPLEXを使用。

Example for p93791 @FP3



Floorplan 3

P93791, FP3

外部 ピン数	テスト時間	Opt. TA	計算時間 [H:M:S]
10	3,127,430	{3},{1},{2},{2},{2}	00:00:00
20	1,552,210	{7},{1},{5},{4},{3}	00:00:06
30	1,013,860	{4},{6},{9},{6},{5}	00:00:45
40	742,193	{7},{8},{2,8},{9},{6}	00:03:04
50	598,052	{2,16},{1},{2,13},{9},{7}	00:42:44
60	492,300	{2,9},{4,12},{3,8},{4,9},{3,6}	06:24:07

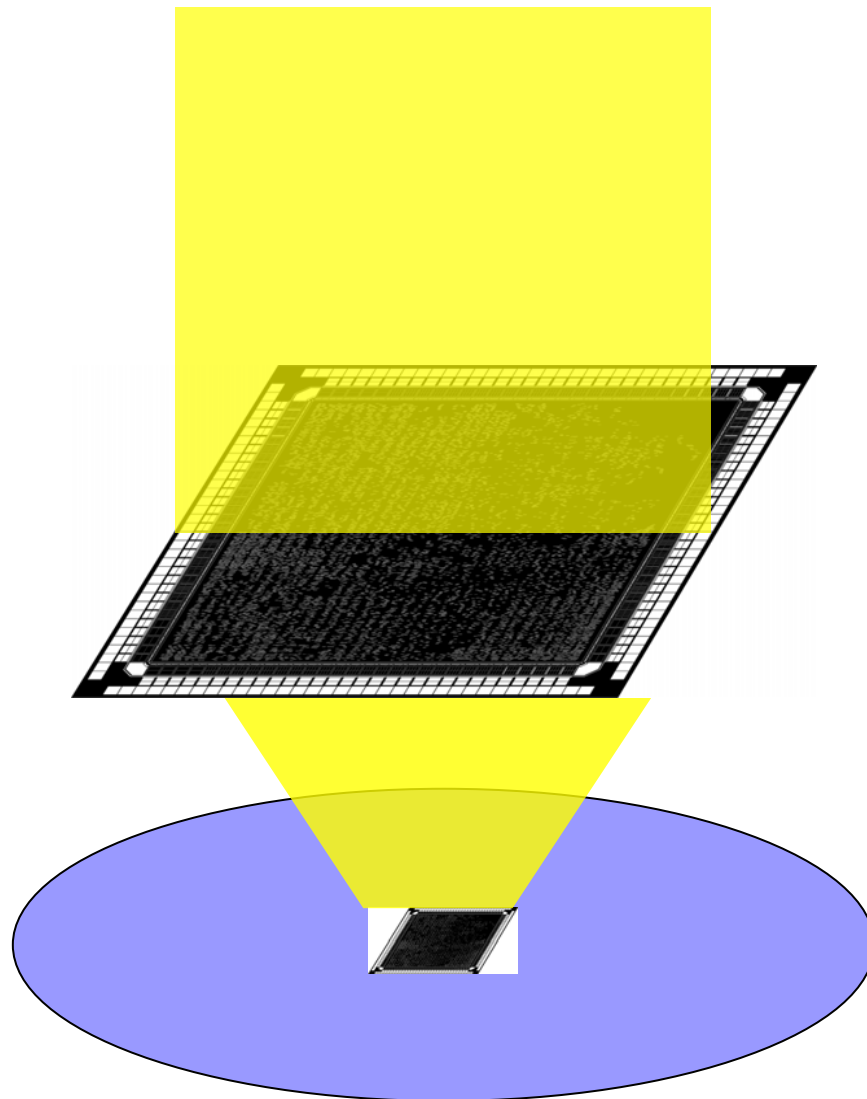
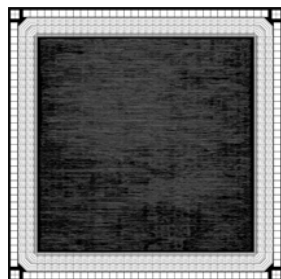
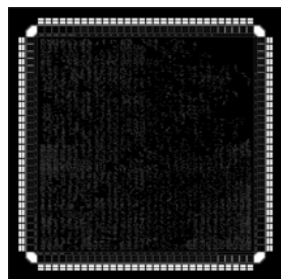
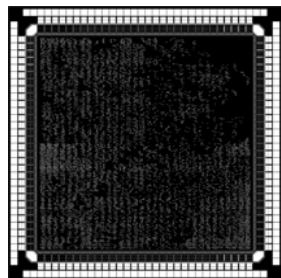
電子線描画技術に関する研究

- 電子線描画はマスクレスリソグラフィやフォトマスク製造に用いられる技術。
- 電子線描画時間が長くなることが問題。
- 電子線描画コストは多大であり、描画時間を削減することで削減される。
- フォトマスク市場は3000億円程度。半導体市場は\$250B程度。描画時間削減によるコスト削減効果は多大。
- ソフトウェアによるアプローチ。

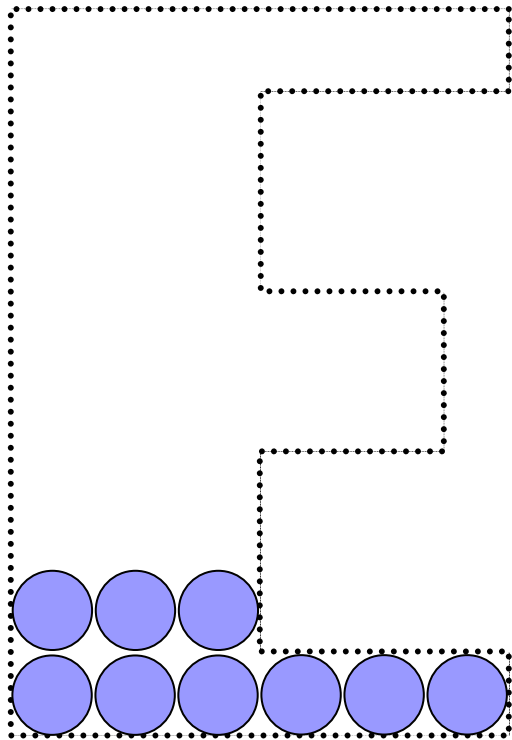
電子線描画技術に関する研究

- マスクレスリソグラフィ、及びフォトマスク製造に用いられる「部分一括描画法」の描画装置の処理能力を向上する方法論について研究。
- 米国エレクトロニクス関連雑誌EETimesで紹介記事。

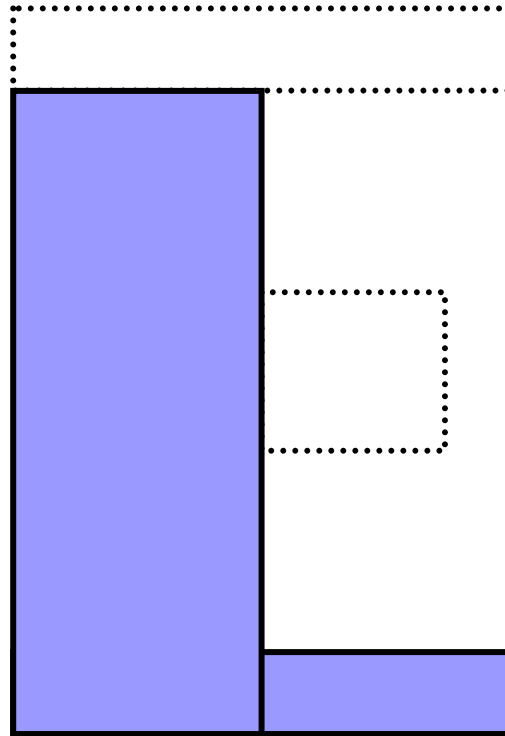
フォトリソグラフィ



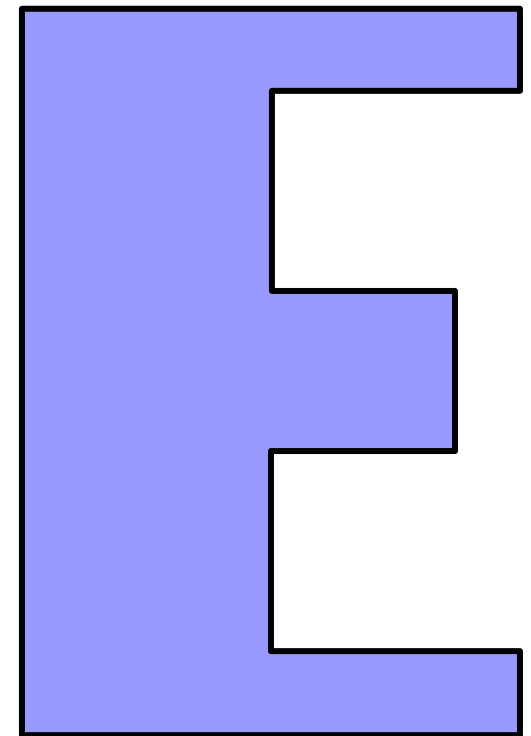
電子線描画技術に関する研究



点描画

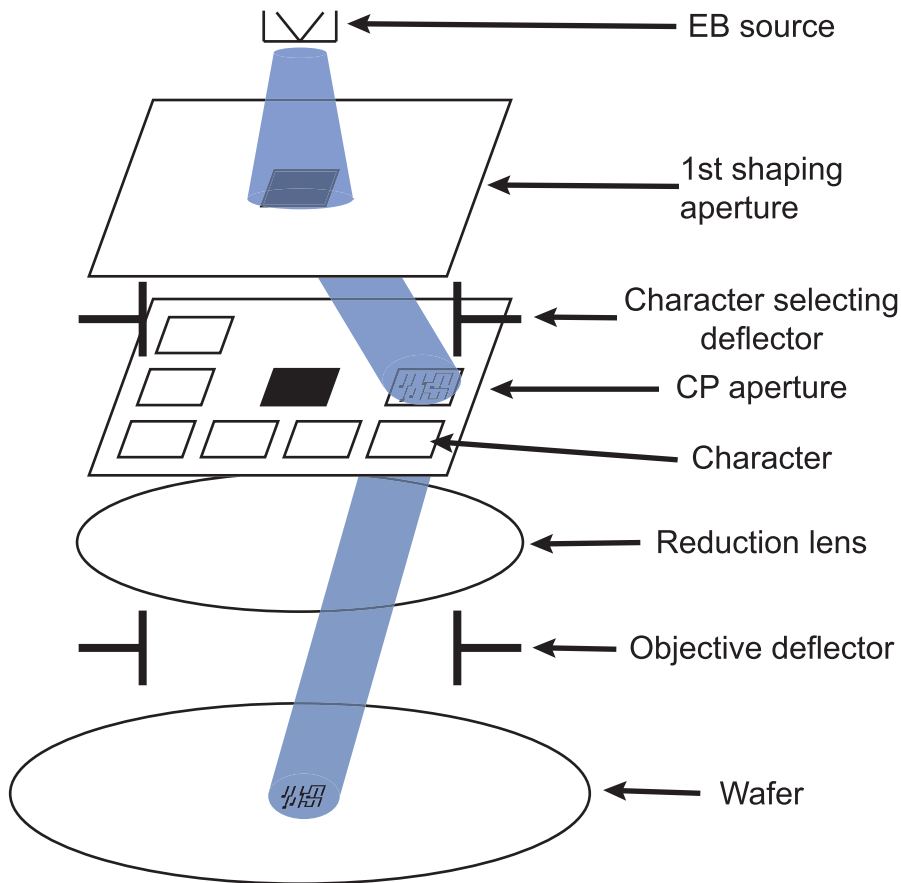


可変成型ビーム
(VSB: variable
shaped beam)



部分一括描画
(CP: character
projection)

部分一括描画装置



- CPとVSBを使用可。
- 数百のキャラクタを搭載可。
- セルライブラリの全てのセルを搭載することは難しい。

MCC描画装置

All electromagnetic lenses are in type-C.

Electron Gun (4x4)

Blanking Deflectors

Rectangular Apertures (4x4)

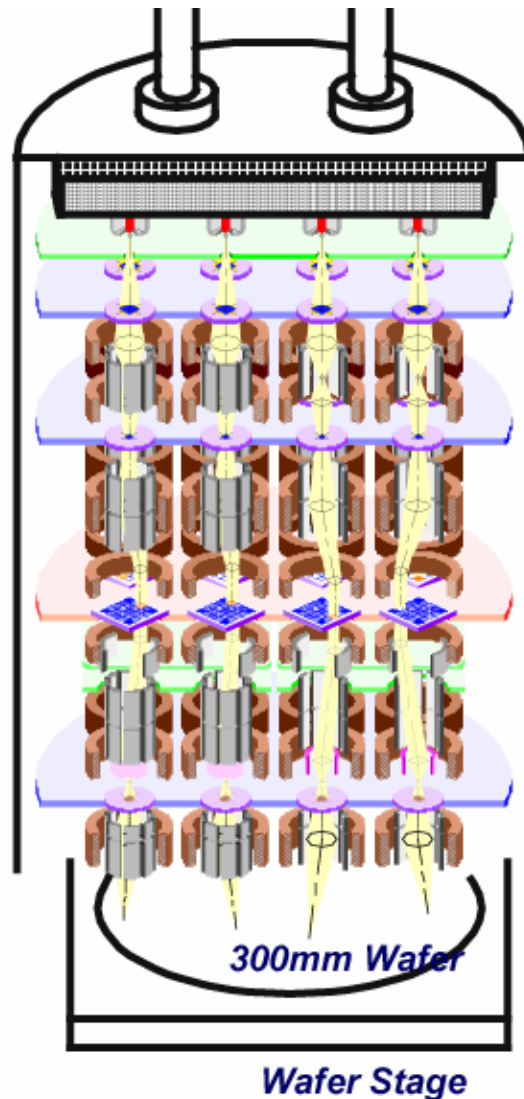
Pre. Mask Deflector

CP Aperture Masks
(on separated stage)

Post Mask Deflectors

Round Apertures

Major Deflector
(100x100 μm)
Minor Deflector
(10x10 μm)



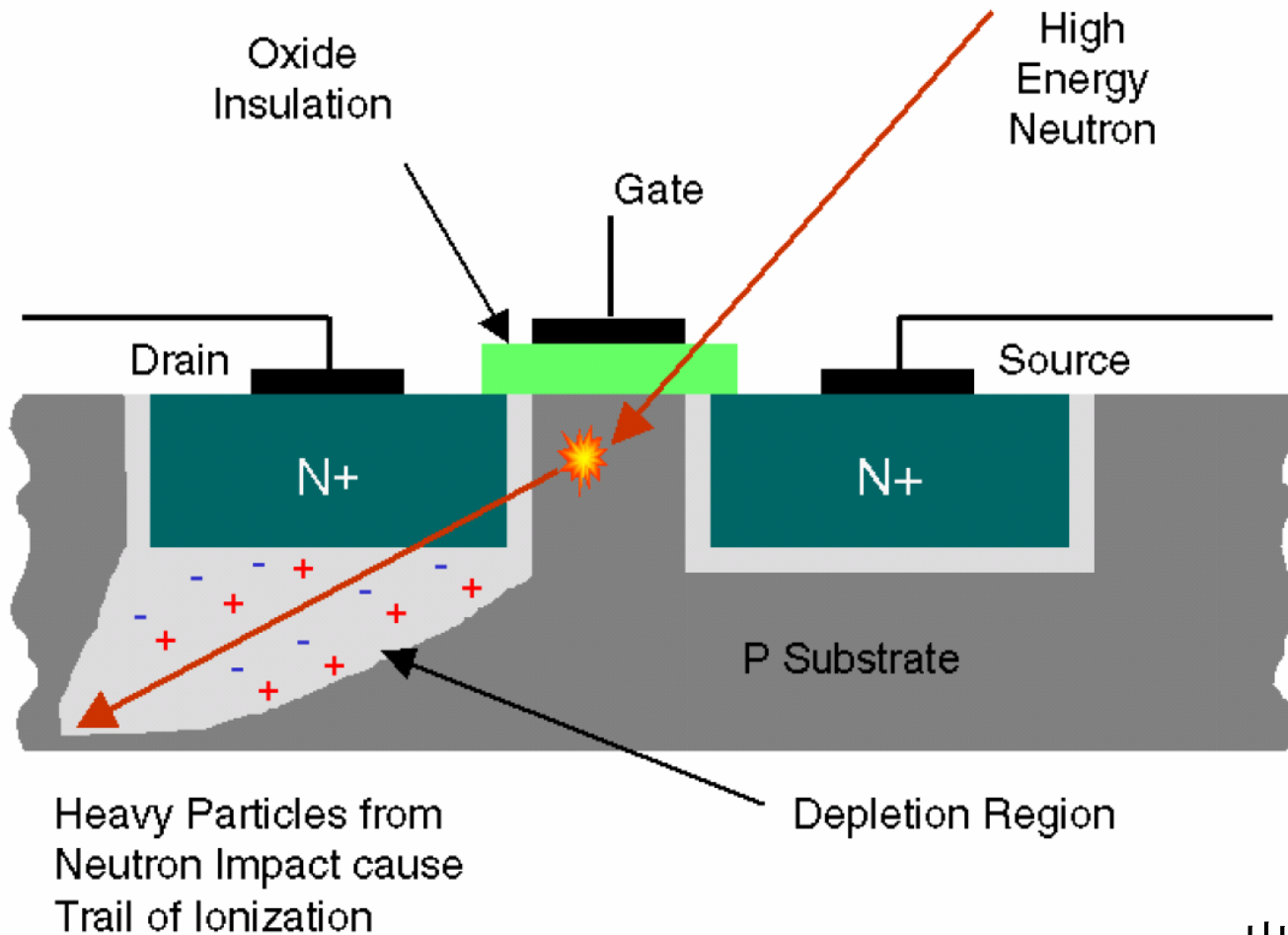
カラムセルの並列化による描画能力の向上。

Advantest MCC
projection system
A. Yamada,
CPL Workshop,
2005

描画能力を向上するためのアプローチ

- SCC装置向けCPマスクの開発手法
 - セルの選択
 - 描画面積の最適化:72%の描画時間の削減
- SCC装置のためのテクノロジマッピングによる電子ビーム描画時間の削減
 - 48.8%の描画時間の削減。
- MCC装置向けCPマスクの開発手法
 - セルの選択:42.6%の描画時間の削減

ソフトウェアに関する半導体設計技術の研究



ソフトウェアに関する半導体設計技術

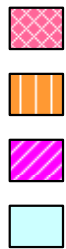
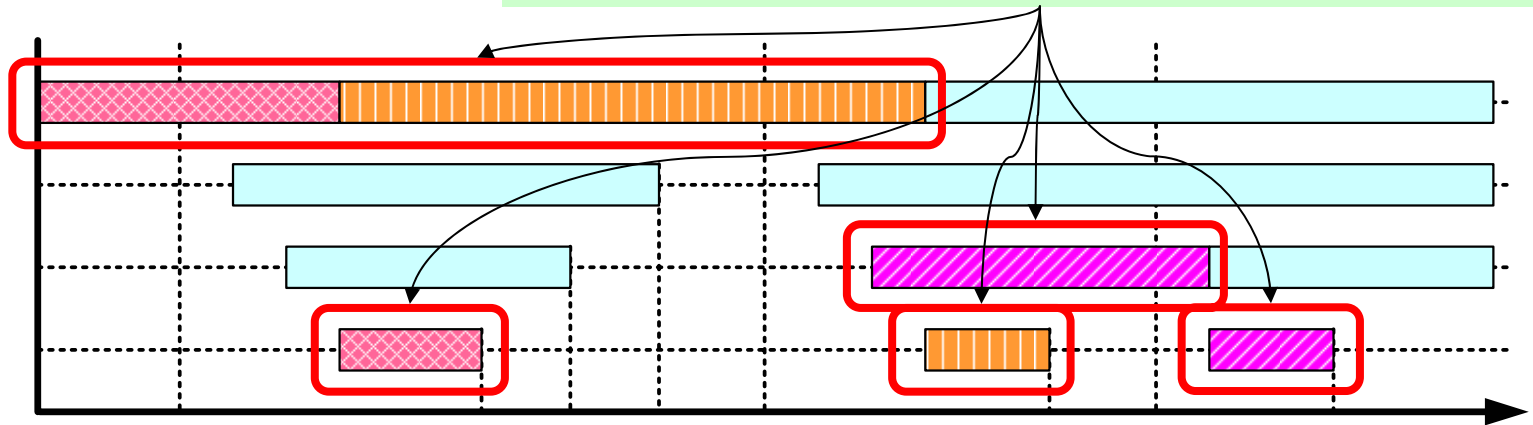
- 中性子、および、アルファ粒子による電子部品のソフトウェア。
- ナノスケールに及ぶトランジスタの微細化。
 - 中性子、アルファ粒子による外乱が相対的に増大。
- 民生機器向け集積回路におけるソフトウェア対策の必要性。
- 相対的にSRAMの脆弱性が増加。
- 論理回路を含むコンピュータシステムのソフトウェアの見積もり法については発展途上。
- 高性能、低消費電力、低コスト、および高信頼な製品を速やかに市場に投入することが重要！
- コンピュータシステムの動作を考慮し、高精度に信頼性を見積もる手法と、高信頼化設計の二つの技術が重要！

研究項目

- ISSによる信頼性見積り技術
- 高信頼なメモリ・アーキテクチャ技術
- 高信頼RTOS技術

命令メモリのソフトウェアエラー数見積もり

この部分をISSを用いて求める！



提案手法による高精度な信頼性見積もり

Compress [10⁻⁹ errors / task]

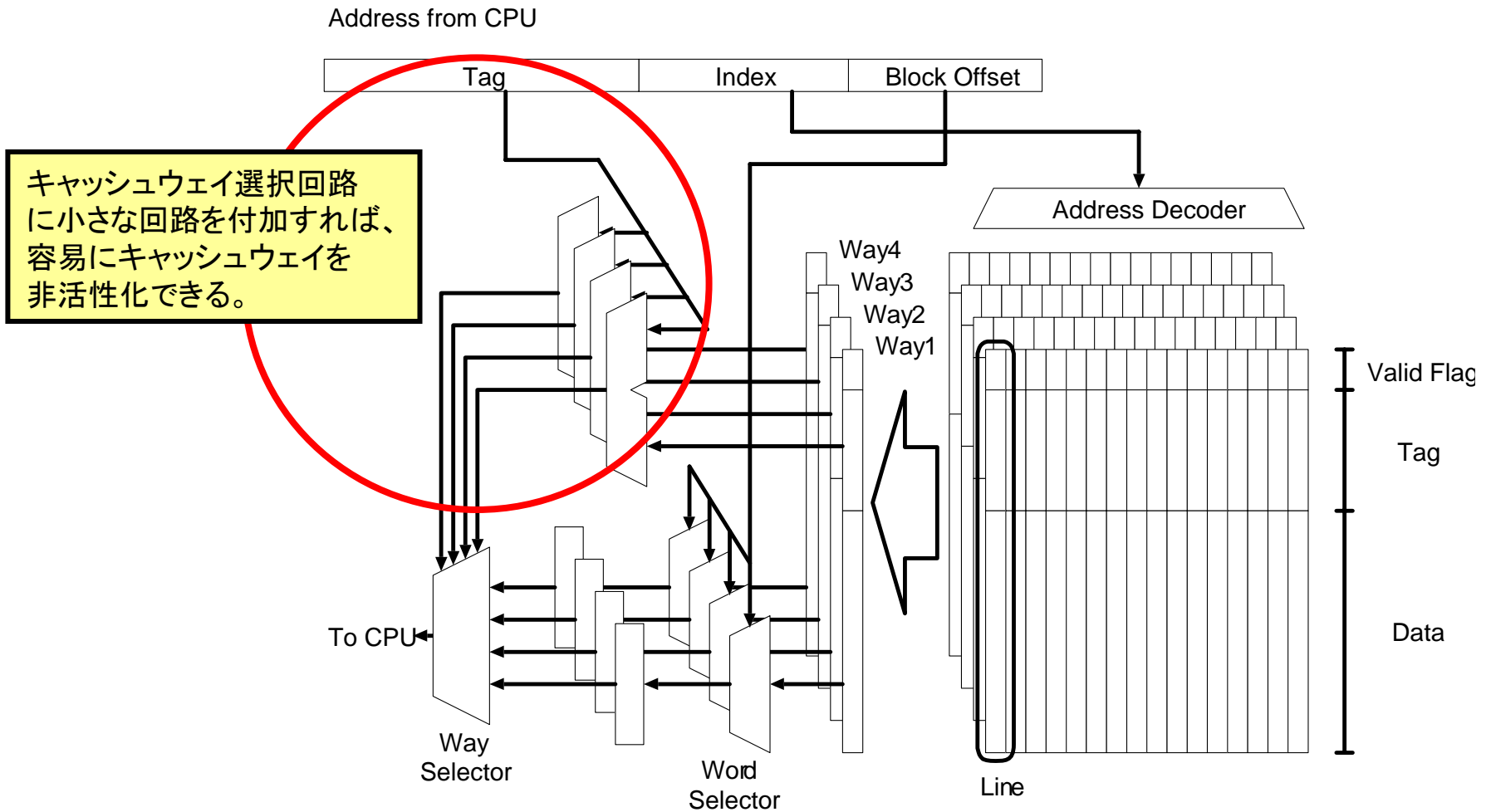
		キャッシュ・ウェイ数						
		1	2	4	8	16	32	64
WT	M1	2,267	2,417	3,869	7,394	14,216	27,068	50,755
	M2	2,263	2,415	3,867	7,393	14,214	27,067	50,754
	M3	776	852	1,248	1,458	1,541	1,724	2,446
WB	M1	2,478	2,175	2,976	5,530	10,423	19,461	35,410
	M2	2,474	2,173	2,975	5,529	10,439	19,460	35,410
	M3	999	881	1,101	1,372	1,722	2,484	4,426

高精度に信頼性を見積もれていることが計算機実験により確認された！

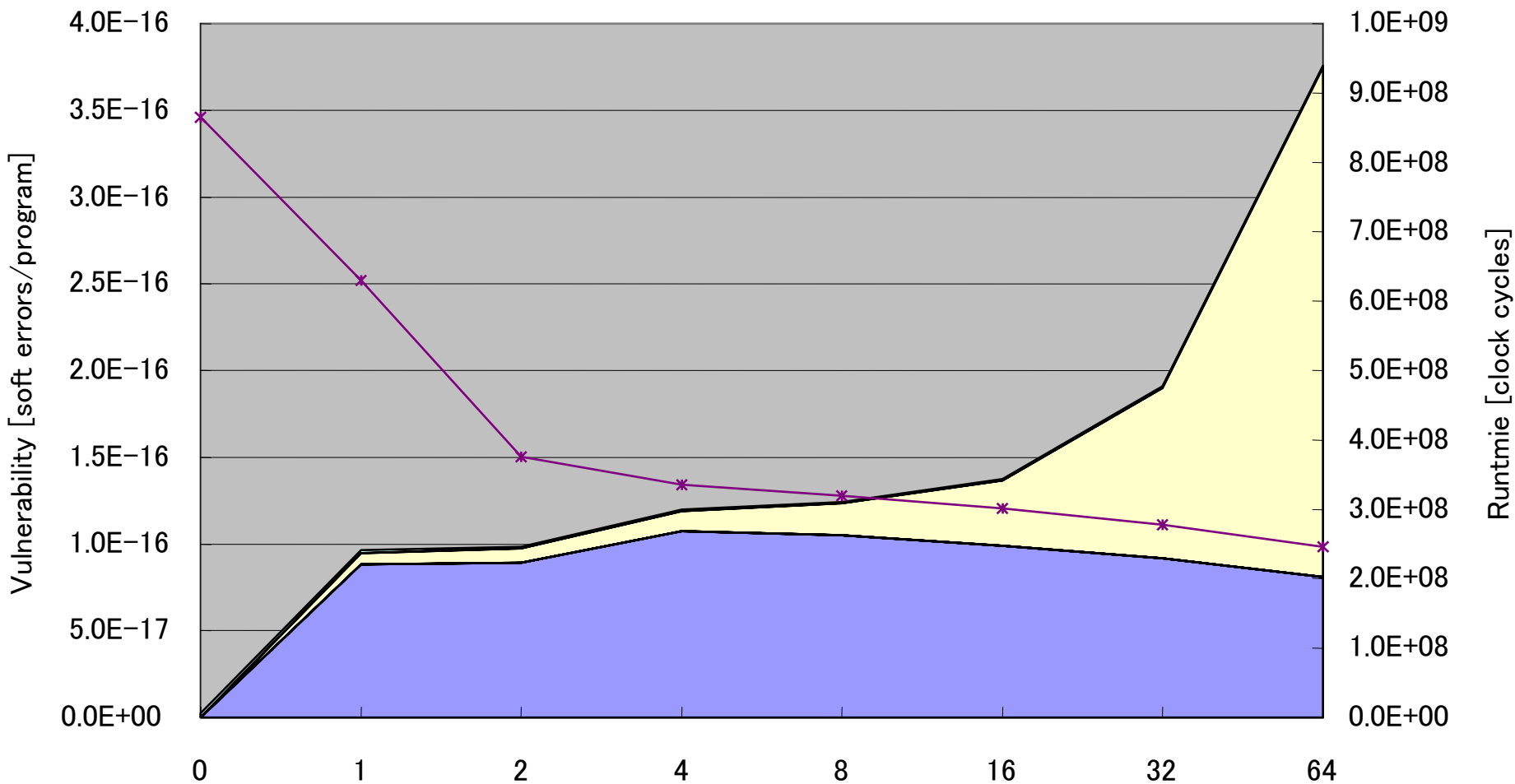
高信頼なキャッシュアーキテクチャ

- SRAMの脆弱性は相対的に高まる一方。
- セットアソシアティブキャッシュは冗長構造をとる。
- ウェイをアクティブ、非アクティブにすることにより、高信頼化と高性能化を両立する。
- 複数のウェイを多重化し、一つのウェイを構成することにより、エラー検出・訂正を行う。

読出し機構



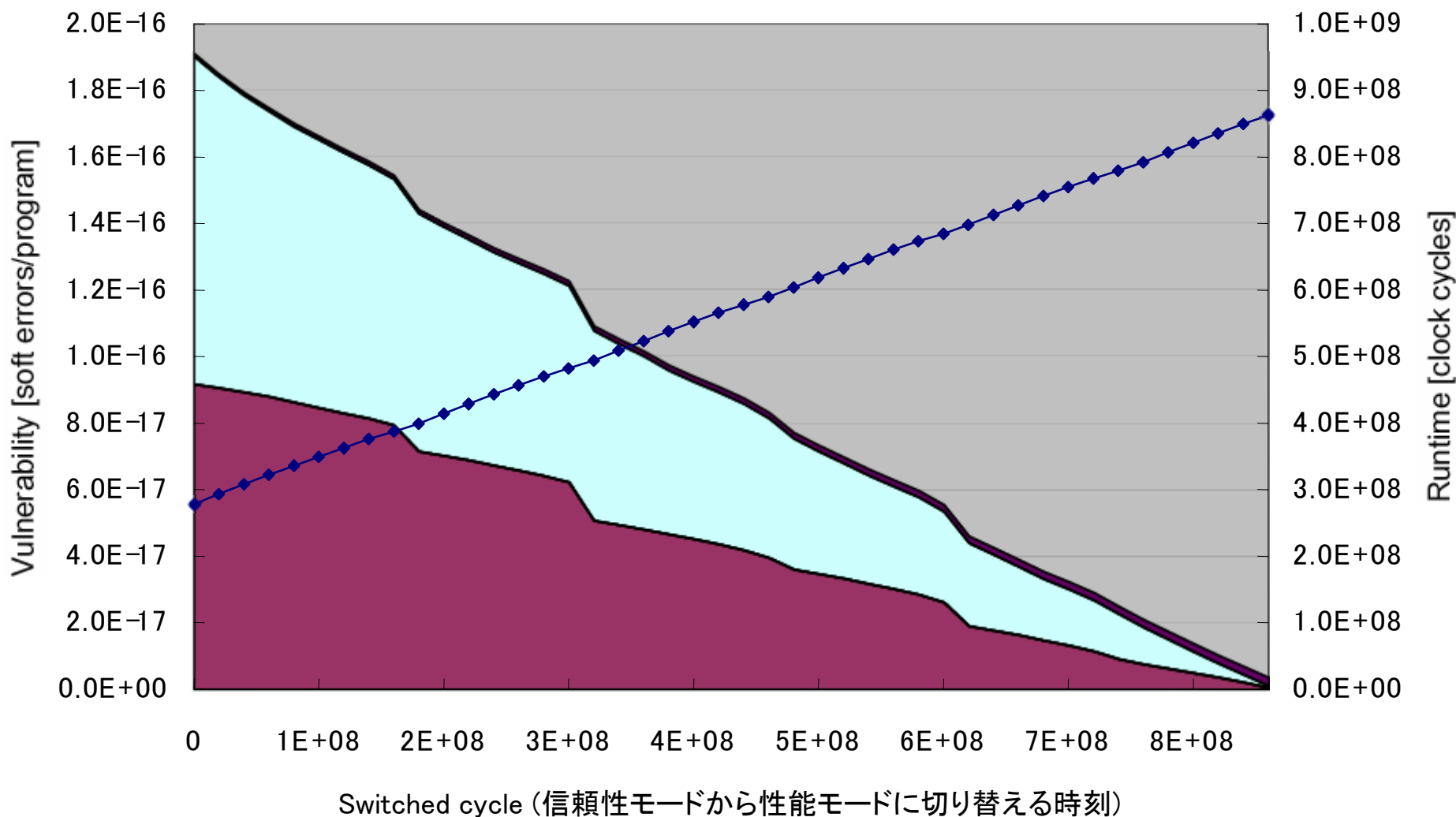
キャッシュサイズ、性能、脆弱性



Cache ways (1 cache wayは1 kBに相当する。Line size: 32 B, # cache sets: 32)

soft errors (IL1) # soft errors (IMM) # soft errors (DL1) # soft errors (DMM) * # clock cycles

動作モードの切替えによる性能・信頼性



soft errors (IL1) # soft errors (IMM) # soft errors (DL1) # soft errors (DMM) ◆ Runtime

高信頼なRTOS技術 (タスクスケジューリング)

- 信頼性とリアルタイム性が要求されるシステム。
- キャッシュの動作モードの切り替えのタイミングを決定する。
- タスクスケジューリングによって35.3-93.4%の脆弱性が削減されることが計算機実験によって確認された。

おわりに

- 時代に応じた設計最適化項目（物理的制約、設計・製造コスト）の設定が重要。微細化技術の進展状況に応じ、設計における最適化項目を設定することが重要。
- EDA技術から組み込みシステム技術までの総合的な取り組みにより「コンピュータシステム」を開発する技術が重要。
- 半導体デバイス製造からソフトウェア開発まで、情報学的アプローチの介在する研究分野は多数ある！企業、大学を問わずに共同研究を推進したい。