

小容量オンチップメモリの有効利用による組込みシステムの低消費エネルギー化

山口, 誠一郎
九州大学大学院システム情報科学府

室山, 真徳
九州大学システムLSI 研究センター

石原, 亨
九州大学システムLSI 研究センター

安浦, 寛人
九州大学大学院システム情報科学研究院

<https://hdl.handle.net/2324/8332>

出版情報 : 第60回電気関係学会九州支部連合大会, pp. 207-207, 2007-09-18
バージョン :
権利関係 : (c) 2007 電気関係学会九州支部連合会

小容量オンチップメモリの有効利用による組込みシステムの低消費エネルギー化

山口 誠一郎

室山 真徳

石原 亨

安浦 寛人

九州大学

1 はじめに

発熱によるシステムの安全性/信頼性低下などの問題や携帯機器のバッテリー寿命延長の要求から、組込みシステムの消費電力/エネルギー削減は必要不可欠である。マイクロプロセッサの性能向上により、多くの組込みシステムはマイクロプロセッサおよびソフトウェアで実現可能となったが、消費電力/エネルギーの削減が課題である。マイクロプロセッサの性能向上を担っているものの一つであるキャッシュメモリ（以下、キャッシュ）で消費される電力はマイクロプロセッサ全体の消費電力の40%以上を占めている [1, 2]。本稿では、頻繁にアクセスされる命令キャッシュのキャッシュブロックのコードを小容量でアクセスエネルギーが小さいオンチップメモリに保存することで命令キャッシュへのアクセス回数を減らし、消費エネルギーを削減する手法を提案する。

2 関連研究

命令キャッシュの低消費エネルギー化に関する研究を紹介する。過去にアクセスされたウェイト番号などの情報を記録しておき、次回アクセスするウェイトを特定または予測することで不必要なアクセスエネルギーを消費しない手法が文献 [3] で提案/紹介されている。Block Buffering 手法 [4] はアクセスしたキャッシュブロックのコードをバッファに保存し、次回アクセスする際にバッファ内に該当コードが存在すればキャッシュへアクセスしない手法である。頻繁に実行される基本ブロックを小容量オンチップメモリに保存し、保存した基本ブロックが実行されている際は命令キャッシュへアクセスしない手法もある [5]。

3 提案手法

頻繁にアクセスされるキャッシュブロックのコードを少ないエネルギーでアクセスできるように小容量オンチップメモリである Frequent Access Memory (FAM) を用意する。FAM は L1 命令キャッシュと同じメモリ階層にあり、同時にアクセスされることはない。図 1 に提案手法のメモリ階層を示す。プログラム実行を静的または動的解析した結果、アクセス回数が多いキャッシュブロックのコードを FAM に保存する。

FAM からコードを取得するには FAM のアドレス (FAM Index) が必要である。FAM および L1 命令キャッシュにはデータ用のフィールドの他に FAM Index 用のフィールドがあり、アクセスの際にコードと同時に取得する。図 2 に FAM のアーキテクチャを示す。コードが保存されている FAM Index をブロックアドレスが一つ前の FAM Index フィールドに保存する。従って、連続したブロックにアクセスする際、前のブロックで FAM Index が指定されていればパフォーマンスの損失なくコードを取得できる。FAM Index が指定されていない場合や分岐などにより連続したブロックへアクセスしない場合は従来通り L1 命令キャッシュへアクセスする。L1 命令キャッシュへの FAM Index 書込みアルゴリズムの考案は今後の課題である。

提案手法の削減効果 R は式 (1) で表される。ただし、 E_{cache} は提案手法適用前の従来の命令キャッシュで消費されるエネルギー、 E'_{cache} は提案手法適用後の命令キャッシュ

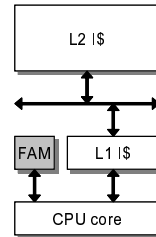


図 1: メモリ階層

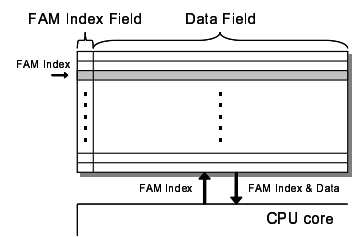


図 2: FAM アーキテクチャ

表 1: アクセス回数解析結果

ベンチマーク	A_{FAM} [回] (%)	A_{cache} [回] (%)
adpcm coder	219,493,261 (57.8)	157,888,767 (42.2)
adpcm decoder	206,221,527 (72.8)	79,196,897 (27.2)
bitcount	218,914,154 (61.0)	141,008,584 (39.0)

で消費されるエネルギー、 E_{FAM} は FAM で消費されるエネルギーである。 E'_{cache} に比べ E_{FAM} は非常に小さいため、FAM へのアクセス率が高いほど効果は大きい。

$$R = 1 - \frac{E'_{cache} + E_{FAM}}{E_{cache}} \quad (1)$$

4 実験結果

東芝社の 32 ビット RISC マイクロプロセッサである MeP を使用して計算機実験を行った。FAM に保存するコードは命令レベルシミュレータを用いて静的解析した結果、最もアクセスされた上位 15 ブロックのコードとした。表 1 に FAM および L1 命令キャッシュへのアクセス回数の結果を示す。ただし、 A_{FAM} および A_{cache} は FAM および L1 命令キャッシュへのアクセス回数である。最大で 72.8% のアクセスが FAM へのアクセスであり、エネルギー削減効果が大きいことがわかる。

5 おわりに

本稿では、命令キャッシュの消費エネルギー削減手法を提案し、その効果を示した。今後の課題は FAM Index フィールドへの値の書込みアルゴリズムの考案である。謝辞

本研究の一部は、科学技術振興事業団 (JST) の戦略的創造研究推進事業 (CREST) 「情報システムの超低消費電力化を目指した技術革新と総合化技術」の支援によるものである。本研究は東京大学大規模集積システム設計教育研究センターを通じ、株式会社東芝の協力で行われたものである。

参考文献

- [1] S. Seger, "Low-Power Design Techniques for Microprocessors," *ISSCC Tutorial*, Feb. 2001.
- [2] J. Montanaro, et al., "A 160MHz 32b 0.5W CMOS RISC Processor," *IEEE JSSC*, Vol. 31, No. 11, pp.1703-1714, Nov. 1996.
- [3] T. Ishihara and F. Fallah, "A Way Memoization Technique for Reducing Power Consumption of Caches in Application Specific Integrated Processors," In *Proc. of DATE*, Vol. 1, pp.358-363, Mar. 2005.
- [4] K. Ghose and M. B. Kamble, "Analytical Energy Dissipation Models for Low Power Caches," In *Proc. of ISLPED*, pp.143-148, Aug. 1997.
- [5] N. B. I. Hajj, G. Stamoulis, N. Bellas and C. Polychronopoulos, "Architectural and Compiler Support for Energy Reduction in the Memory Hierarchy of High Performance Microprocessors," In *Proc. of ISLPED*, pp.70-75, Aug. 1998.