

プロセッサベース組込みシステムの低消費電力化を 目的としたクロックゲーティング命令に関する検討

山口, 誠一郎
九州大学大学院システム情報科学府

室山, 真徳
九州大学システムLSI 研究センター

石原, 亨
九州大学システムLSI 研究センター

安浦, 寛人
九州大学大学院システム情報科学研究院

<https://hdl.handle.net/2324/8331>

出版情報 : 電子情報通信学会総合大会講演論文集, pp.108-108, 2007-03-22. 電子情報通信学会
バージョン :
権利関係 :

プロセッサベース組み込みシステムの低消費電力化を目的とした クロックゲーティング命令に関する検討

A Low Power Technique for Processor Based Embedded Systems by Using Clock Gating Instructions

山口 誠一郎
Seiichiro Yamaguchi

室山 真徳
Masanori Muroyama

石原 亨
Tohru Ishihara

安浦 寛人
Hiroto Yasuura

九州大学
Kyushu University

1 はじめに

発熱によるシステムの安全性/信頼性低下などの問題や携帯機器のバッテリー寿命延長の要求から、組み込みシステムの低消費電力化/低消費エネルギー化は必要不可欠となっている。プロセッサの性能向上に伴い様々な機能のソフトウェア化が進むなか重要となってくるのが、ソフトウェアのレベルから消費電力/消費エネルギーを削減可能にするハードウェア機構を用意することである。本稿では、プロセッサ上で処理されるデータの値域を考慮して消費電力を削減可能にするクロックゲーティング命令についての基本アイデアを述べる。

2 関連研究

低消費電力化技術は数多く存在するが、データの特徴を考慮した技術を紹介する。文献 [1] は、データパス幅が 64 ビットのときの整数演算の半数以上の演算に十分なビット幅が 16 ビット以下である事実を利用して、オペランドのデータを動的に解析し 16 ビット以下で十分であるとき演算実行前にオペランドの上位 48 ビットにクロックゲーティングを適用する手法である。

3 クロックゲーティング命令

本稿で提案する手法は、データの値域を静的に解析した結果を利用しクロックゲーティングが適用できる処理に対してコンパイル時に通常の命令をクロックゲーティング命令に変換する。クロックゲーティング命令を実行するために、あらかじめゲーティングするビット幅(ゲーティング幅)を専用のレジスタに格納しておく。演算タイプのクロックゲーティング命令を実行する際はゲーティング幅に応じてオペランドの上位ビットをゲーティングする。演算結果は符号拡張/ゼロ拡張する。データ転送タイプのクロックゲーティング命令を実行する際はゲーティング幅に応じてキャッシュのセンスアンプを制御することでメモリの消費電力を削減する。図 1 に演算タイプのクロックゲーティング命令の動作例を示す。

クロックゲーティング命令が実装された状態で命令 i がモジュール M で実行される際の消費電力 P_i は式 (1) である。

$$P_i = P_{coeff} \cdot (DW - GW_i) + P_{leakage,M} + P_{overhead} \quad (1)$$

ここで、 DW はプロセッサのデータパス幅、 GW_i は命令 i を実行する際のゲーティング幅、 $P_{leakage,M}$ はモジュール M のリーク消費電力、 $P_{overhead}$ はゲーティング機構の電力オーバーヘッドである。また、動的消費電力は

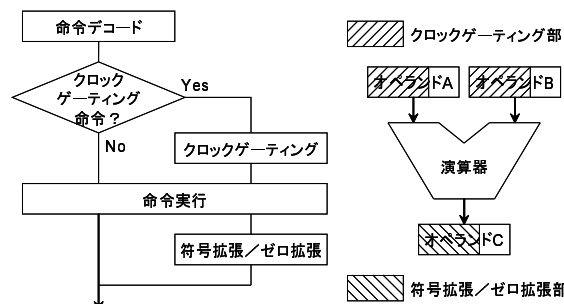


図 1 演算タイプのクロックゲーティング命令の動作例

($DW - GW_i$) に比例すると仮定し、その係数を P_{coeff} とした。クロックゲーティング命令が実装されていない状態の消費電力は、 $P_{coeff} \cdot DW + P_{leakage,M}$ であるため、クロックゲーティング命令の実装により効果が現れる条件は式 (2) となる。

$$\frac{P_{coeff} \cdot (DW - GW_i) + P_{leakage,M} + P_{overhead}}{P_{coeff} \cdot DW + P_{leakage,M}} < 1$$

i.e. $P_{overhead} < P_{coeff} \cdot GW_i$ (2)

4 おわりに

本稿では、プロセッサベース組み込みシステムの低消費電力化を目的とし、プロセッサ上で処理されるデータの値域を考慮して消費電力を削減可能にするクロックゲーティング命令についての基本アイデアを述べた。今後の課題はオペレーティングシステムから呼び出されるタスク単位で最適なゲーティング幅を求めるアルゴリズムを開発することである。これにより最適なゲーティング幅をタスク呼び出し時に専用レジスタにセットすることができる。また、シンプルなプロセッサを実装し評価実験を行う。

謝辞 本研究の一部は、21 世紀 COE プログラム「システム情報科学での社会基盤形成」および科学技術振興事業団 (JST) の戦略的創造研究推進事業 (CREST) 「情報システムの超低消費電力化を目指した技術革新と総合化技術」の支援によるものである。

参考文献

- [1] D. Brooks and M. Martonosi, "Value-based clock gating and operation packing: dynamic strategies for improving processor power and performance," *ACM Transactions on Computer Systems*, vol.18, no.2, pp.89–126, May. 2000.