

An Energy Reduction Technique for a Nano Technology SRAM Considering PVT Variation

松村, 忠幸
九州大学大学院システム情報科学府

室山, 真徳
九州大学システムLSI 研究センター

石原, 亨
九州大学システムLSI 研究センター

安浦, 寛人
九州大学大学院システム情報科学研究院

<http://hdl.handle.net/2324/8330>

出版情報 : 電子情報通信学会総合大会講演論文集, pp.45-46, 2007-03-22. The Institute of
Electronics, Information and Communication Engineers

バージョン :

権利関係 :



プロセスばらつきを考慮したSRAMセルの低消費電力設計手法

An Energy Reduction Technique for a Nano Technology SRAM Considering PVT Variations

松村忠幸
Tadayuki, Matsumura

室山真徳
Masanori, Muroyama

石原亨
Tohru, Ishihara

安浦寛人
Hiroto, Yasuura

九州大学
Kyushu University

1 はじめに

集積回路の微細化と共にLSIチップのリーク電力が劇的に増大している．チップの全消費電力に対するリーク電力の割合も増大している．一方で最新の半導体製造プロセスではトランジスタの閾値電圧のばらつきが深刻な問題となっている．リーク電力は閾値電圧の指数に比例するため正確にリーク電力を見積もるためには、閾値電圧のばらつきを考慮することが不可欠である [1, 2]．閾値電圧の標準偏差はトランジスタのチャネルサイズの平方根に反比例するため [3]、ばらつき低減の為にチャネルサイズの増大が望まれるが、一方でメモリの高集積化のためにSRAMセルのチャネルサイズを大きくできないというジレンマがある．本稿ではSRAMセルのプロセス、電圧、温度(以下PVT)ばらつきを考慮したリーク電力とタイミング歩留まりの見積もり方法を述べる．さらに、SRAM回路のタイミング歩留まりを制約としてSRAMの全消費エネルギーを削減する方法を述べる．

2 PVTばらつきを考慮した見積もり

本研究では閾値電圧のばらつきが正規分布に従うと仮定し、モンテカルロシミュレーションにより、リーク電力とタイミング歩留まりを統計学的に見積もる．実験にはASPLA社の90nmCMOSプロセスを使用する．プロセスオプションとして高性能オプション(以下HP)と中性能オプション(以下MP)が選択できる．HPとMPでは不純物濃度が異なり、結果的に閾値電圧が異なる．

2.1 統計学的リーク電力見積もり

表1 ばらつきと64Kbit SRAMのリーク電流の関係

V_{th}	30	40	50	60
統計学的見積もり [mA]	0.075	0.097	0.138	0.211
最悪ケース [mA]	0.59			
最悪ケース見積もり誤差	694%	1305%	2127%	3057%
典型ケース [mA]	0.055			
典型ケース見積もり誤差	-27%	-44%	-60%	-74%

表1に閾値電圧の標準偏差(以下 V_{th})とリーク電流の関係を示す．本研究では V_{th} の値がチャネル面積の平方根に反比例するように補正して使用した．表1の V_{th} の値はゲート長 $L=100\text{nm}$ 、ゲート幅 $W=200\text{nm}$ のトランジスタの V_{th} の値を示す．ばらつきが大きくなると総リーク電流が大きくなることが確認できる．さらにばらつきの増大にともないコーナーケースの見積もりに対する誤差が増大する．今後プロセスばらつきが増大すると、ばらつきを考慮した統計学的なリーク電力見積もりが重要になることを示している．

2.2 統計学的タイミング歩留まりの見積もり

タイミング歩留まりとは与えられた時間内にSRAMセルへの読み書きが可能なチップ数の全製造チップ数に対する割合を意味する．メモリのタイミング歩留まりは式(1)で近似できる．ビット当りのタイミングエラー率はモンテカルロシミュレーションにより見積もる．

Timing Yield =

$$(1 - \text{ビット当りのタイミングエラー率})^{\text{メモリのビット数}} \quad (1)$$

閾値電圧のばらつきに起因する遅延のばらつきが増大すると、タイミング歩留まりが低下することが多くの研究者によって指摘されている [4, 5]．式(2.2)より歩留まりはメモリサイズに指数で依存するためメモリの容量が大きいほどばらつきに敏感になると思われる．

2.3 エネルギーとタイミング歩留まりのトレードオフ

リーク電力とタイミング歩留まりの見積もり結果を図1~図10に示す．タイミング歩留まりの見積もりにおけるターゲット遅延は、HPプロセスのTypicalなパラメータを用い、メモリサイズが64K-bitの時に80%のタイミング歩留まりを達成する遅延とした．タイミング歩留まりはメモリサイズに指数で依存するため、タイミング歩留まりは多くの場合に0または1となった．VDDの選択とプロセスオプションの選択がタイミング歩留まり、リーク電力共に大きな影響力を持つことが確認できる．

3 実験と考察

3.1 問題定義

本稿では次に示す問題を解くことによりSRAM回路のタイミング歩留まりを制約条件としてSRAMの消費電力を削減する手法について述べる．本研究で取り組む問題は「SRAMのビット数、 V_{th} 、使用時のチップ温度、単位時間当たりのSRAMへのアクセス数、およびタイミング歩留まりの制約が与えられた時に、リーク電力とスイッチング電力の総和を最小にする電源電圧(以下VDD)、ゲート酸化膜厚(以下 T_{ox})、SRAMセルのアクセストラジスタのサイズ及びプロセスオプションを選択する問題」である．

3.2 実験環境

表2に示す4つのシナリオに対して、3.1節で示した問題を解く．タイミング歩留まりを決めるターゲット遅延は、アクセストラジスタのサイズが $L=100\text{nm}$ 、 $W=150\text{nm}$ 、プロセスはHP他のパラメータはTypicalケースの値を使用した際に、与えられたタイミング歩留まりを達成する最小のアクセス遅延とした．

表 2 SRAM 使用シナリオ

シナリオ	1	2	3	4
閾値電圧の標準偏差 [mV]	60	30	60	30
メモリサイズ [bit]	4M		64K	
動作時温度 [°C]	25		125	
要求歩留まり [%]	70		80	
メモリアクセス周波数	40MHz		400MHz	
アクセス当りの稼働ビット数	128 × 4		128	

3.3 実験結果と考察

実験結果を表 3 に示す。実験結果から、メモリ容量が大きいシナリオでは、ばらつきの大きさによらずリーク電力が総消費電力に対して支配的である。この場合、MP を選択しリーク電力を抑え、高い VDD を使用することによりタイミング歩留まり改善することで最小消費電力を達成する。逆にシナリオ 3,4 ではスイッチング電力が支配的であるため MP を選択することで得られるリーク電力の削減効果は小さい。この場合の最小消費電力は HP を選択し、低い VDD を使用することにより達成される。以上の結果より、設計パラメータの組み合わせは条件により異なるため、プロセスばらつきや用途を想定した見積もりを行うことが重要であることがわかる。

表 3 電力最小パラメータ探索結果

シナリオ	オリジナル [mW]	最小電力 [mW]	削減率
1	57.3 (96.6%)	13.2 (68.1%)	77.0%
	L=103nm, W=195nm, Tox=2.59nm VDD=1.4V, MP を使用		
2	22.4 (89.1%)	13.4 (67.3%)	40.2%
	L=103nm, W=150nm, Tox=2.59nm VDD=1.5V, MP を使用		
3	11.9 (58.3%)	10.6 (43.6%)	11.1%
	L=100nm, W=150nm, Tox=2.55nm VDD=1.1V, HP を使用		
4	9.22 (46.3%)	8.76 (31.9%)	5.01%
	L=100nm, W=150nm, Tox=2.55nm VDD=1.1V, HP を使用		

4 おわりに

本稿ではプロセスばらつきや使用される条件(チップ温度やチップの稼働率)を考慮した見積もりの重要性を示した。LSI 設計者は使用するプロセステクノロジーの特性ばらつきや、チップを使用する条件を考慮に入れて設計することが重要である。今後はスタティックノイズマージン、面積の制約も考慮した設計手法を検討する。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し(株)半導体理工学研究センター、富士通(株)、NEC エレクトロニクス(株)、(株)東芝、(株)ルネサステクノロジ、シノプシス(株)の協力で行われたものである。SRAM に関する貴重な情報を提供頂いた神戸大学の吉本雅彦教授に感謝する。本研究の一部は科学研究補助金(学術創成研究費(2):14GS0218)によるものである。

参考文献

- [1] H. Chang and Sachin S. Sapatnekar "Full-Chip Analysis of Leakage Power Under Process Variations, Including Spatial Correlations", in Proc. of DAC, pp.523-528, June, 2005.
- [2] R. Rao, A. Srivastava, D. Blaauw, and D. Sylvester "Statistical Estimation of Leakage Current Considering Inter- and Intra-Die Process Variation", in Proc. of ISLPED, pp.84-89, Aug., 2003.
- [3] Y. Taur and T. H. Ning, "Fundamentals of Modern VLSI Devices", Cambridge University Press, 1988.
- [4] S. R. Naidu, "Timing Yield Calculation Using an Impulse-train Approach", in Proc. of Int'l Conference on VLSI Design/ASP-DAC, pp.219-224, 2002.
- [5] M. Mani, A. Devgan, and M. Orshnsky, "An Efficient Algorithm for Statistical Minimization of Total Power Under Timing Yield Constraints", in Proc. of DAC, pp.309-314, June, 2005.

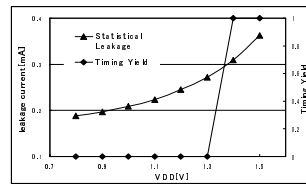


図 1 VDD 変更時の Yield vs. Leak (MP)

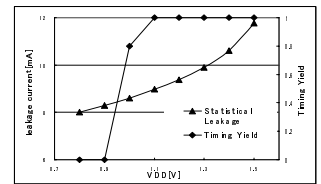


図 2 VDD 変更時の Yield vs. Leak (HP)

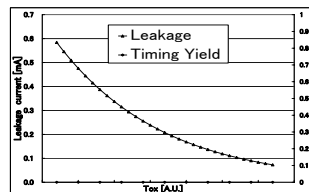


図 3 Tox 変更時の Yield vs. Leak (MP)

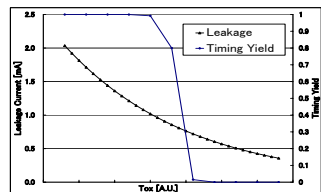


図 4 Tox 変更時の Yield vs. Leak (HP)

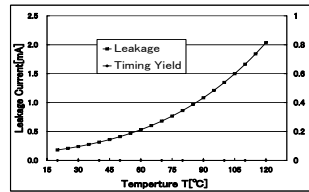


図 5 温度変更時の Yield vs. Leak (MP)

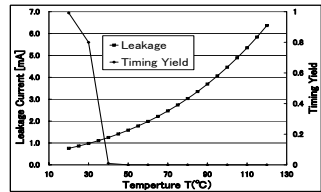


図 6 温度変更時の Yield vs. Leak (HP)

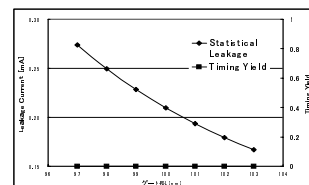


図 7 ゲート長 L 変更時の Yield vs. Leak (MP)

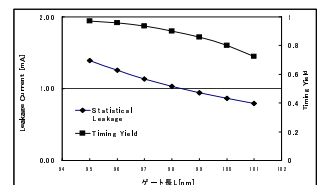


図 8 ゲート長 L 変更時の Yield vs. Leak (HP)

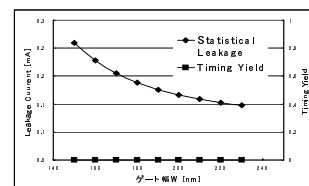


図 9 ゲート幅 W 変更時の Yield vs. Leak (MP)

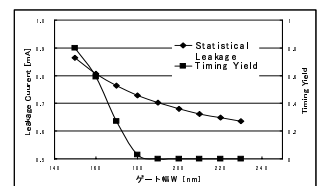


図 10 ゲート幅 W 変更時の Yield vs. Leak (HP)