

製造後に性能補償可能なオンチップバスアーキテクチャ

山口, 聖貴
九州大学

室山, 真徳
九州大学

石原, 亨
九州大学

安浦, 寛人
九州大学

<https://hdl.handle.net/2324/8008>

出版情報 : 平成19年度電気関係学会九州支部連合大会, pp.208-208, 2007-09. 電気関係学会九州支部
バージョン :
権利関係 :

製造後に性能補償可能なオンチップバスアーキテクチャ

山口 聖貴 室山 真徳 石原 亨 安浦 寛人
九州大学

1 はじめに

近年トランジスタの微細化が進んでいる．微細化によって，論理ゲートの遅延時間よりも配線に起因する遅延時間の方が大きくなり，LSIの面積や動作速度に及ぼす配線の影響が無視できなくなっている．配線幅や配線間隔が縮小し，隣接配線間容量の影響が問題となっている．特に，バス配線では複数の配線が長距離並走するため，配線間容量が大きく結果的に遅延時間が増大してしまう．

また，微細化が進みにつれて製造時に生じるばらつきに起因する回路性能のばらつきが顕著になってきている．回路性能のばらつきによって，誤動作する回路や仕様どおりの性能が得られない回路が増加するという問題点がある．

以上の背景から，配線間容量によるバス遅延の増大や性能ばらつき等に対処すべく，製造後に性能補償可能なオンチップバスアーキテクチャについて述べる．

2 関連研究

オンチップバスの遅延や消費電力の削減技術は，多くの研究がなされている．[1]では，隣接配線が同時に逆方向へ遷移するときに遅延時間が最大となることに着目し，意図的に隣接配線の遷移タイミングをずらすことによってクロストークの影響を小さくし，バス全体の遅延時間を削減する手法を提案している．[2]では，バッファのゲート段数及びゲートサイズを調整することによって，バッファのタイミング歩留りを向上させる手法を提案している．[3]では，チップ動作時にバスの電源電圧や周波数を調整するセルフキャリブレーション機能を組み込んでいる．エラーをチェックしながら動的に電源電圧や周波数を変えることで，高速化や低消費エネルギー化，高信頼化を図っている．[4]では，ドライバとレシーバの間に挿入するリピータの駆動能力を動的に変化させることにより，消費電力を増大させることなく遅延を削減する手法を提案している．

3 製造後に性能補償可能なオンチップバスアーキテクチャ

提案するオンチップバスアーキテクチャは，遅延時間と消費電力を測定する機能，製造後に遅延時間を調整できる遅延素子 PDE(Programmable Delay Elements)，駆動能力を調整可能なバスドライバを組み込むことによって，製造後の性能補償を可能としている．ドライバと遅延素子の調整のみで性能補償を実現できるため，DVS等の従来手法と比較すると実現が容易である．

3.1 提案するオンチップバスアーキテクチャ

提案するオンチップバスアーキテクチャを図1に示す．クロストークを考慮し，必要に応じて隣接配線の遷移タイミングをずらすため，PDEを用いる．駆動能力を大きくすると，負荷容量は大きくなるが遅延が小さくなりばらつきも小さくなる．駆動能力を調整して遅延時間や消費電力の削減，信頼性の向上等を図るため，駆動能力が調整可能なバスドライバを用いる．また，提案するオンチップバスはドライバとレシーバの間にリピータを挿入構造を想定している．リピータの数や駆動能力，製造後の調整機能を付加するかどうか等については今後の検討課題としたい．

また，オンチップで遅延時間を測定する回路を組み込む．バスの遅延時間は，バスの入力信号と出力信号の XOR を

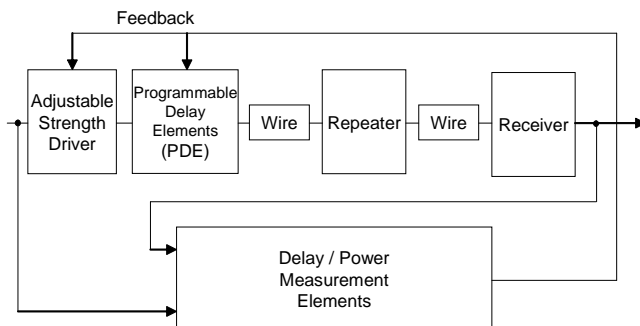


図1: 提案するオンチップバスアーキテクチャ

と，XORゲートの出力が1である時間を観測することによって測定できる．バスの消費電力は，バスの供給電源部にカレントミラーを接続し，バス部分に流れる電流を観測することによって測定できる．

3.2 製造後の性能補償

テスト時に各バスにおける遅延時間，消費電力を測定する．製造後のバスを用いて性能を測定するため，製造ばらつきを含んだ性能を得ることができる．オンチップで測定した結果をもとに，ターゲットとする遅延時間や消費電力に収まるように，あるいは遅延時間や消費電力が最も小さくなるように素子を調整し，遅延削減や消費電力削減，信頼性の向上を図ることが可能である．

4 まとめ

本稿では，製造後に性能補償可能なオンチップバスアーキテクチャについて述べた．オンチップで遅延を測定できる機能，製造後に遅延時間，駆動能力を調整できる素子を組み込むことによって，製造後の性能補償を可能としている．今後はさらなるオンチップバスアーキテクチャの検討と提案回路の評価を行いたい．

謝辞

本研究は，一部科学研究費補助金(基盤研究(A))(課題番号:19200004)による．

参考文献

- [1] 廣瀬 啓, 安浦 寛人, "クロストークを考慮したバス遅延削減手法", 電子情報通信学会論文誌 A, Vol.J83-A, No.8, pp.989-998, 2000年8月．
- [2] 坂本 良太, 室山 真徳, 石原 亨, 安浦寛人, "CMOS回路におけるタイミング歩留り最大化のためのゲートサイジング手法の提案", 電子情報通信学会技術研究報告 ICD2006-208, pp.67-72, Mar. 2007.
- [3] F. Worm, P. Ienne, P. Thiran, G. De Micheli, "A Robust Self-Calibrating Transmission Scheme for On-Chip Networks", IEEE Transaction on Very Large Scale Integration Systems, Vol.13, No.1, Jan. 2005
- [4] R. Weerasekera, D. Pamunuwa, L. R. Zheng, H. Tenhunen, "Minimal-Power, Delay-Balanced Smart Repeaters for Interconnects in the Nanometer Regime", System Level Interconnect Prediction 2007, pp.113-120, Mar. 2006.