

入力信号パターンを考慮した低電力乗算器の設計

室山, 真徳
九州大学大学院システム情報科学府情報工学専攻

石原, 亨
東京大学大規模集積システム設計教育研究センター

兵頭, 章彦
九州大学大学院システム情報科学府情報工学専攻

安浦, 寛人
九州大学大学院システム情報科学府情報工学専攻

<https://hdl.handle.net/2324/7613>

出版情報 : VDEC LSIデザイナーズ・フォーラム2000, 2000-09
バージョン :
権利関係 :

入力信号パターンを考慮した低電力乗算器の設計

室山 真徳† 石原 亨‡ 兵頭 章彦† 安浦 寛人†

†九州大学 大学院システム情報科学府 情報工学専攻

‡東京大学 大規模集積システム設計教育研究センター

1 はじめに

セルベース設計における乗算器の設計では1ビット全加算器 (FA) を複数使用する. 通常, 1つの乗算器中に使用される FA セルの回路構造は全て同じである. 本稿では, 低電力乗算器の設計を目的として各セルの入力信号パターンを考慮することにより, (i) 回路構造の異なる複数の FA セルを用意し, その中から最も適したセルを選択する, (ii) セルの入力端子の配線を決定することで乗算器の消費電力を削減する手法を提案する. また, 本手法をもとに8ビット乗算器を設計したので報告する.

2 入力信号パターンを考慮した低電力乗算器の設計手法

FA セルの入力端子において連続した入力信号値のペアを入力信号パターンと定義する. 例えば2入力 NAND では入力 A, B において, 時刻 t における入力信号値 (0,1) と時刻 $t+\delta$ での入力信号値 (1,1) のペアが入力信号パターンである. 入力信号パターンは基本セルを構成する回路中のゲートの状態 (スイッチングするかしないか) を決定する. 2入力 NAND の例では出力の信号値は1から0へとスイッチする. ゲートのスイッチングが消費電力に影響を与えるために入力信号パターンを考えることは重要である.

3ビット配列型並列乗算器 (図1) を考える. 図中の数値は乗算器を構成する FA の入力端子および出力端子におけるスイッチング回数を表す. 乗算器自体には全通りの入力信号パターンを与えた. そのとき FA3 では入力端子 A は入力端子 C_{in} の4倍の回数スイッチングするような入力信号パターンの集合が与えられている.

ここでは回路構造の異なる FA セルを2つ使用した (FA_u と FA_b). 表1に示すように FA_u は FA の入力において全通りの入力信号パターンの集合が等確率の場合に低電力であり, FA_b は入力信号パターンの集合が等確率でない場合に低電力であることが分かる. 入力信号パターンの集合に偏りがみられる場合の入力には図1中の FA3 のものを使用した. FA の入力端子にはスイッチング回数の比がおおよそ $A : B : C_{in} = 4 : 3 : 1$ となる. プロセステクノロジーに日立北海セミコンダクタの $0.5\mu m$ を用いて SPICE で測定した値を表1と表2に表す.

また, FA セルの入力端子 A, B, C_{in} に接続される3つの信号線は交換が可能である. 接続によっては電力が異なる場合があることが考えられる (図2).

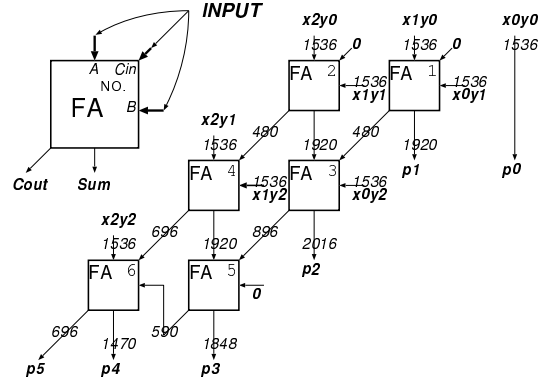


図1: 3ビット配列型並列乗算器における各FAセルの入力端子のスイッチング回数の偏り

表1: FA_u と FA_b の消費電力の比較 (単位 μW)

FAの種類	偏りがない場合	偏りがある場合
FA_u	22.4	17.5
FA_b	29.6	15.8

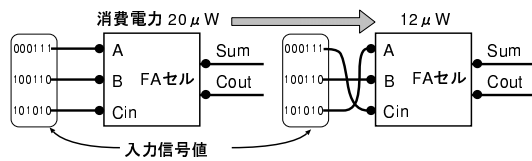


図2: 入力端子の繋ぎ替えによる電力削減例

提案した方法に基づいて低電力な3ビット配列型並列乗算器を設計する. 並列乗算器には全通りの入力信号パターンの集合を与えた. 各FAセルと入力端子の繋ぎ方全ての組み合わせに対して1パターン分の平均消費電力を回路シミュレータ SPICE で計算した. 全組み合わせの中で平均消費電力が最小となる各FAセルと繋ぎ方の組み合わせを決定する. 回路シミュレータ SPICE により得られた消費電力が最小となる構成を図3に示す. 回路シミュレータ SPICE による乗算器の消費電力を表2に示す. 通常の構成法である FA_u のみでかつ入力端子の繋ぎ替えを考慮しないと比べて FA_b のみでかつ入力端子の繋ぎ替えを考慮すると消費電力が32.1%削減できた. 3ビット配列型並列乗算器では, 各FAセルにおいては偏った入力信号パターンの集合が与えられているために FA_b のみを用いた場合が有効となっている. Wallace 型においては FA_u および FA_b が混在した場合が低電力となる [1].

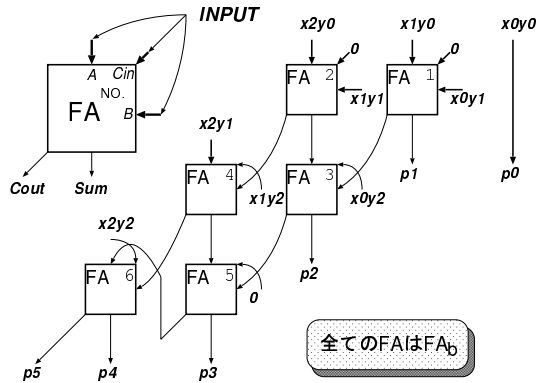


図 3: 低電力 3 ビット配列型並列乗算器の構成

表 2: 消費電力 (単位 μW)

乗算器の構成要素	繋ぎ替え	
	考慮しない	考慮する
FA_u のみ	72.277	66.735
FA_b のみ	75.222	49.053

3 8 ビット乗算器の設計

提案手法を用いて日立ゲートアレイ $0.35\mu m$ での 8 ビット低電力乗算器の試作版を作成した。トップモジュール (図 4) の入出力ピンは以下の通りである。破線は制御線を表し、実線はデータを表す。8 ビット乗算器は 56 個の MFA から構成される。

- $fa - no[5:0]$: どの MFA に対して制御を行うか選択。ただし全てのビットが 0 のときは制御を行わない。
- $sel - fa$: $FA1$ と $FA2$ のどちらの FA を用いるか選択。
- $sel - input[2:0]$: 入力信号端子の繋ぎ換えを制御。
- $X, Y[7:0]$: 被乗数と乗数。
- $P[15:0]$: 乗算結果。

MFA は FA セルの入力端子の繋ぎ換えおよび使用する FA セルが選択可能な 1 ビット全加算器 (図 5) である。図中の $wire$ は $wire$ の信号値が立ち上がる時に入力端子の繋ぎ換えおよび使用する FA を変更する制御線である。 $data[2:0]$ は加算を行うデータである。 $Cout, Sum$ はそれぞれ計算した結果の桁上げと和出力である。

DesignCompiler で測定した結果、使用したセル数は 2136 個、面積は $5440\mu m^2$ 、消費電力は $626mW$ および遅延は $30n sec$ であった。

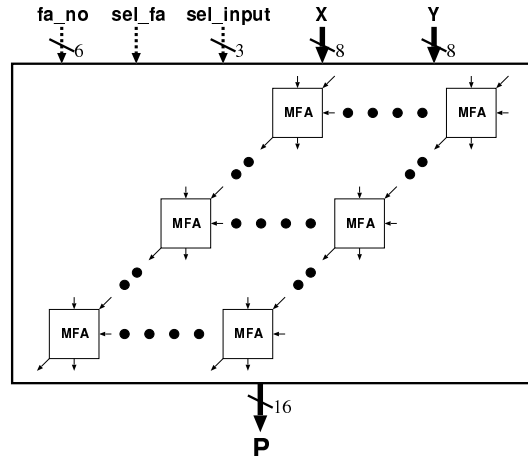


図 4: 8 ビット配列型並列乗算器

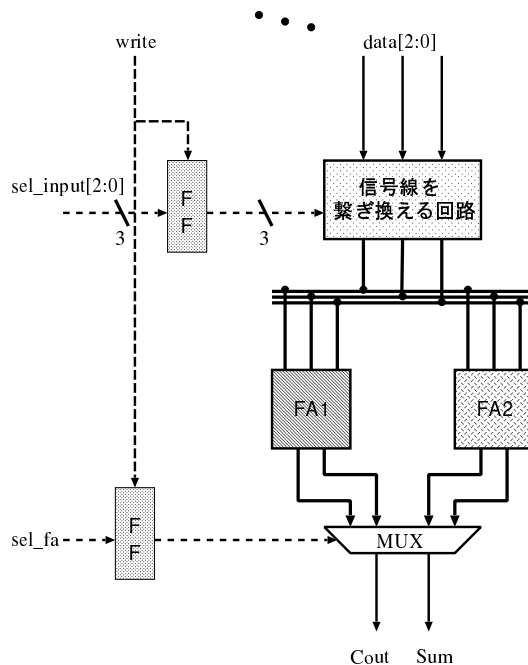


図 5: FA モジュール (MFA)

4 おわりに

完成したチップを用いて実際に消費電力を測定し、実際にどの程度提案手法が有効であることを示したい。今後、ゲートアレイでの消費電力の測定方法について調べる必要がある。

参考文献

[1] 室山 真徳, 石原 亨, 兵頭 章彦, 安浦 寛人, “入力信号パターンを考慮した低電力並列乗算器の設計手法,” DA シンポジウム 2000, pp61-66, 2000 年