

パワー半導体の基礎と最新トピックス

寺島, 知秀
九州大学大学院システム情報科学研究院価値創造型半導体人材育成センター

<https://hdl.handle.net/2324/7403376>

出版情報 : 2025-09-29
バージョン :
権利関係 :



主催 TPSS: Total Process Solution Study-Group
TPSS Autumnセミナー2025
“2025年度下期の半導体産業とパワー半導体の基礎”

パワー半導体の基礎と最新トピックス

九州大学大学院システム情報科学研究院
価値創造型半導体人材育成センター

寺島知秀

September 29, 2025



寺島 知秀

九州大学大学院システム情報科学研究院
価値創造型半導体人材育成センター 教授



講師略歴

1987年大阪大学基礎工学部物性物理工学科卒業。2017年に同大学にて応用物理で博士(工学)を取得。1987年に三菱電機に入社後2012年までパワーMOSFET、高耐圧ICプロセス、BiCMOS&DMOSプロセス、IGBT、パワーDiode開発に従事。

BiCMOS&DMOSプロセスと高耐圧ICではそれぞれ三菱電機としての第一世代の製品化を担当し、高耐圧ICでは現在世界的に広く使われている耐圧保持構造を発案。2013年から2015年まで先端技術総合研究所にてSiCデバイスと次世代パッケージの研究管理業務に携わった後、パワーデバイス製作所にてパワーデバイスと高耐圧ICの技術開発に関する統括業務を担当。2024年から九州大学大学院システム情報科学研究院 教授。

パワーデバイスとICプロセス・デバイス領域で84件の米国特許と61件の日本特許を取得。IEEE-ESD会員、電気学会上級会員。



価値創造型半導体人材育成センター

九州大学大学院システム情報科学府附属

2023年6月 1日 設立（伊都キャンパス内）

2023年8月23日 開所式

2023年10月5日 センター教員による新規講義開始

構成：人社系を含む9部局 教員数 22名（新規教員4名）

人材育成方針

- ①社会変革を起こす次の半導体技術を担う人材（価値創造型半導体スペシャリスト）
- ②半導体の社会実装を通じた社会変革を担う人材（半導体活用価値創造人材）
- ③半導体の国内製造を担う人材

”九大 半導体”で検索

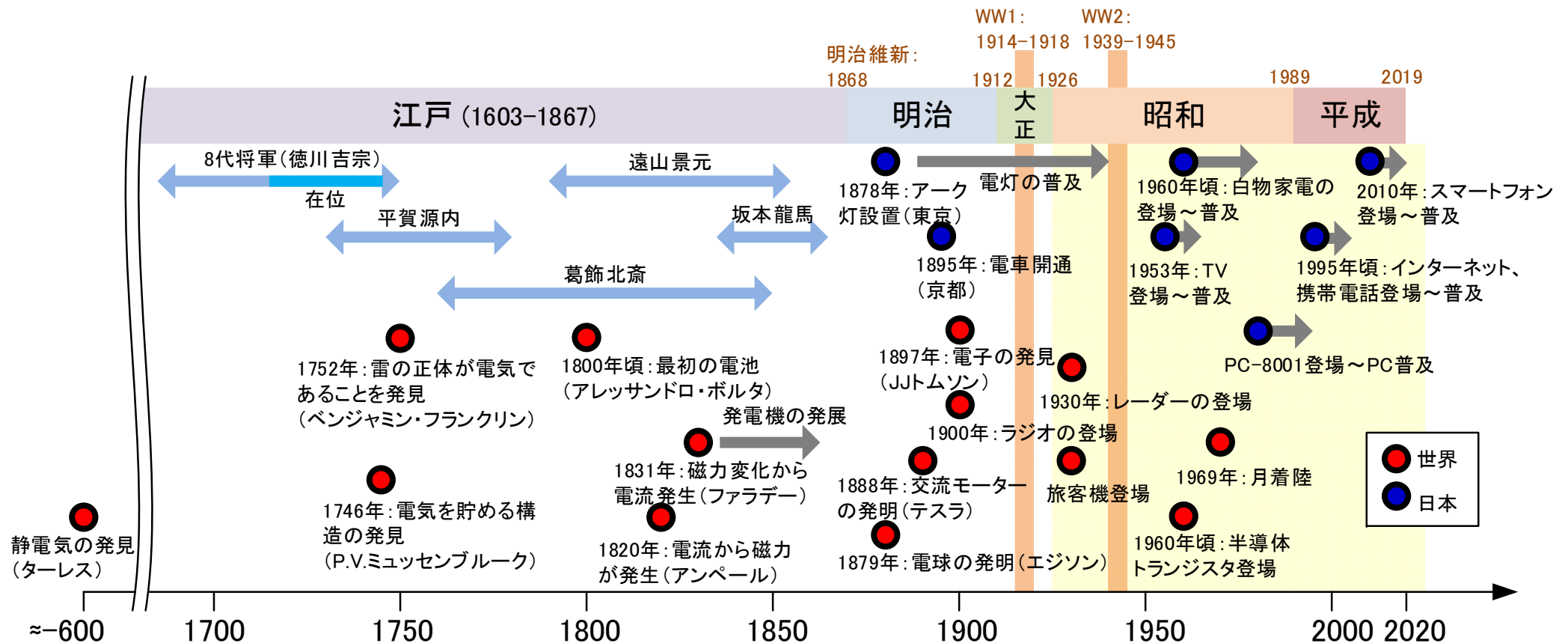
大学外に大学生・大学院生向けの講義を無償公開してます。
聴講希望の方はサイト内の連絡先に問い合わせください。

パワー半導体の基礎的事項及びその最新技術動向

1. モビリティ・インフラの電化・電動化
2. パワーデバイス(パワー半導体)
 - 電化・電動化のキーデバイス-
 - 2-1. 用途
 - 2-2. 基本的動作
 - 2-3. 開発の歴史
3. パワーデバイスの種類
 - 3-1. 用途との対応
 - 3-2. 基本動作による分類
4. 現在の主力パワーデバイス
 - 4-1. パワーMOSFET
 - 4-2. IGBT
5. WBG系パワーデバイス
 - 5-1. SiCデバイス
 - 5-2. GaNデバイス
 - 5-3. Ga₂O₃デバイス
 - 5-4. Diamondデバイス
6. 性能比較
 - 6-1. オン抵抗
 - 6-2. 総合性能
7. パワーデバイスの製品形態と市場
8. パワーデバイス業界最新動向

電気の歴史

- ・紀元前600年頃: 静電気の発見 (ギリシャ ターレス)
- ・1663年頃、静電気発生器が登場 (O.V.ゲーリケ) ただし電気という理解は無い。
- ・1800年頃から電気の科学的理解がスタート。
- ・昭和からの約100年間、文明は電化・電動化により驚異的發展を成し遂げた。



エネルギー利用の現在から未来

■ : エネルギー保存形態

石油、石炭、天然ガス	+	内／外燃機関	→	動力、電力	+	CO ₂ , NO _x
原子力	+	タービン	→	動力、電力	+	核廃棄物
水力、地熱	+	タービン	→	電力		
新エネルギー			→	電力(変動有)		

未来社会
トレンド

+	揚水	→	水	+	水車	→	電力	＜揚水発電＞	電力貯蔵技術
+	充電	→	電池	+	モーター	→	動力	＜EV＞	
+	H ₂ O	→	H ₂	+	O ₂				
				+	燃料電池	→	電力	+	H ₂ O
				+	燃料電池	→	動力	+	H ₂ O
				+	内燃機関	→	動力	+	H ₂ O
				+	CO ₂	→	e-メタン	+	燃焼
				+	CO ₂	→	e-fuel	+	内燃機関
				+	N ₂	→	NH ₃	+	タービン
								→	熱
								→	動力
								→	電力

1. 環境保全とエネルギー安全保障の両立

→再生可能エネルギー(電力直接生成)&電力貯蔵技術をセットで開発

- ・電池、揚水で保存
- ・水素あるいは水素からさらに派生する物質(e-fuel、NH₃)で保存

2. 電力をベースとした社会の構築

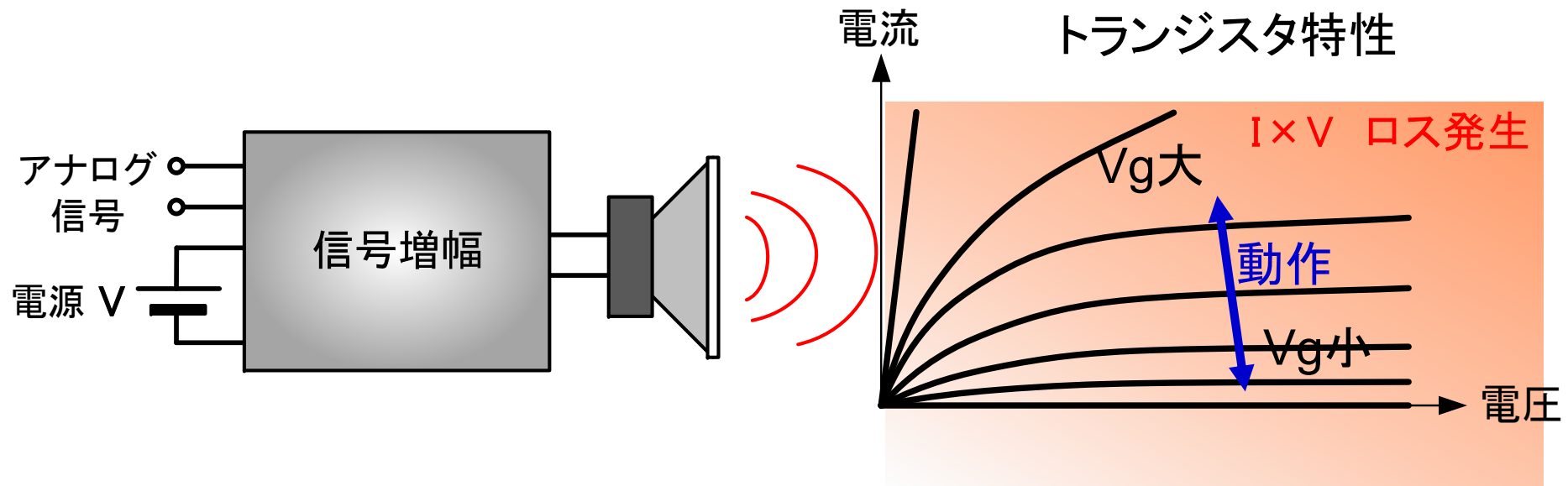
コスト、利便性、安定性の最適バランスを見据えつつ、電化・電動化社会に向かう。

2-1. 用途

1) 信号増幅

電源 + アナログ信号(小電力) → 大電力アナログ出力

例: オーディオアンプ、AM/FM放送、通信等



- ・トランジスタ特性をそのまま利用し、小電力入力信号(例: ゲート電圧)に応じた大電力出力信号を得て、スピーカー・アクチュエーター・アンテナ等を駆動する。
- ・電圧と電流が共存するためパワー半導体の自己発熱(ロス)は避けられないが、出力信号の品質が第一優先であり、ロスは第二優先。

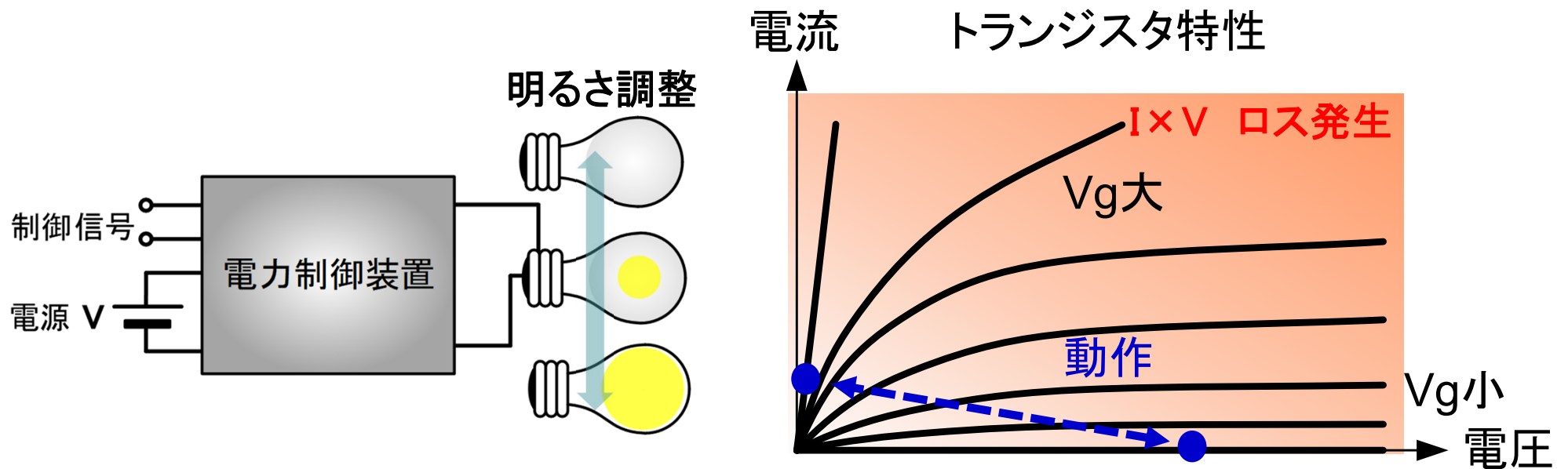
2-1. 用途

2) 電力変換 → パワー半導体の代表的な用途。

電源 + 制御信号(小電力) → 大電力デジタル出力(*), 電源(異なる電圧等)

例: モーター/アクチュエーター駆動、DC/DC変換(ACアダプター等)

(*)L,Cを利用してデジタル出力をアナログ相当の出力に変換する技術を利用。



- ・基本的にトランジスタのオン/オフ機能のみ利用。
- ・電圧と電流の共存を極力避けているため、自己発熱(ロス)は非常に小さく、言い換えると、これによって少ないロスで大電力を取り扱う事が可能となる。

2-2. 基本的動作

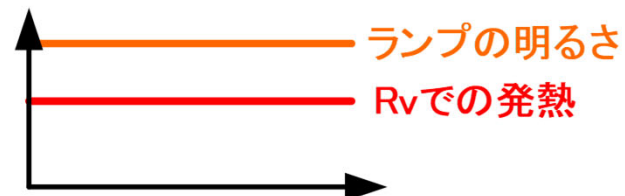
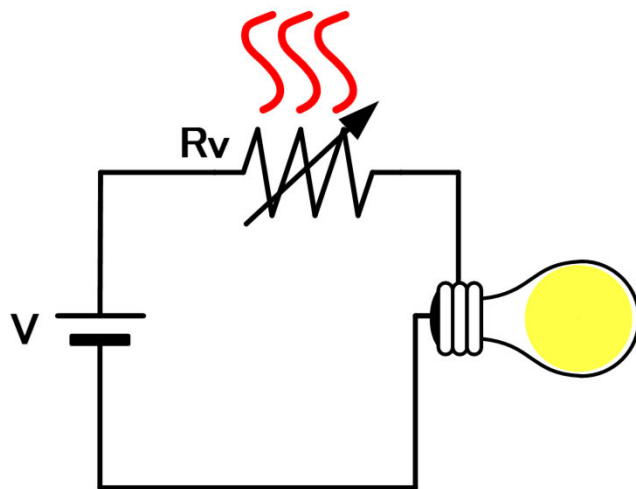
2) 電力変換

電源から“自己発熱を最小にしつつ”適切な量の電力を取り出す

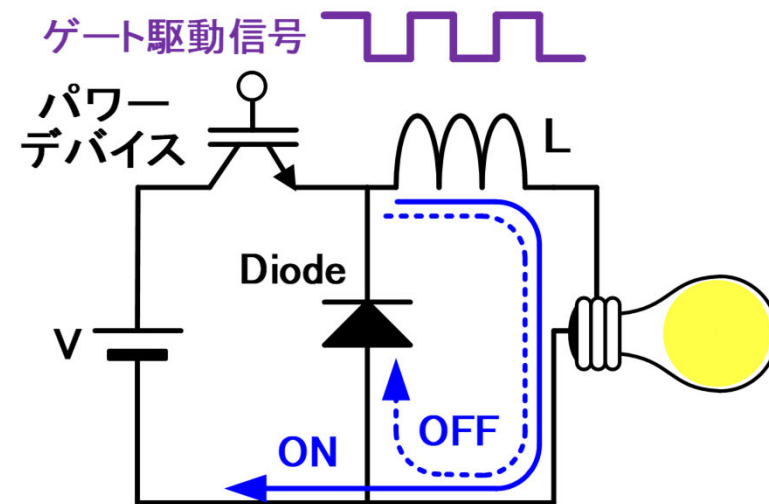
→ 高速スイッチのパワーデバイスを使用

一般社団法人日本パワーエレクトロニクス協会
https://pwel.jp/tech_infos/2

💡 小さなバケツ(軽く小さいL)が使える！



古典的手法



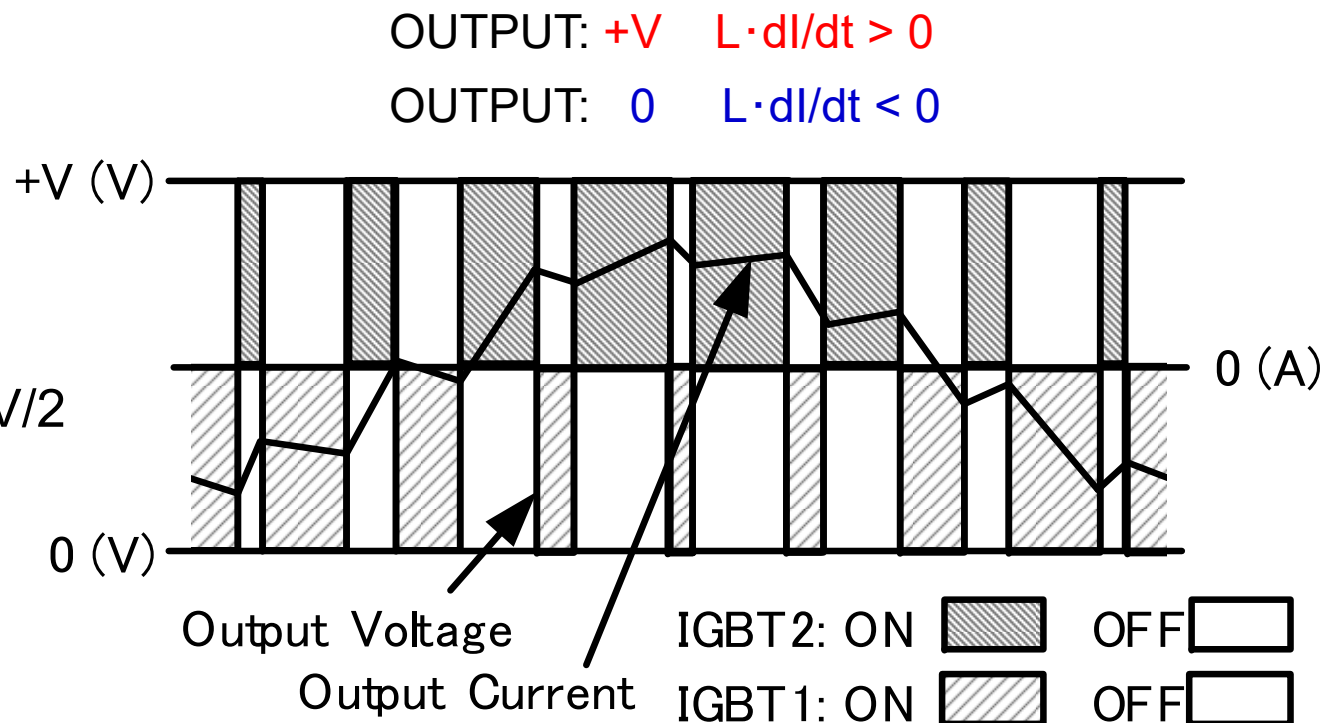
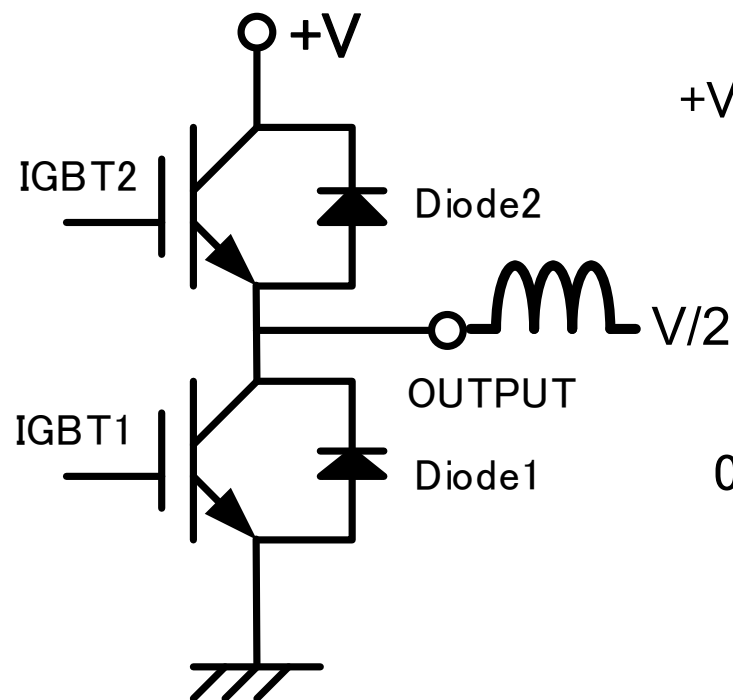
省エネ回路

2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
→最小限のエネルギーロス(発熱)で大電力を取り扱える！

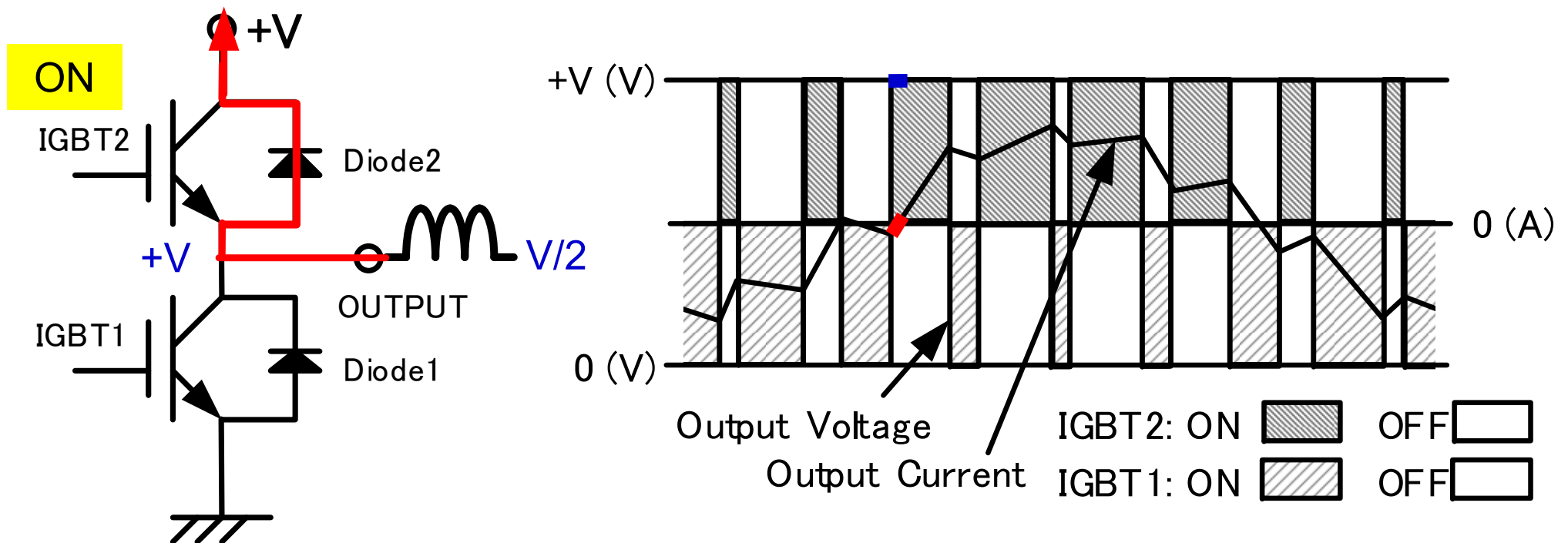


2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
→ Lから流れ込む電流が減少してゆく

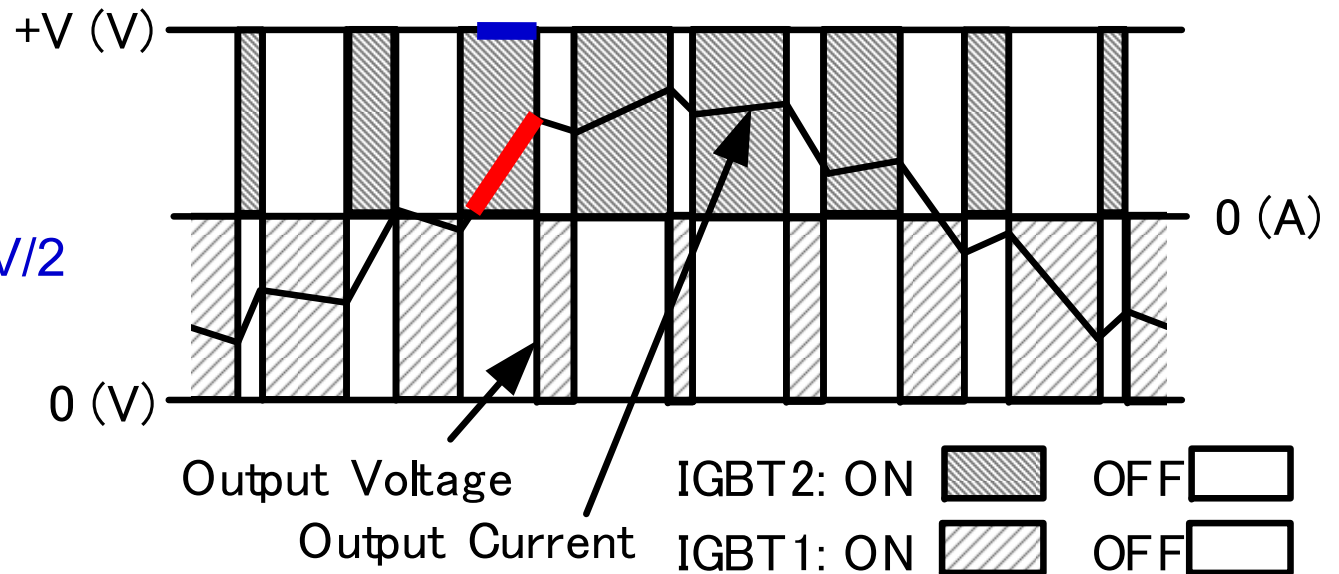
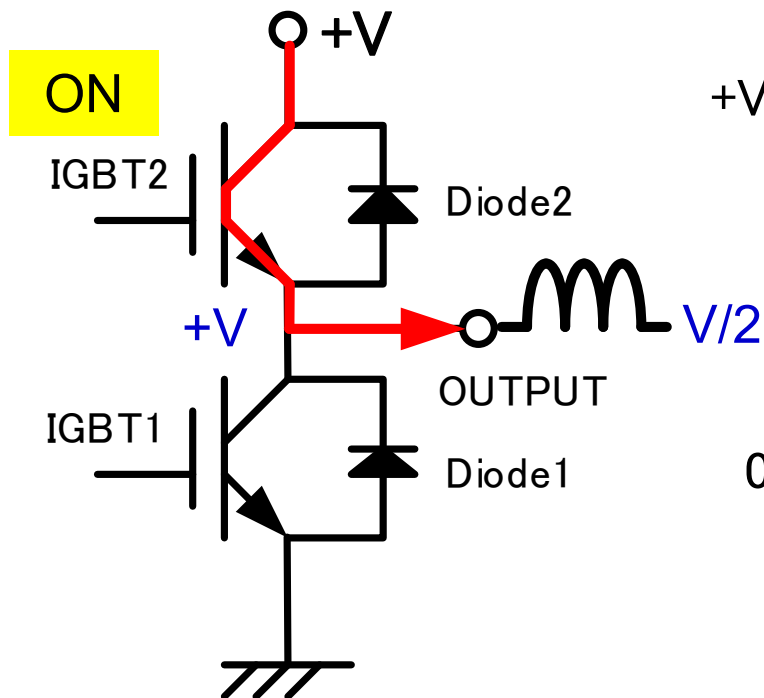


2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
→ 電流0を経て、Lに流れ出す方向に反転

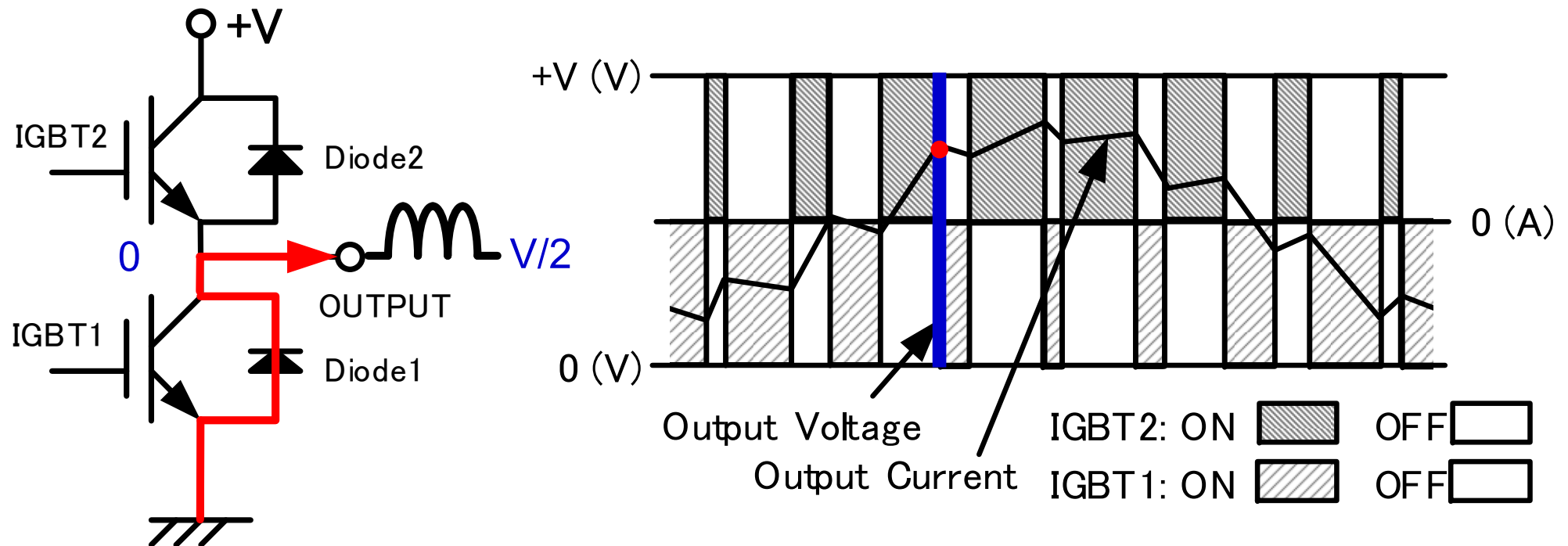


2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
- IGBT2のターンオフで電流がDiode1から供給される
- Lに流れ出す電流が減少方向に反転

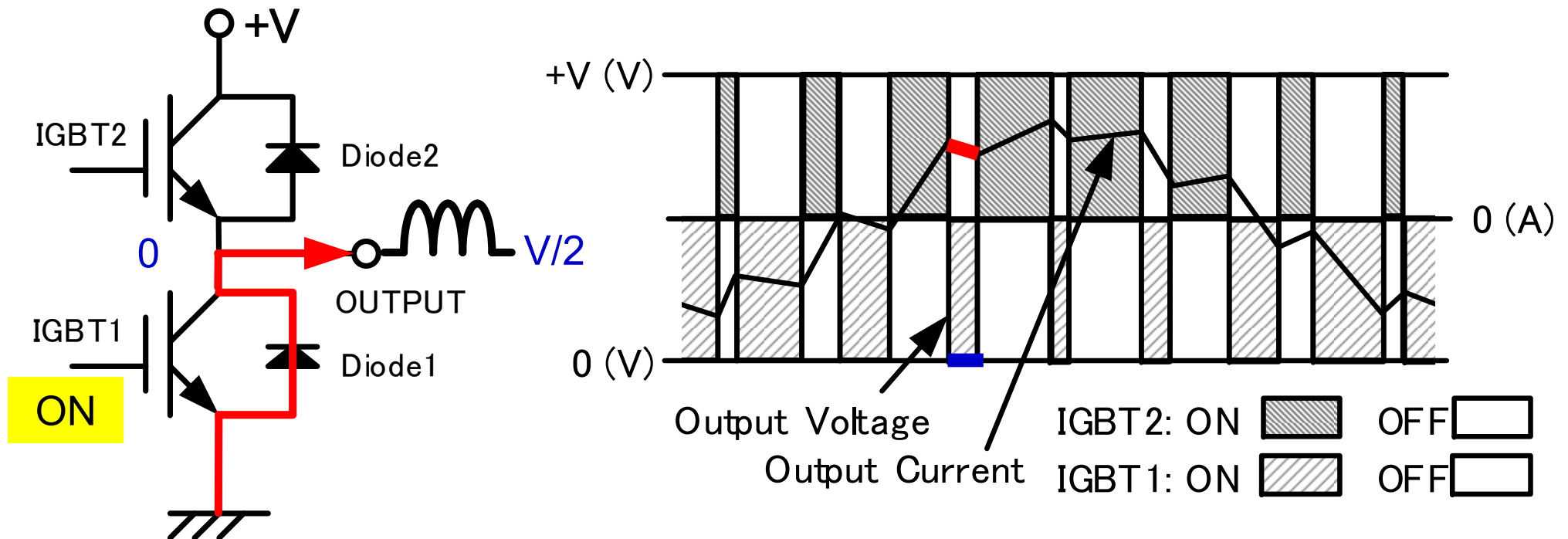


2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
→ IGBT1がターンオンするが電流経路は変化無し
そのままLに流れ出す電流が減少してゆく

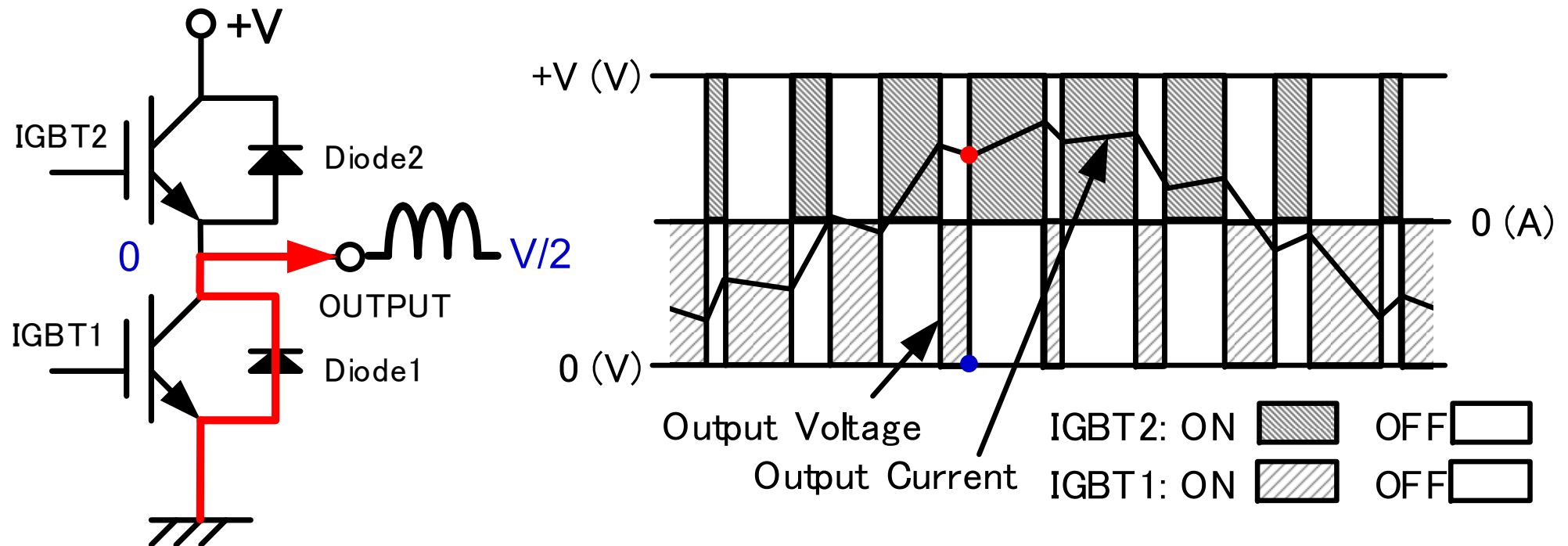


2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
→ IGBT1がターンオフするが電流経路は変化無し
そのままLに流れ出す電流が減少してゆく

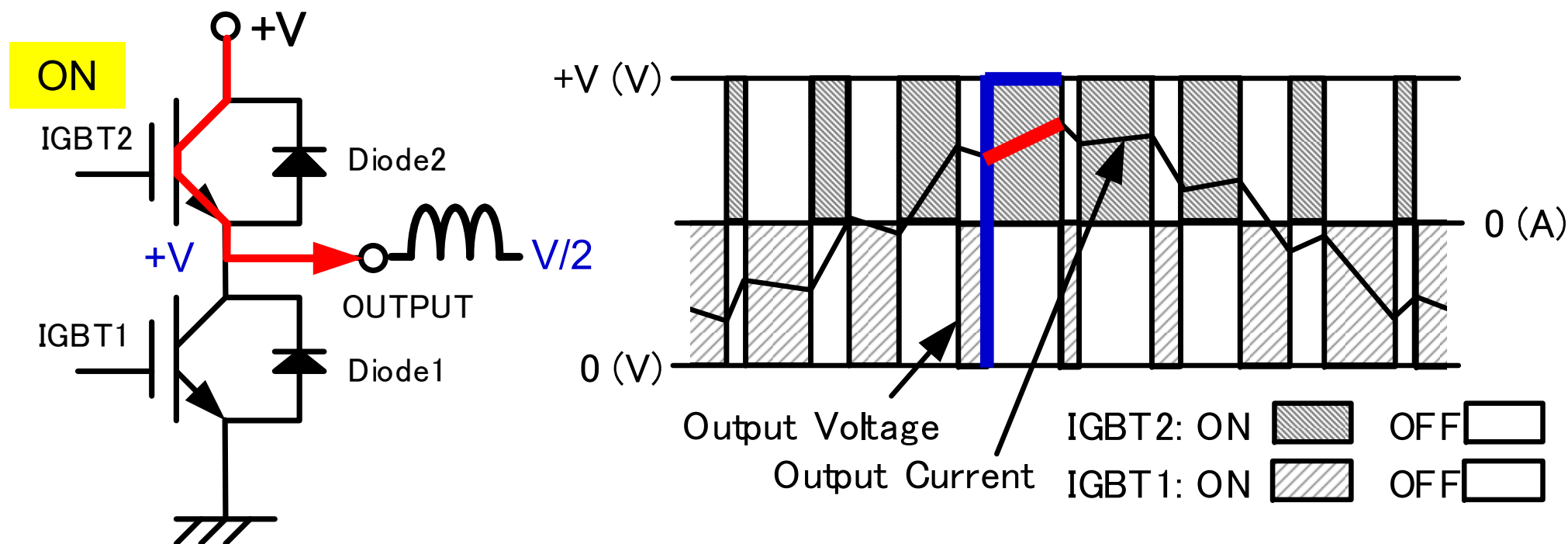


2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
→ IGBT2がターンオンして電流経路が変化
Lに流れ出す電流は上昇方向に変化

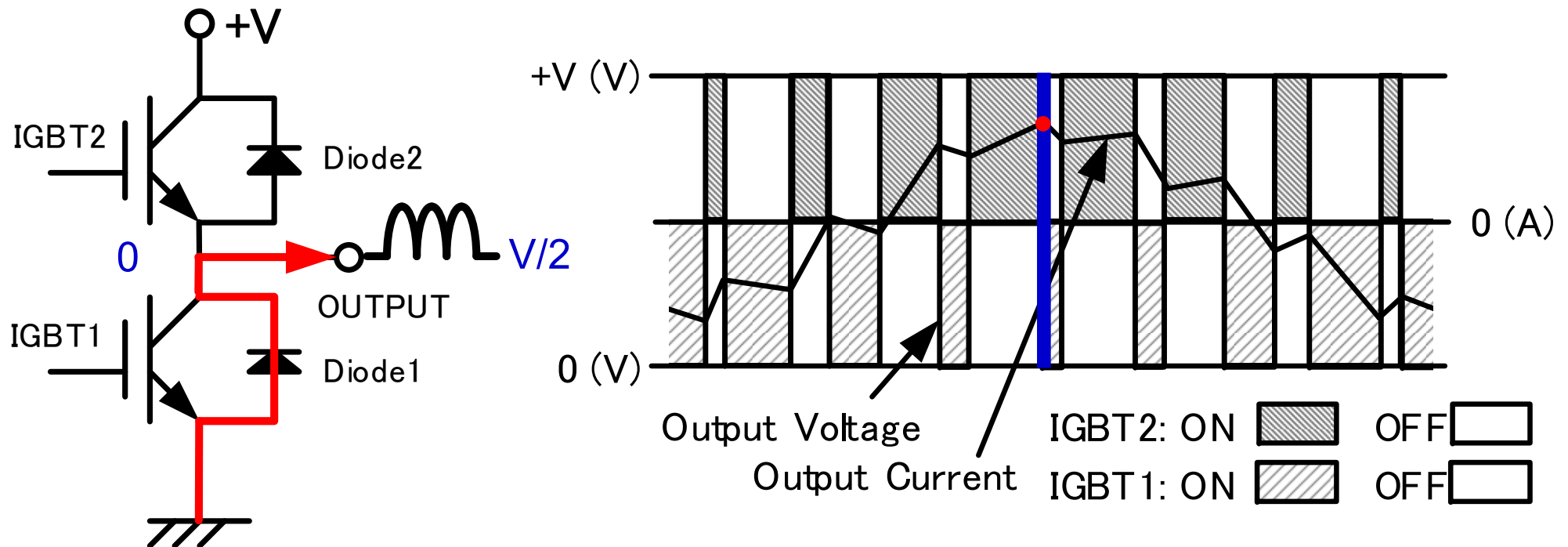


2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
- IGBT2がターンオフして電流経路が変化
- Lに流れ出す電流は減少方向に変化

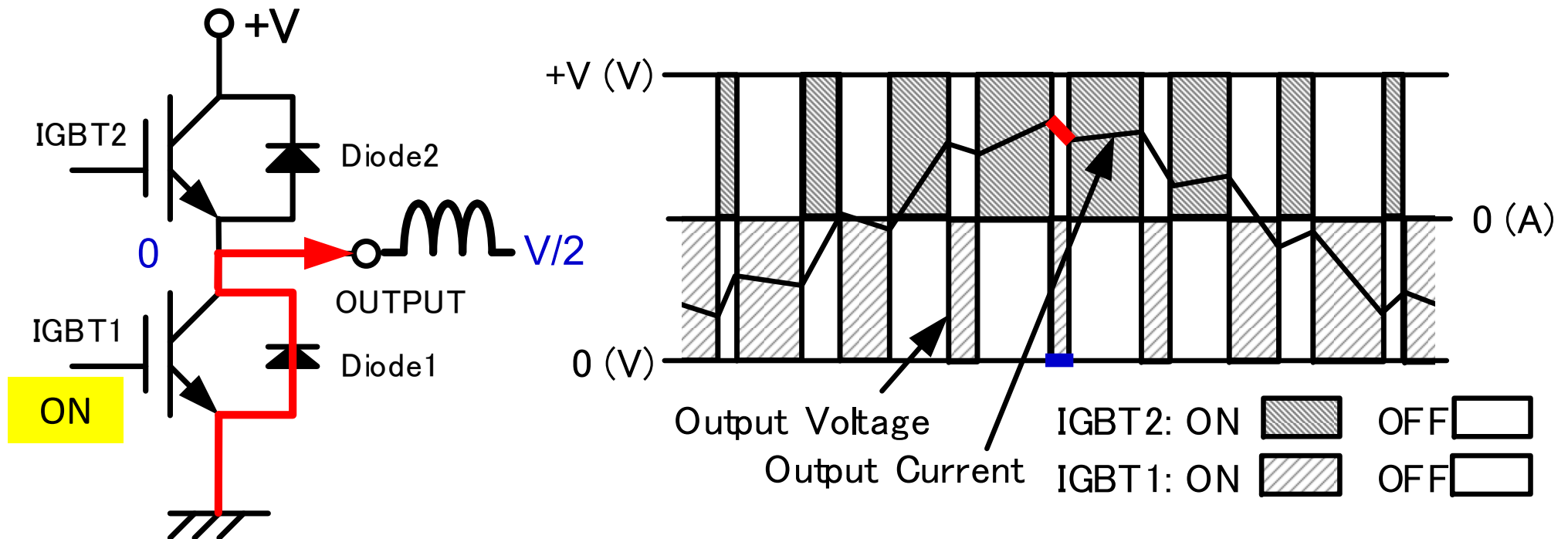


2-2. 基本的動作

2) 電力変換

間欠的な電力伝送を一般的なモーター駆動に応用する
PWM (Pulse Width Modulation)の概念図

- ・トランジスタのON/OFFスイッチ密度変化で、正弦波電流を近似
- ・ON時は電源電圧の大半がLに印加され、トランジスタの発熱は最小化
→ IGBT1がターンオンするが、電流経路は変化無し
そのままLに流れ出す電流が減少してゆく

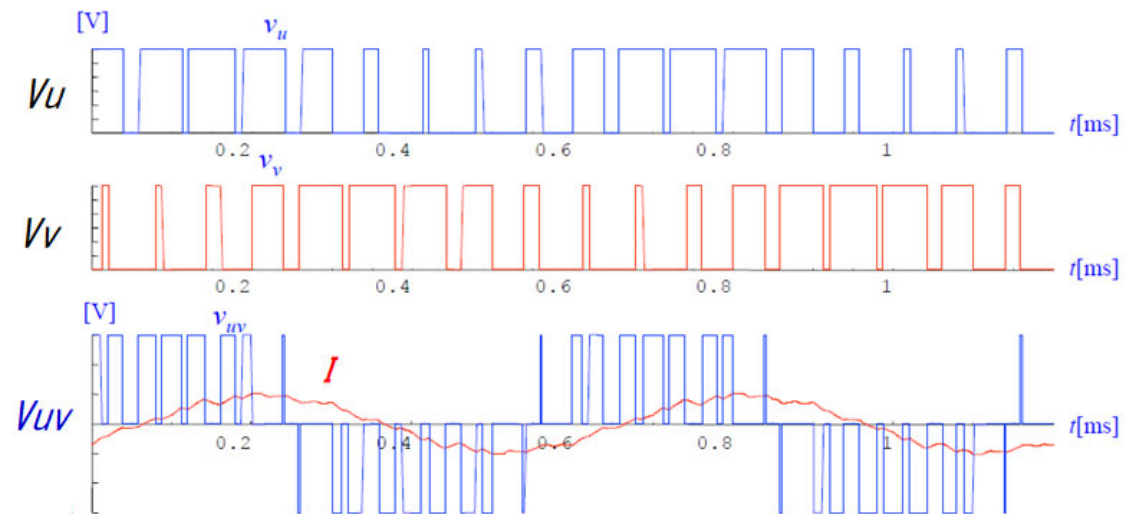
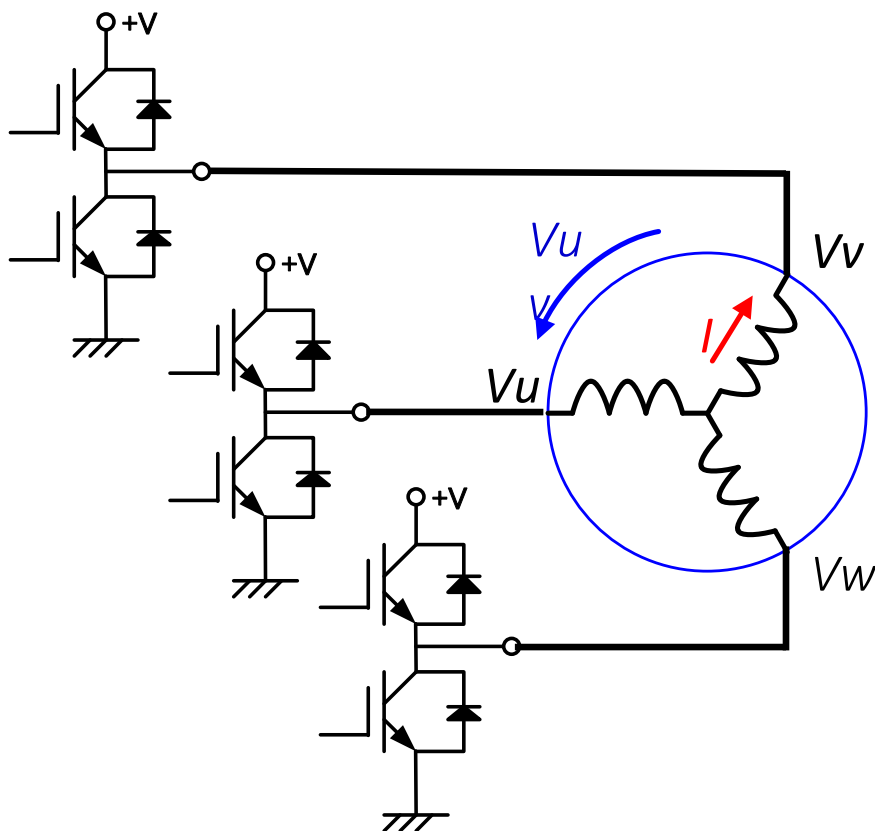


2-2. 基本的動作

2) 電力変換

3相PWMインバータの例

- ・各相の電圧は0、+Vの2値で、 120° ずつ位相がずれている。
- ・相間電圧は $-V$ 、0、 $+V$ の3値となり、これに応じて各相に正弦波電流 I が正負に流れる。
- ・正弦波電流 I にはスイッチングに起因する高周波ノイズが乗る。



VVVFで検索

参考: Youtubeサイト yuqquu

<https://www.youtube.com/@yuqquu>

2-2. 基本的動作

2) 電力変換 パワーデバイスの動作は“スイッチ”に等しい。
 その理想は **低オン抵抗と低スイッチングロスの両立！**

A: 電流遮断:

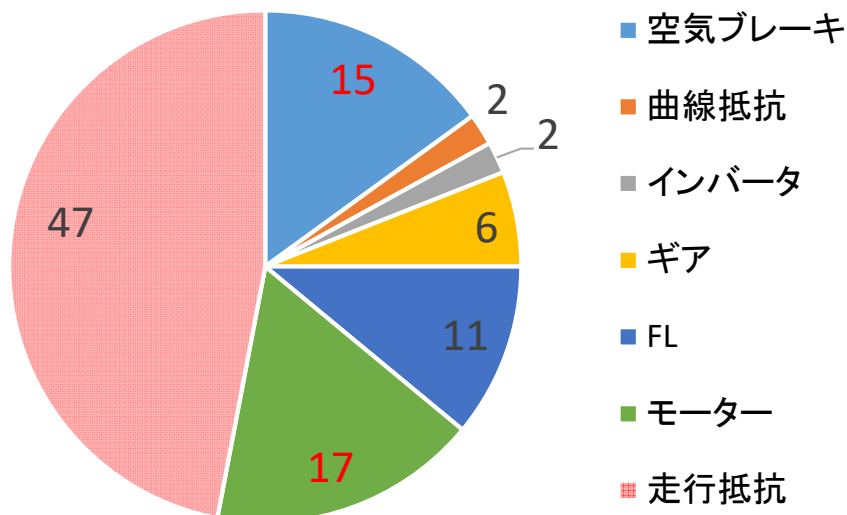


: **スイッチングロス(*)**

B: 電流導通:

オン抵抗ロス

(*)スイッチング周波数を上げるとスイッチングロス自体は増えるが、モーターの高調波損失の低下、DC/DCコンバータに使用するL,Cが小型軽量化(低コスト化)される等、システム全体で大きなメリットが生じる。

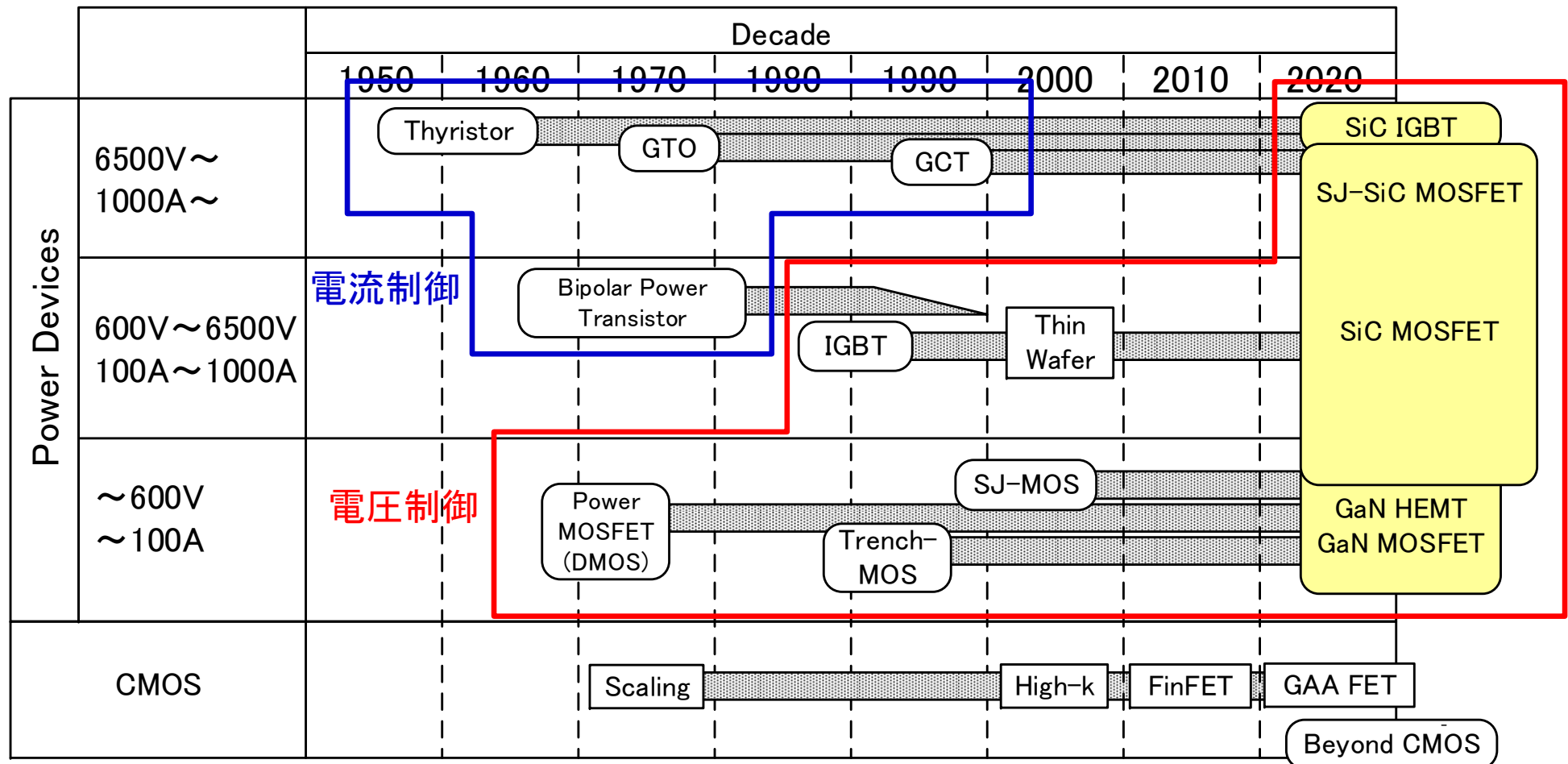


小田急電鉄での事例

駆動に関わるロス全体に占めるインバータ(モーター駆動回路)のロスの占める割合は僅か2%で、これが半減しても1%の改善だが、高周波化により出力波形をより滑らかになる事によるモーター損失削減、同じく高周波化に伴う小型化分をエネルギー回生でブレーキを行うシステム側に回し、エネルギー回生領域を大きくとる事による空気ブレーキでの損失削減で、システム全体で40%もの省エネルギーを実現している。

2-3. 開発の歴史

1. Thyristor, GTO, GCT : 1素子/ウェーハ1枚、電流駆動、ON/OFF動作、自己消弧能力低
2. Bipolar Power Transistor : 個片チップ、電流駆動、比例増幅可、自己消弧能力中
3. MOSFET & IGBT : 個片チップ、電圧駆動、比例増幅可、自己消弧能力大
4. WBG power device : 個片チップ、電圧駆動、比例増幅可、自己消弧能力大 +性能向上



Technological trends of power devices and CMOS

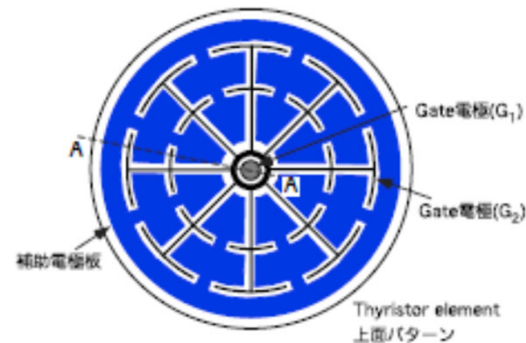
2-3. 開発の歴史

Thyristor・GTO・GCT:4.5~6.5kV, 数千A レベル

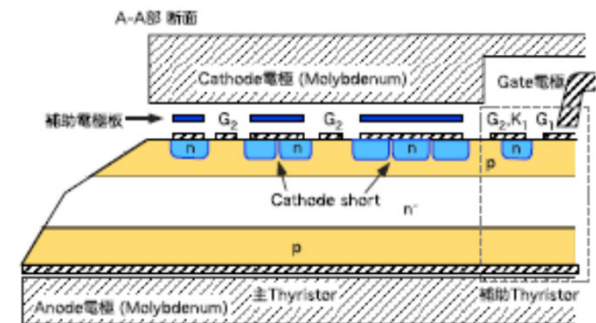
ウェハ1枚全体に縦方向に電流が流れるデバイスを形成



平形压接构造

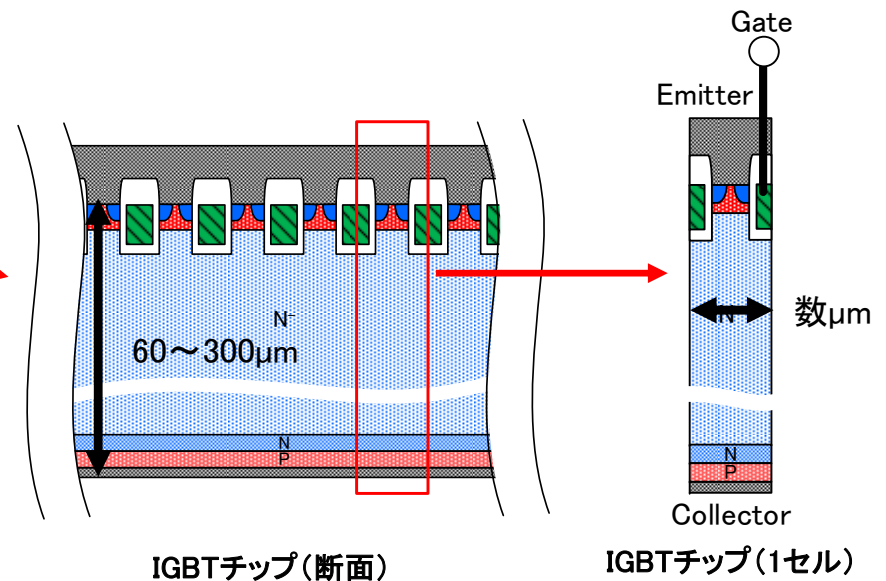
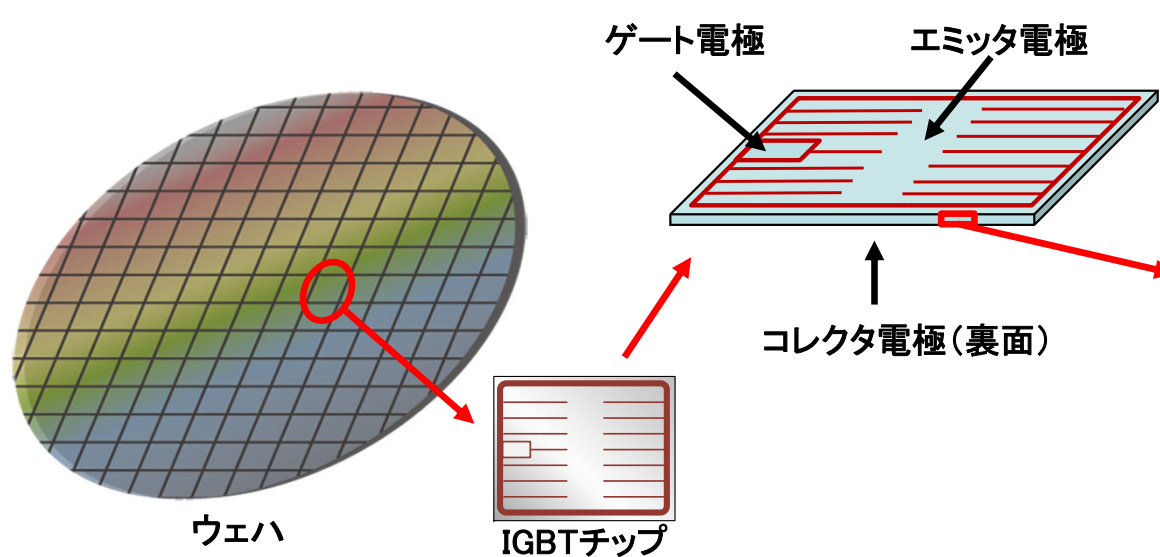


ウェハ上面図



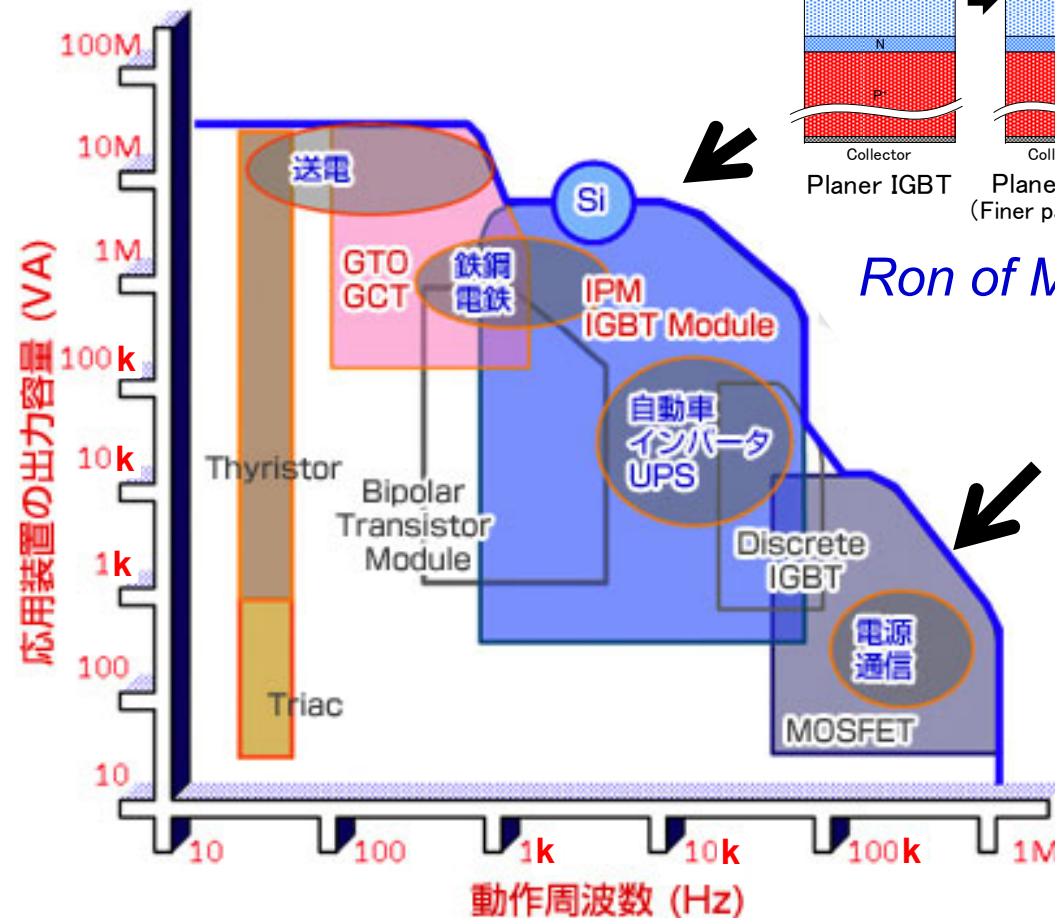
高耐圧サイリスタ ウエハ断面

上記以外: ウェハ断面方向に数 μm ~20 μm 幅のトランジスタセルが繰り返し並んで形成されており、全体として一つのトランジスタとして動作する。 以下はIGBTの例。

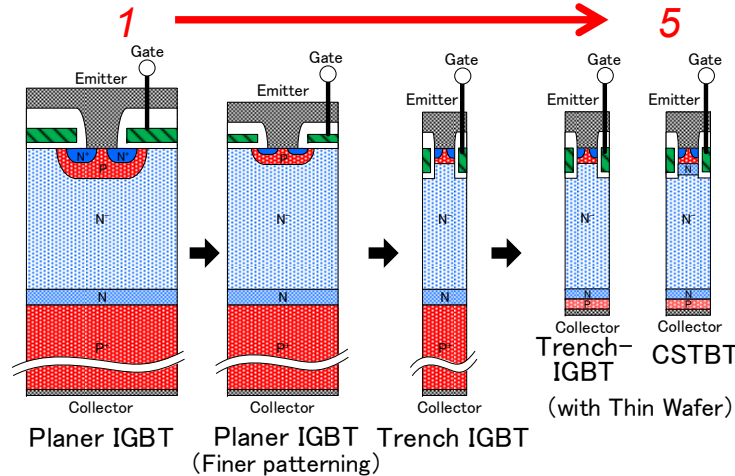


2-3. 開発の歴史

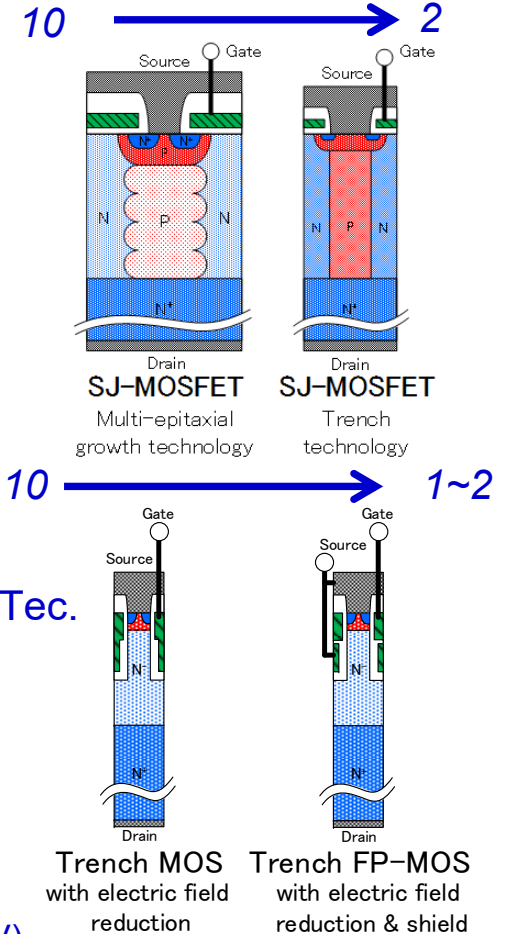
この30年間でパワー MOSFETとIGBTが大幅に性能向上し主力デバイスとなった。



Current capability of IGBT



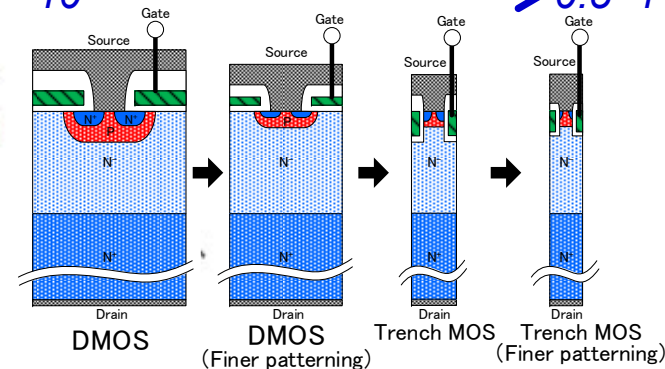
Super Junction (500V~1000V)



Ron of MOSFET

Field reduction Tec. (~300V)

Trench gate (~200V)



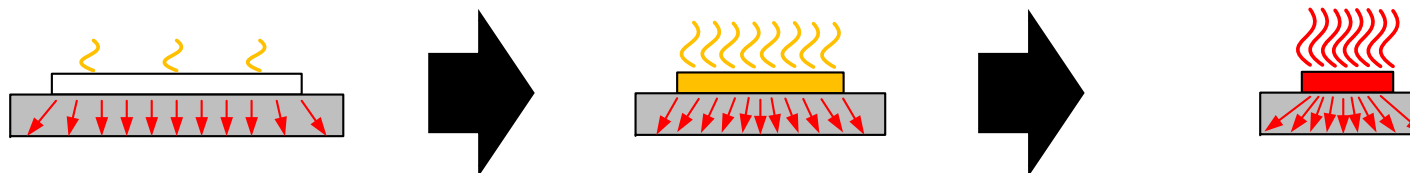
2-3. 開発の歴史

全ての半導体素子は自己発熱による限界に直面する

・Power Device --- Energy handling

Four times higher power density in recent thirty years
by device innovation & structural optimization

(ex. Bip Tr → IGBT → Trench IGBT → Thin wafer Trench IGBT)

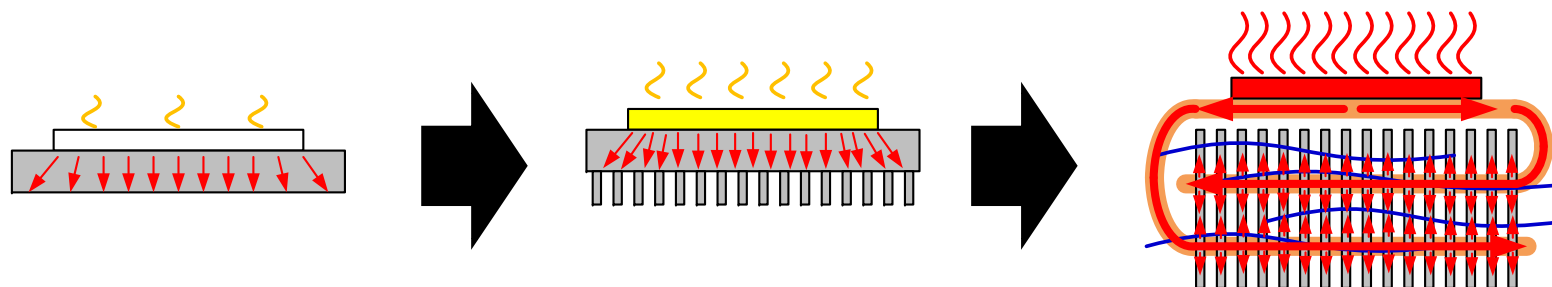


・CMOS --- Data processing

Four digits higher CMOS density in recent thirty years

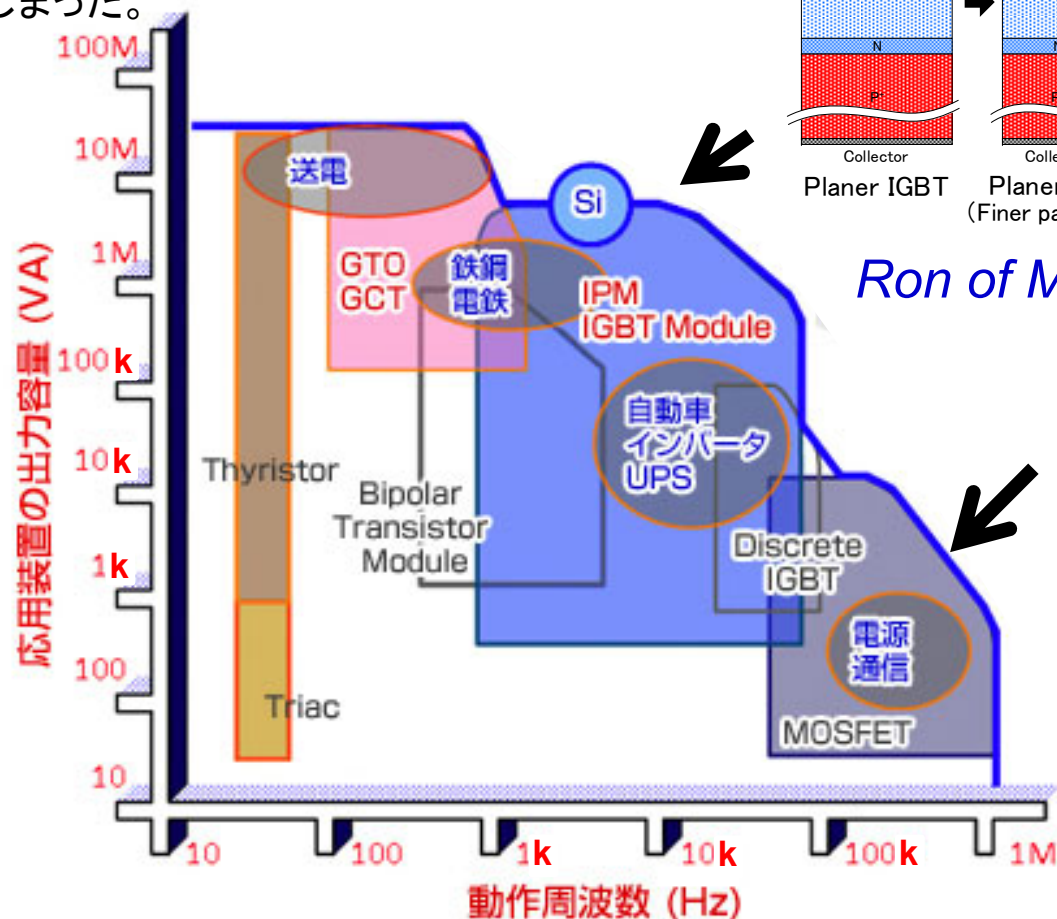
by Shrinking of CMOS & lowering the operation voltage

(ex. 45nm ~ : High-k /Metal Gate 22nm ~ : FinFET)



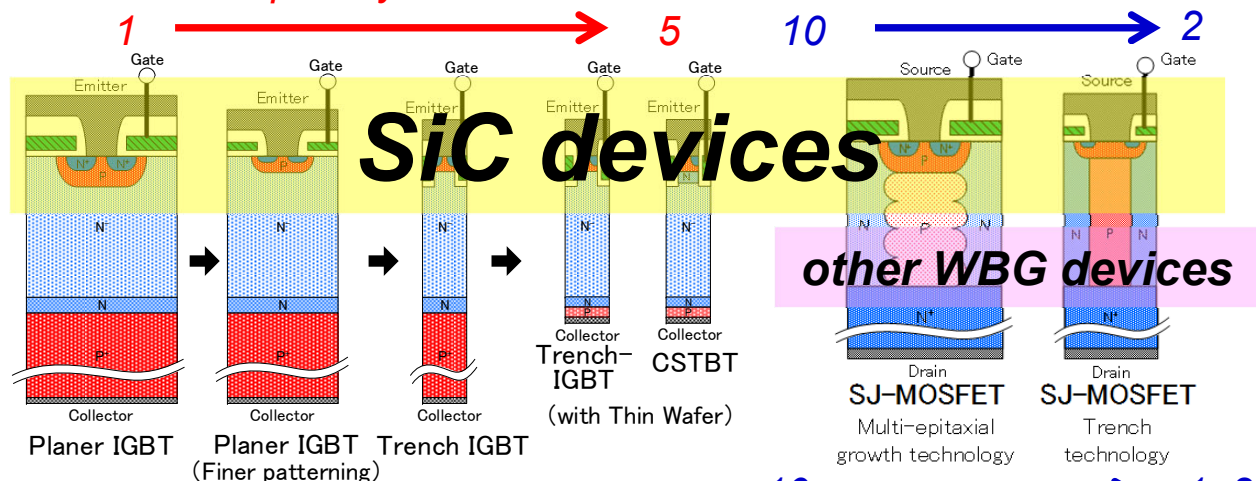
2-3. 開発の歴史

- ・2010年代に入ると、Power MOSFETとIGBTの性能向上が緩やかになり、その性能限界が見えてきた。
- ・2010年代後半からWBG系デバイスによる性能ブレークスルーを実現した製品の普及がはじまった。



Current capability of IGBT

Super Junction (500V~1000V)

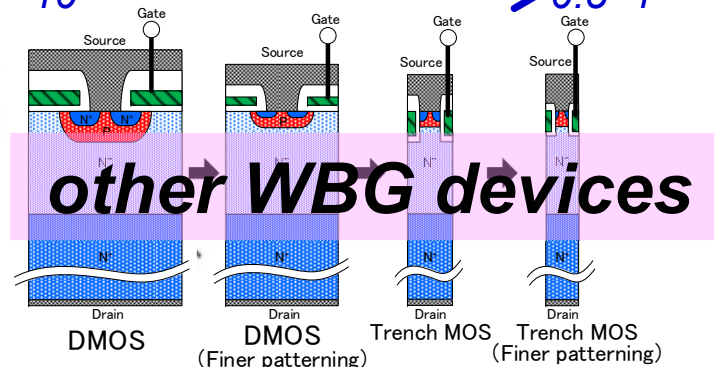


Ron of MOSFET

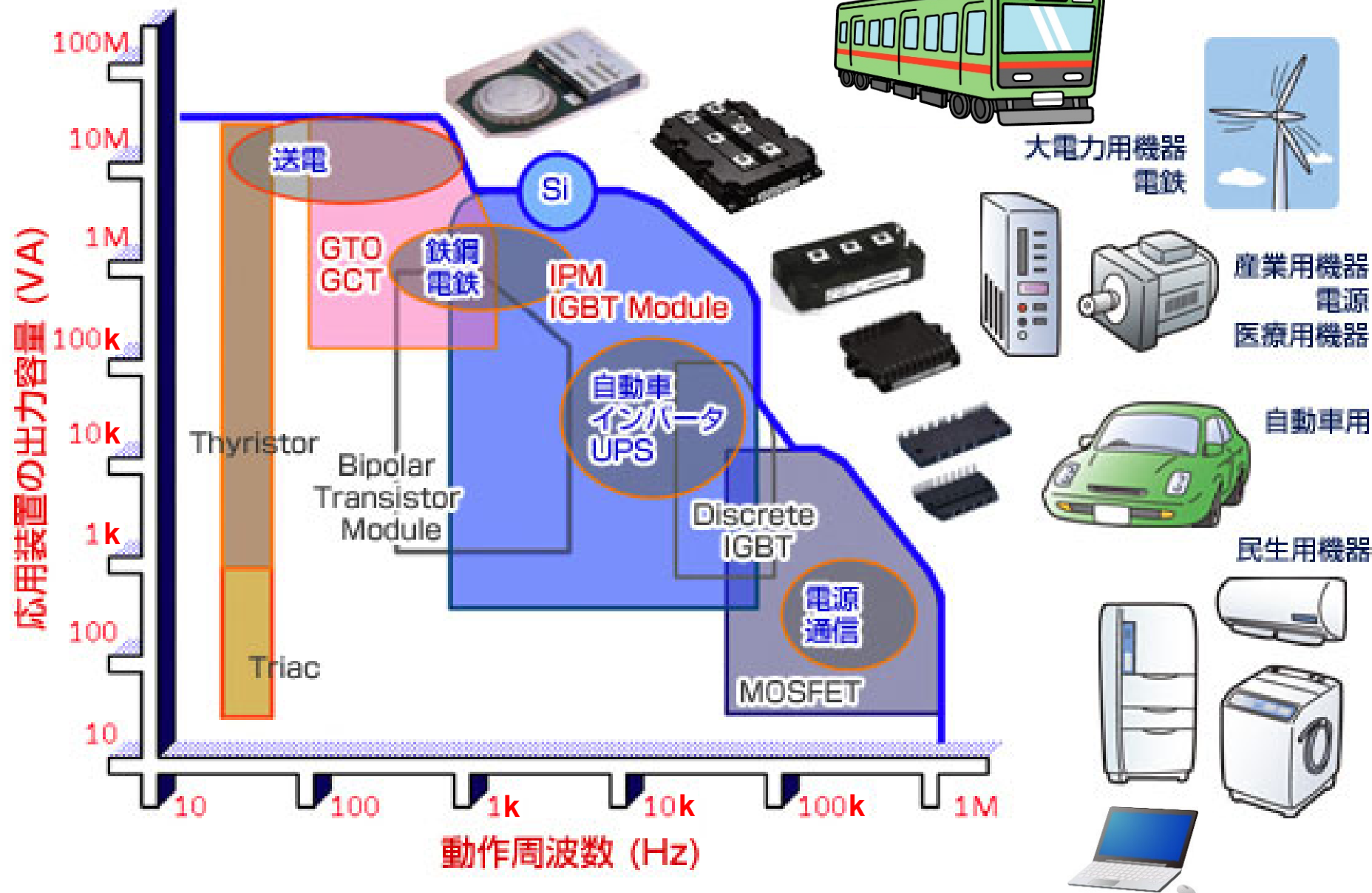
Field reduction Tec.
(~300V)

other WBG devices

Trench gate (~200V) → 0.5~1



3-1. 用途との対応



大電力用途の一部にThyristor系デバイスが残るが、大半の用途にPower MOSFETとIGBTが使用されている。

3-2. 基本動作による分類

耐圧保持用のN⁻領域をそのまま抵抗として使うグループ

現在の主流

・パワーMOSFET

・SIT

・BSIT

・Bip Transistor

スイッチ部

MOSFET

JFET

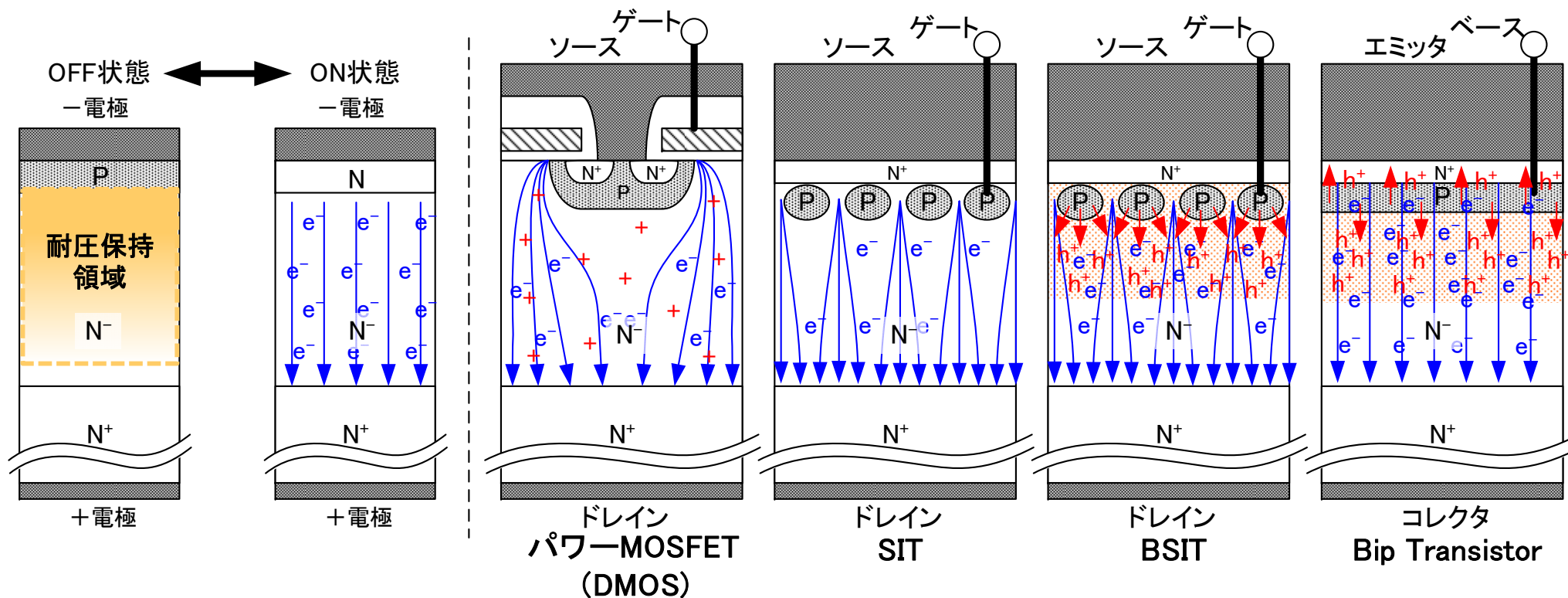
JFET

pn接合

ドレイン、コレクタの電位が高い時は電子流のみ流れるため本質的には電導度変調を行わないグループに入れているが、L⁻負荷等、オン状態においてドレイン、コレクタの電圧が十分低下する場合、以下の動作でN⁻層が電導度変調で低抵抗化する。

ゲートからのホール注入利用

ベースからのホール注入利用



3-2. 基本動作による分類

耐圧保持用のN⁻領域を電導度変調で低抵抗化して使うグループ

現在の主流

スイッチ部

・IGBT

MOSFET

PiN ダイオード動作

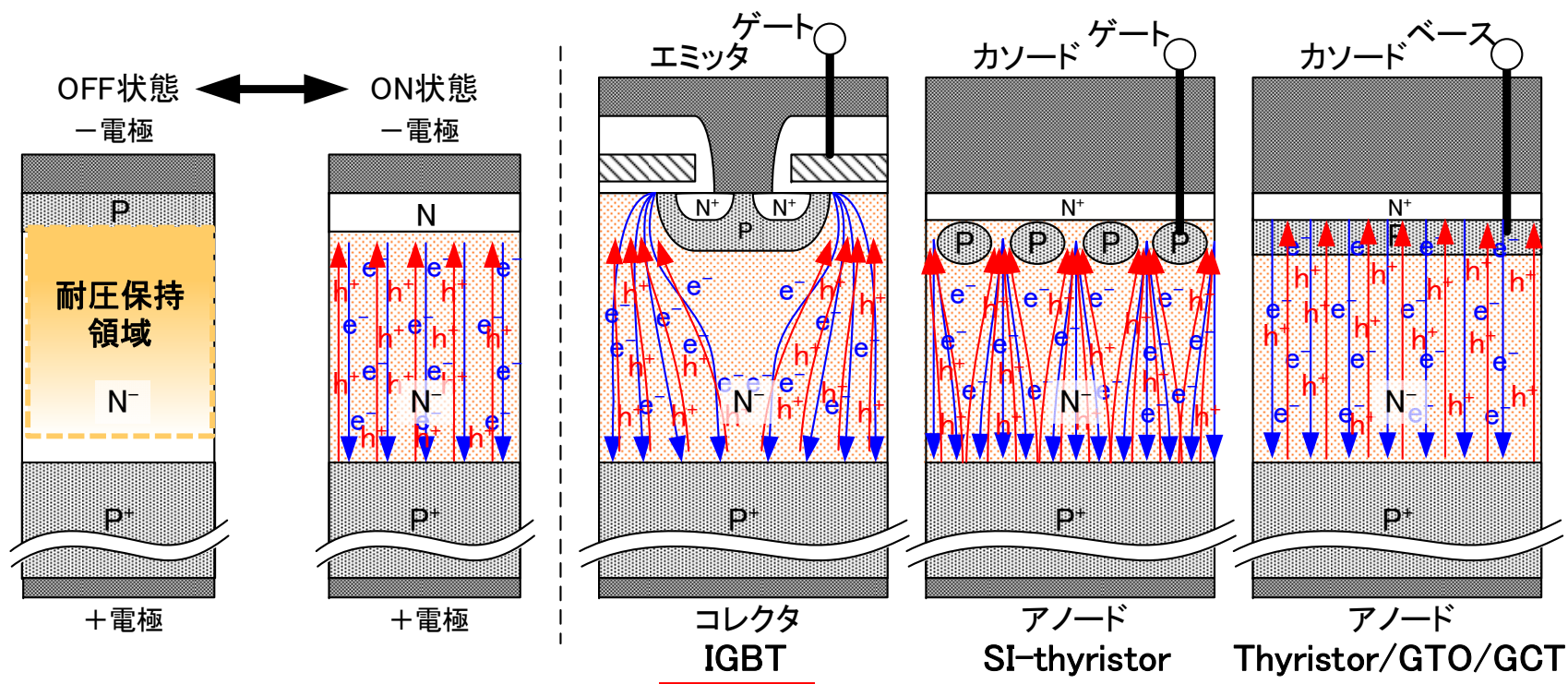
・SI-thyristor

JFET

PiN ダイオード動作

・Thyristor/GTO/GCT pn接合

サイリスタ動作(一度オンするとベース電流不要)

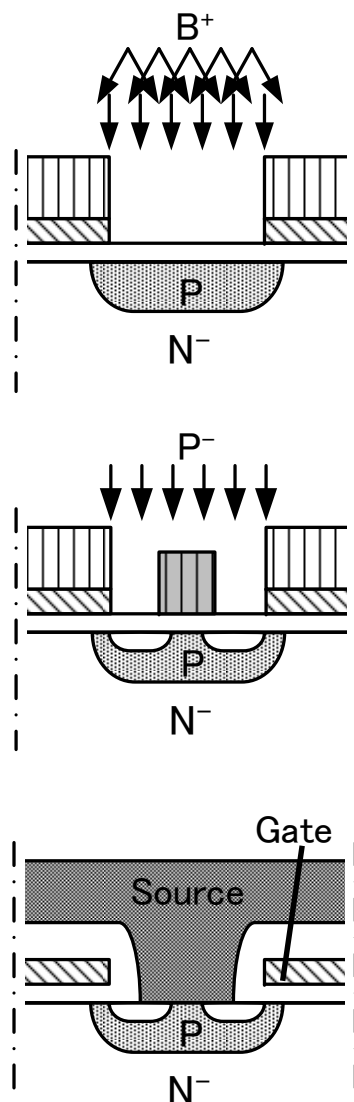
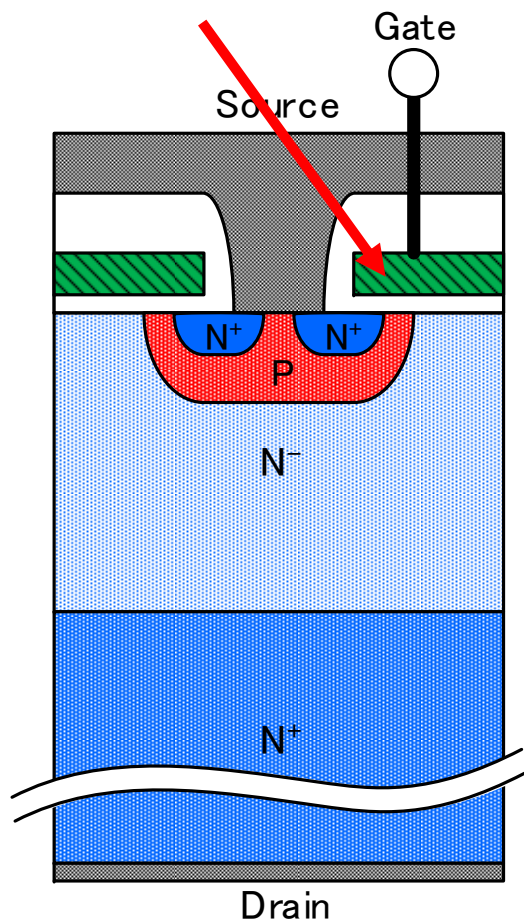


4-1. パワーMOSFET

＜構造＞ セル部分にDMOS(Double diffused MOS)構造を適用。

電総研の垂井氏が1969年にCMOS高速動作技術としてDSA(Diffusion Self-Align) MOSFETを提案。ゲートエッジからの2重拡散の距離差でチャンネルを形成するため微細加工技術無しで短チャンネルが形成可能。この構造は縦型パワーデバイス用として極めて合理的であり、DMOS(Double diffused MOS)として現在でも広く使われている。

DMOS:
Double diffused MOS



プロセスフロー例

・ボロン注入

ゲートをパターニングしたレジストをそのまま残してボロン注入する。この時横方向へのp領域の広がり为确保するため、縦方向と斜め方向の注入を個別に行う。

・リン注入

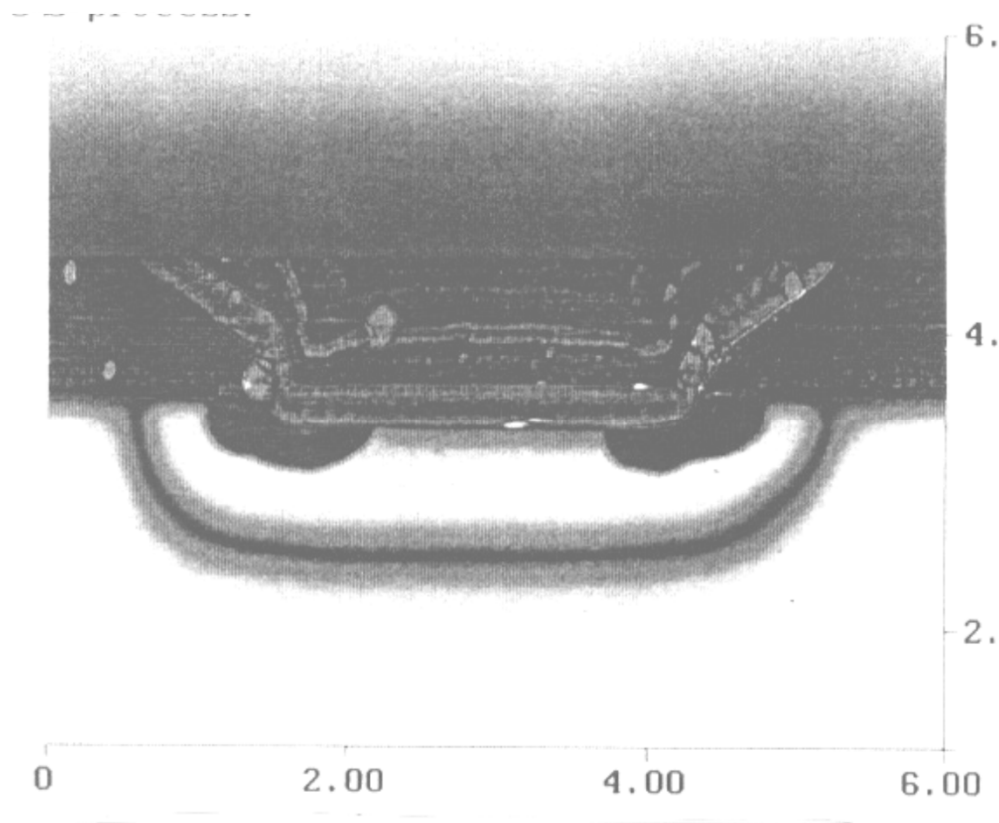
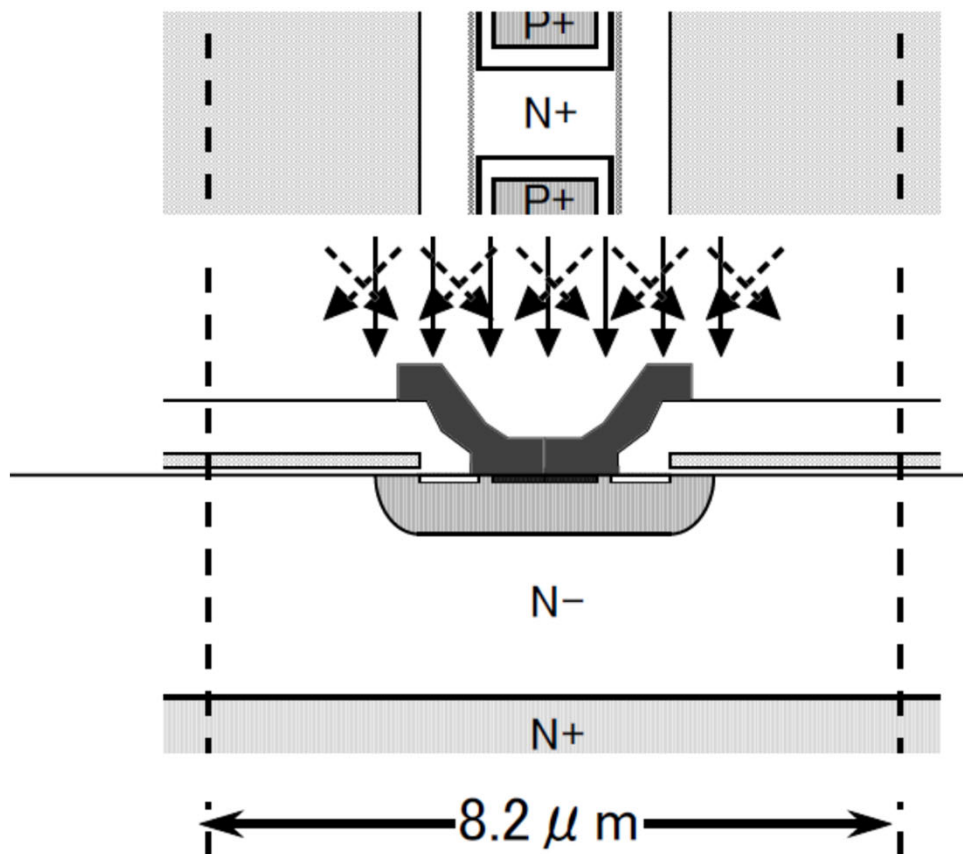
ボロン注入時のレジストにリン注入用のレジストを重ねてリン注入する。

・レジスト除去～TEOSデポ～TEOSパターニング～アルミ電極形成

アルミ電極形成前にTEOSアニールを行うため、この熱処理でボロン、リンも同時に活性化され、拡散長の差を利用した短チャンネル構造が実現される。

4-1. パワーMOSFET

垂直 & 斜め注入によるDMOS構造の微細化



Schematic view (Top/Cross-section)

SCM photograph [μm]

三菱電機 (ISPSD' 2000)

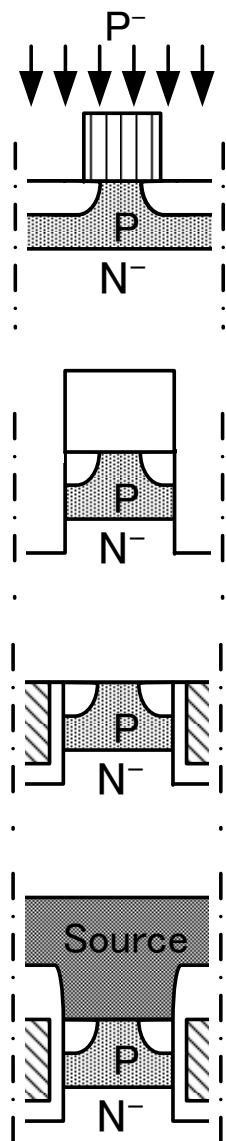
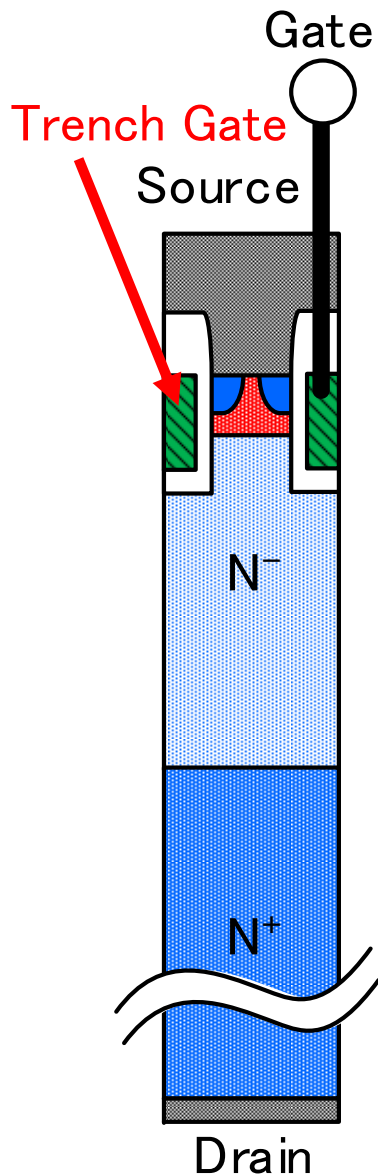
“Multi-voltage device integration technique for $0.5 \mu\text{m}$ BiCMOS & DMOS process”

4-1. パワーMOSFET

<構造> セル部分にトレンチゲート構造を適用。

DMOSの微細化限界を乗り越えるためにチャンネルを縦方向に形成し、単位面積あたりのゲート幅をさらに向上。

低耐圧ほどチャンネル抵抗比率大のため、現在200V級以下では全てトレンチゲートになり、この構造で微細化が継続。



プロセスフロー例

・リン注入

デバイス領域に広くボロンを注入した後、レジストパターニング後にリンを注入。

・トレンチエッチング

TEOS酸化膜をパターニングした後、これをマスクとしてシリコンをトレンチエッチする。

・TEOS酸化膜を除去しゲート酸化を行い、ポリシリコンデポ&エッチバックでゲート電極を形成する。

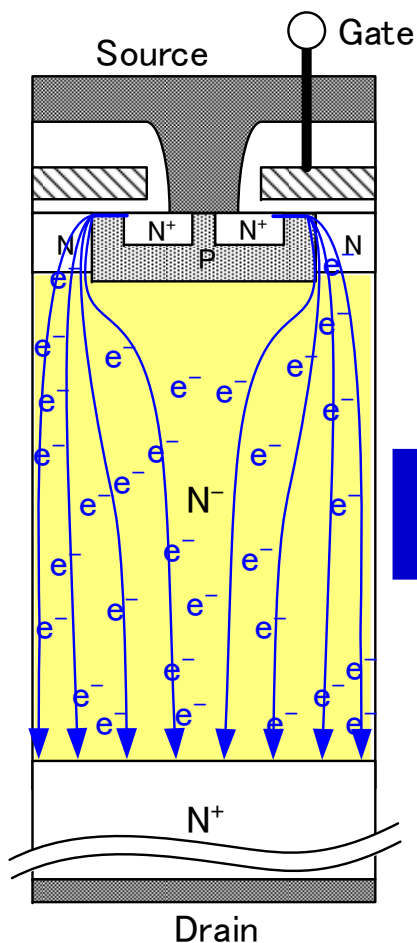
・TEOSデポ～TEOSパターニング～アルミ電極形成

TEOSアニール時の熱処理でボロン、リンの活性化も兼ねる。

4-1. パワーMOSFET

<構造> N層にSuper Junction構造を適用。

Si MOSFET

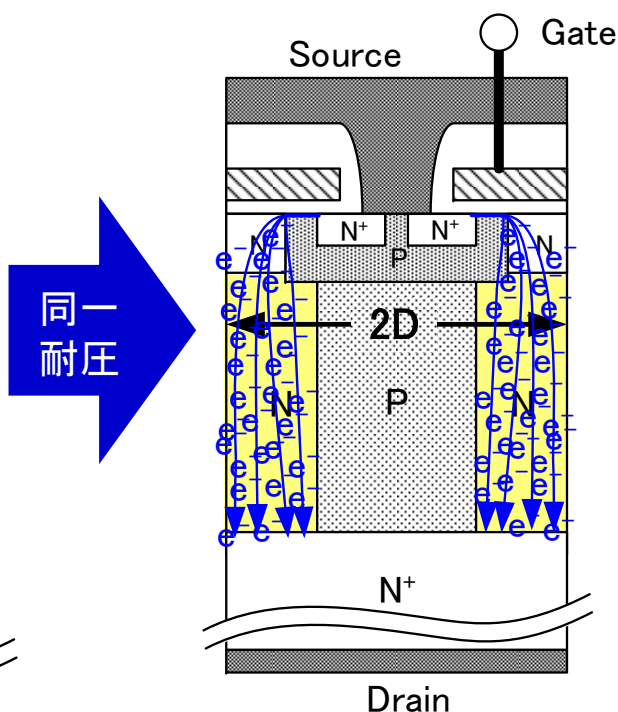


N⁻ layer

Thickness: 1

Resistivity: 1

Si-SJ MOSFET



N⁻ layer

Thickness: 1/2

Resistivity: =1/10~

Super Junction (SJ) 構造: P層/N層のストライプ構造

・1998年にこの構造を採用したMOSFET (SJ-MOSFET) がインフィニオン社から発表され、現在は性能改善が各社で進められている。

・各ストライプは横方向に完全に空乏化した時にアバランシェしないよう濃度と幅を調整。したがって、濃度を上げた分幅を下げれば良い。その結果、全体の約1/2をしめるN層の抵抗は幅を狭く、濃くすることによっていくらかでも抵抗が下がっていく。

・各ストライプの空乏層電荷が逆のため相互に打ち消しあいが生じ、通常直角三角形形状の電界が、SJ構造ではほぼ均一電界になり、理屈上では同一耐圧で厚みを通常の約1/2まで薄くできる。

D (SJユニット長) の減少とともに低下する

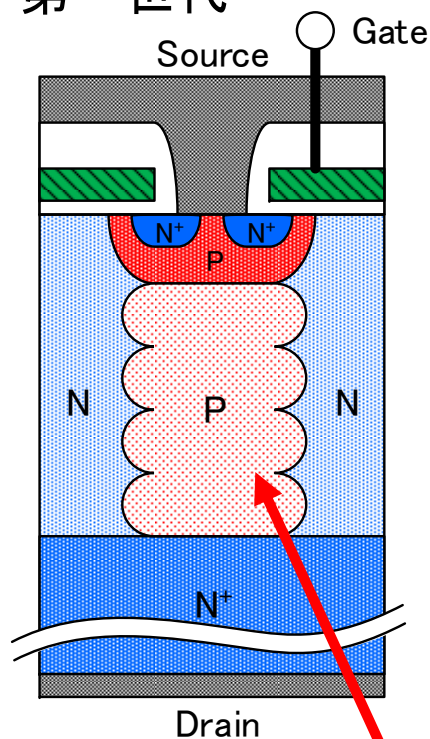


4-1. パワーMOSFET

＜構造＞ N⁻層にSuper Junction構造を適用。

耐圧が高くなるにつれチャンネル抵抗の比率が低下し、N⁻層抵抗の比率が上昇する。このためTrenchゲート化の効果が低い300V以上ではDMOS構造が継続して使われていたが、2000年頃にN⁻層の抵抗を下げるSJ(Super Junction)構造を適用したSJ-MOSFETが提案された。この技術は高耐圧ほど効果が大きいいため、初期の600V級から始まり現在は950V級まで製品化されている。

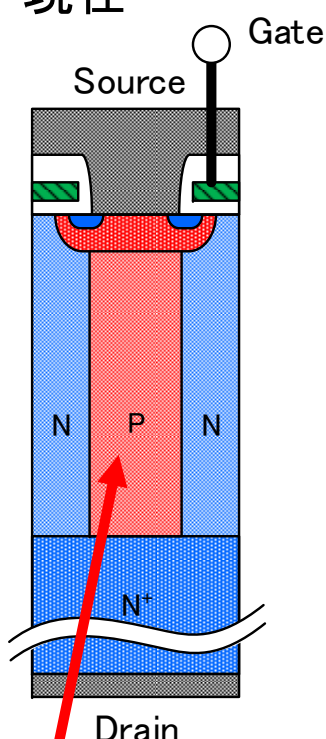
第一世代



SJ-MOSFET

Multi-epitaxial
growth technology

現在



SJ-MOSFET

Trench
technology

SJ形成関連プロセスフロー

・第一世代

SJ構造は縦縞が細かいほど性能が向上するが、初期はエピ成長と写真製版&リン&ボロン注入を複数回繰り返す方法であるため、縦縞も細かくできずプロセスコストを下げる事が困難であった。

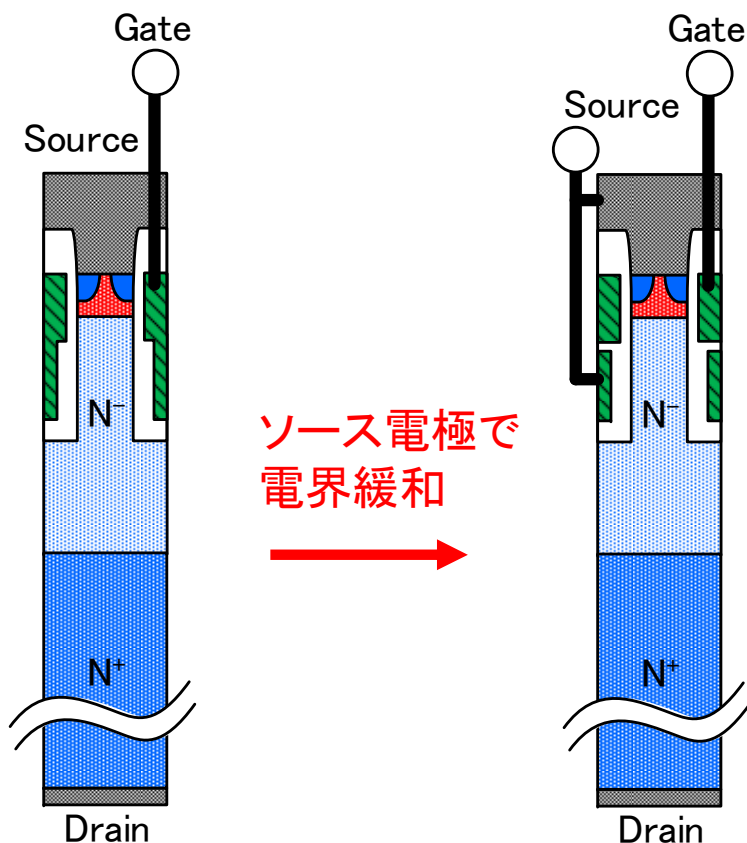
・現在

トレンチエッチ技術によりN型シリコンを深くエッチングし、エピ成長によりP型シリコンで埋める事で、プロセスコストを抑えつつより細かい縦縞を実現。

Super Junction 構造

4-1. パワーMOSFET

＜構造＞ ゲート構造に電界緩和効果を付加しSuper Junction相当の効果を得たもの。



トレンチゲート化 & 微細化によるチャンネル抵抗削減を続けていくと、やはりN⁻層抵抗が制限となってくるが、SJ構造は耐圧300V以下の領域では改善効果がコスト的に成立するほど大きくない。

このため、Trenchゲート構造自体にN⁻層の電界緩和、すなわちSJ効果の要素を加える手法が2006年頃に提案され実用化されていた。

また、この構造はゲート電極で電界緩和するためドレイン-ゲート間容量が増え、スイッチング性能が阻害されるため、最新構造としてはゲート電極を分割したトレンチフィールドプレート(FP)MOSFETが広まってきている。

この技術は通常のトレンチMOSFETの耐圧領域にも広がり、現在は耐圧10V付近でも製品化されている。

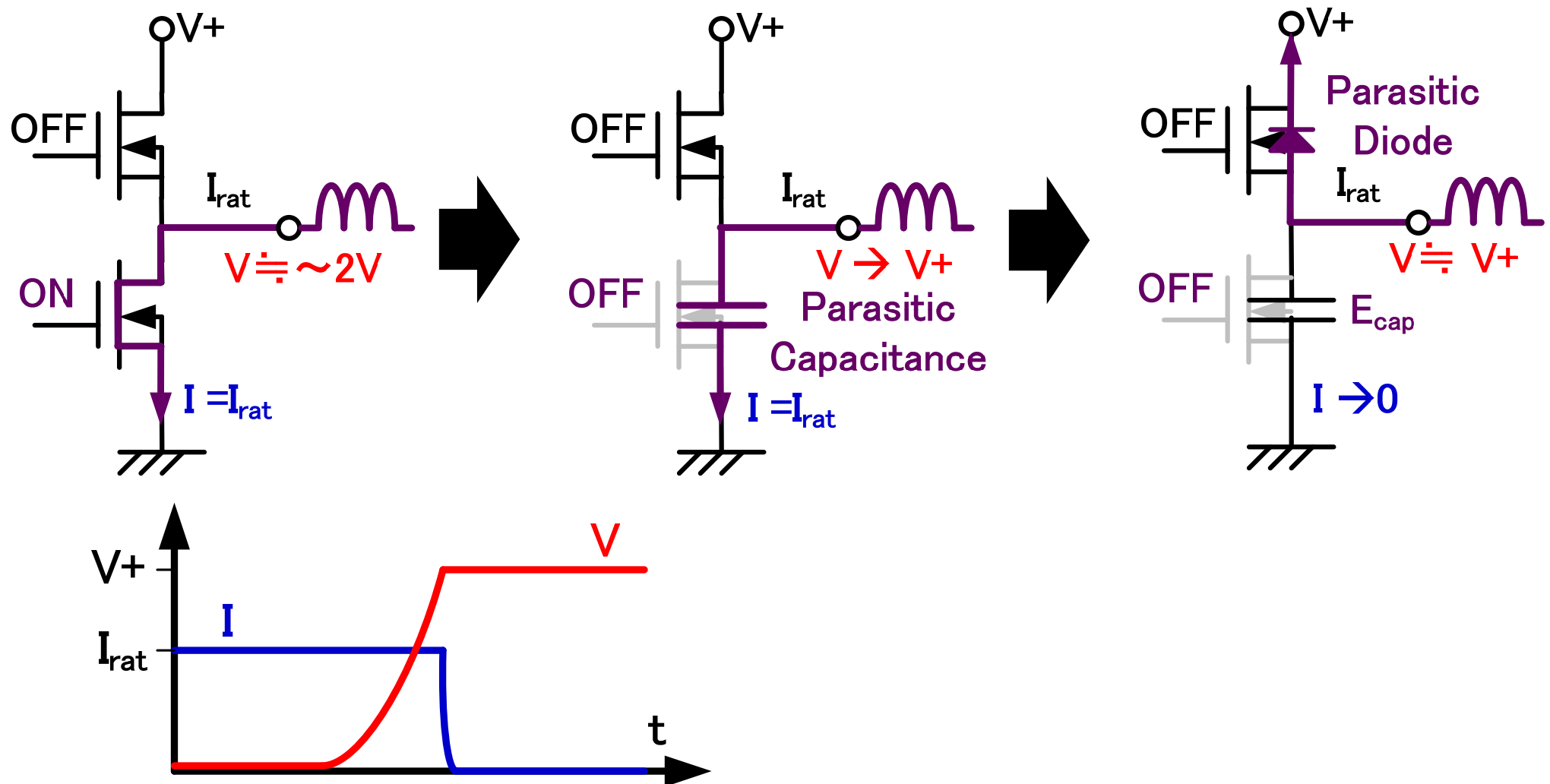
Trench MOS
with electric field
reduction

Trench FP-MOS
with electric field
reduction & shield

4-1. パワーMOSFET

<動作>

・ターンオフ動作において、伝導度変調が無い場合は空乏化したN層に蓄えられた静電エネルギー (E_{cap} (J/cm²))が理論的なターンオフロスの下限になる。ただし、この静電エネルギーはその後のターンオンにおいて熱エネルギーとして消費される。

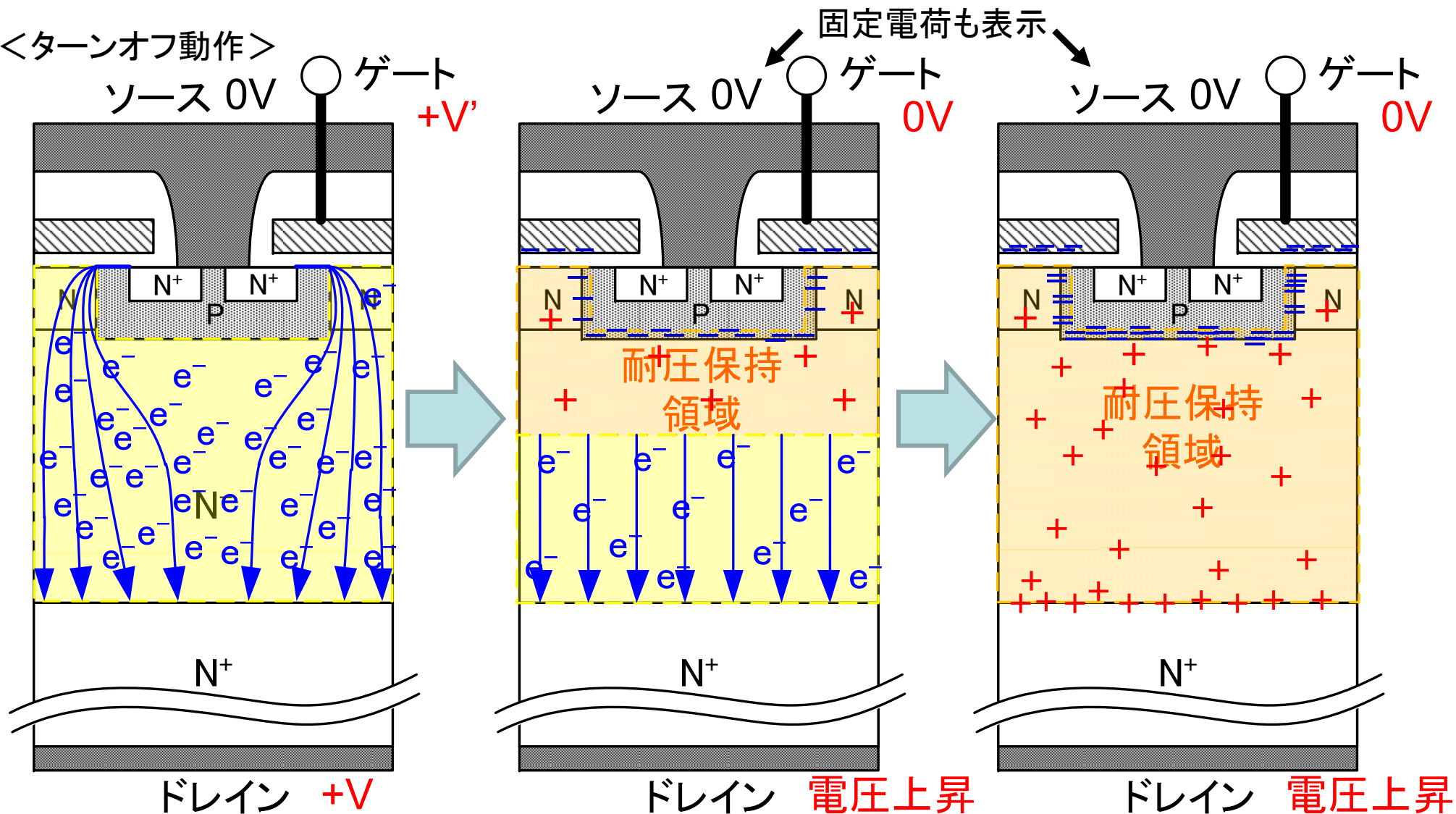


4-1. パワーMOSFET

<動作>

- ・ターンオフ動作で耐圧保持領域内をキャリアが横切らないためターンオフロスは耐圧保持領域に蓄えられた静電エネルギー(後のターンオンで消費される)のみで、極めて小さい。
- ・高耐圧品は厚くかつ高抵抗のN-層が必要となるためオン抵抗が極めて高くなる。

<ターンオフ動作>

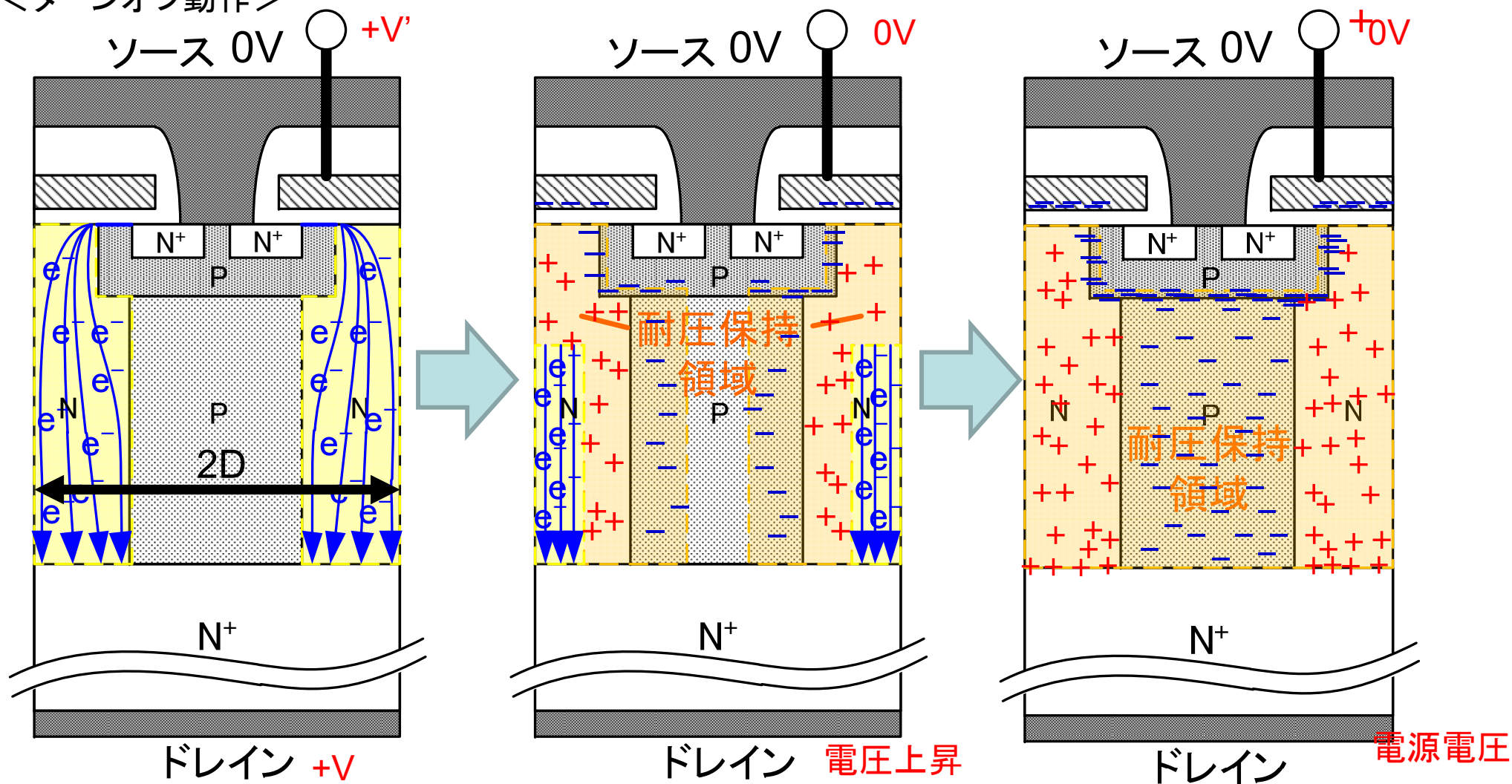


4-1. パワーMOSFET

<動作> Super Junction (SJ) の場合

通常のMOSFETと同じく、ターンオフロスは静電エネルギーのみであるが、SJ構造により単位面積当たりの静電エネルギーは大きくなる。ただし、オン抵抗が低下する分チップ面積が小さくなるため、総合性能としては同じオン抵抗であればSJ構造のほうがターンオフロスが小さくなる。

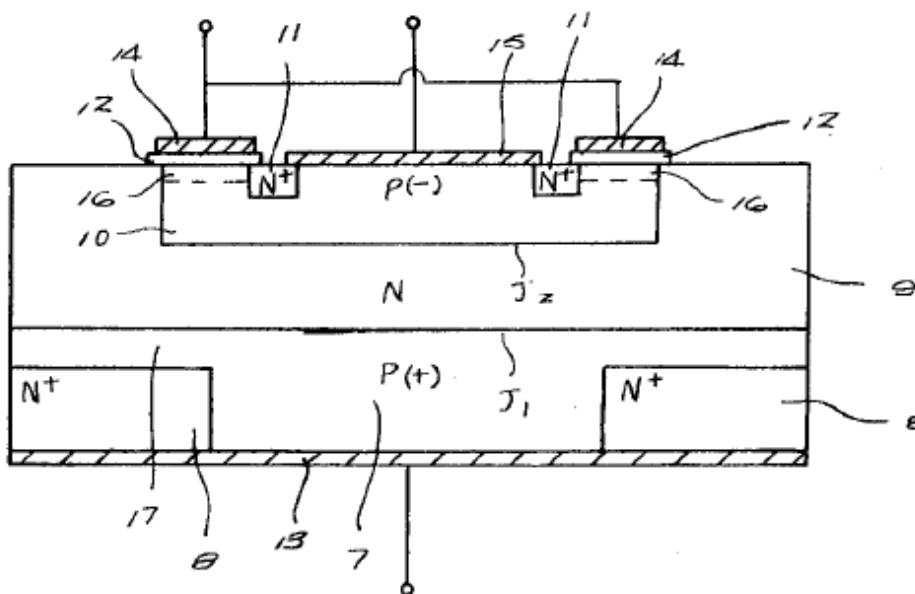
<ターンオフ動作>



4-2. IGBT

三菱電機の山上、赤桐が1969年に
PNPTrをMOSで駆動する基本アイデア
を提示

特許出願広告 昭47-21739 文献[1]
(1972年成立)



※ 3 ②

GEのBaligaらがIEDM 1982に最初の動作報告を発表 文献[2]

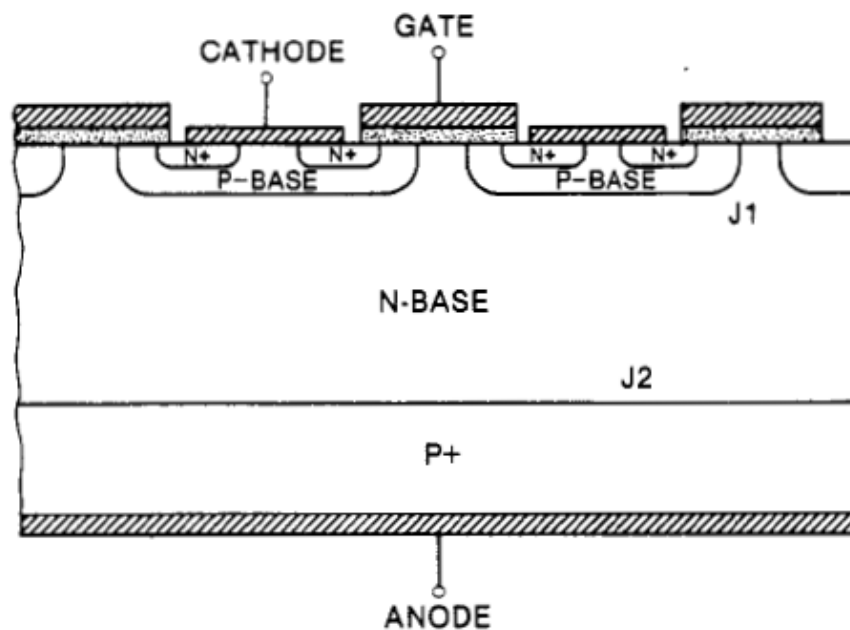


Fig 1. Cross-section of basic Insulated Gate Rectifier Structure

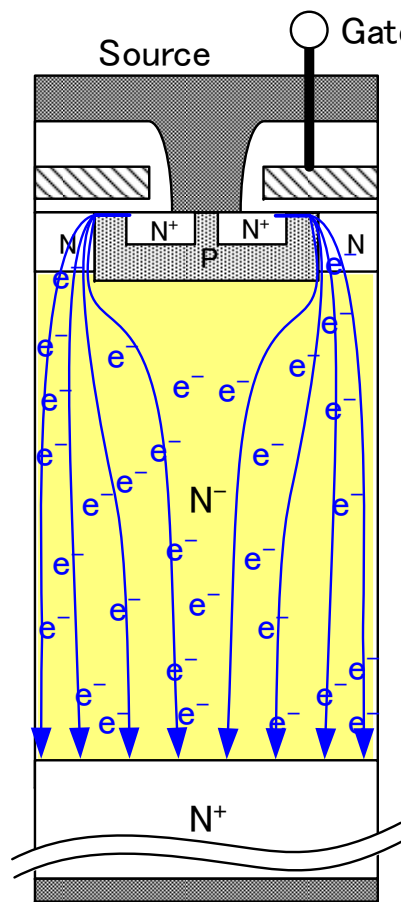
[1] Japanese patent S47-21739, filed in 1968.

[2] B. J. Baliga, M. S. Adler, P. V. Gray, R. P. Love, "The Insulated gate Rectifier (IGR): A New Power Switching Device," IEDM, pp. 264-267, 1982.

4-2. IGBT

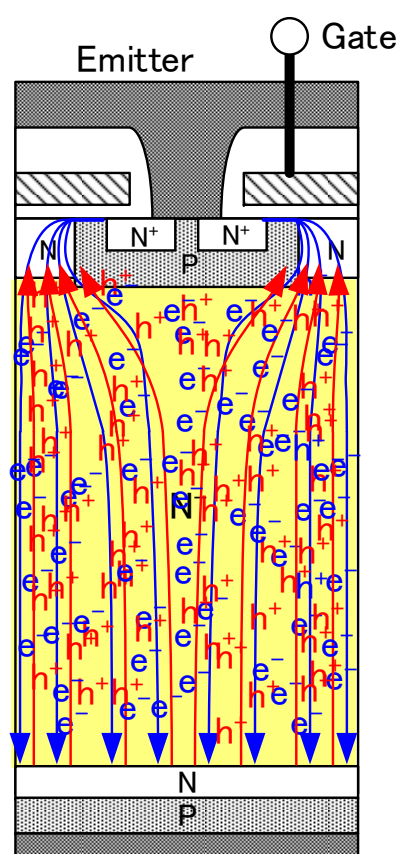
パワーMOSFETの裏面をP層に変更し、伝導度変調を導入したデバイスであり、現在、産業領域を中心に最も普及しているデバイス。

Power MOSFET



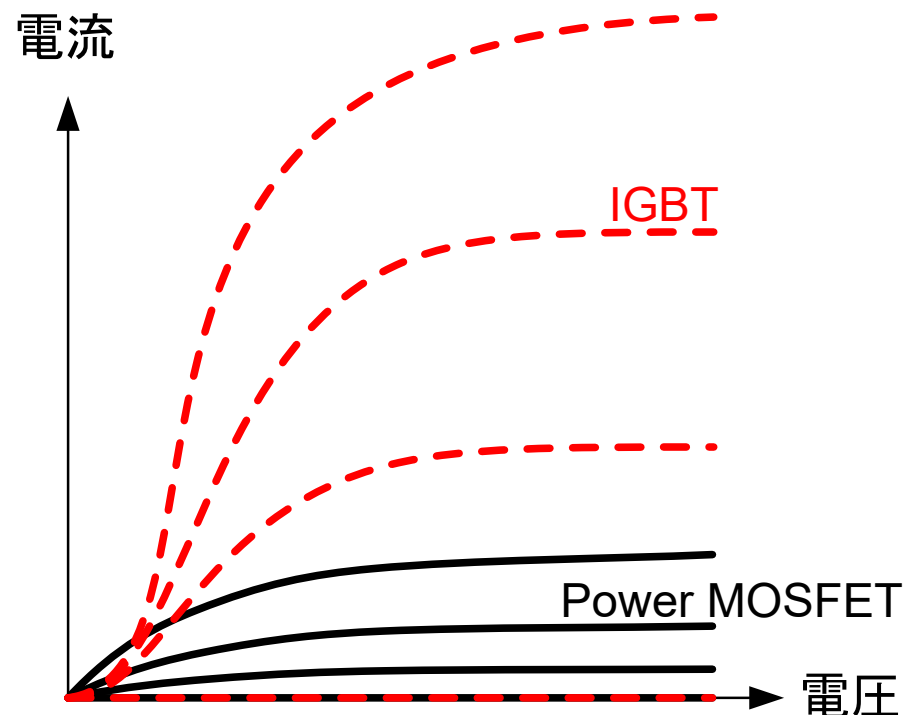
Drain
N- layer
Thickness: 1
Resistivity: 1

IGBT



Collector
N- layer
Thickness: 1
Resistivity: $\sim 1/20$ (@On-state)

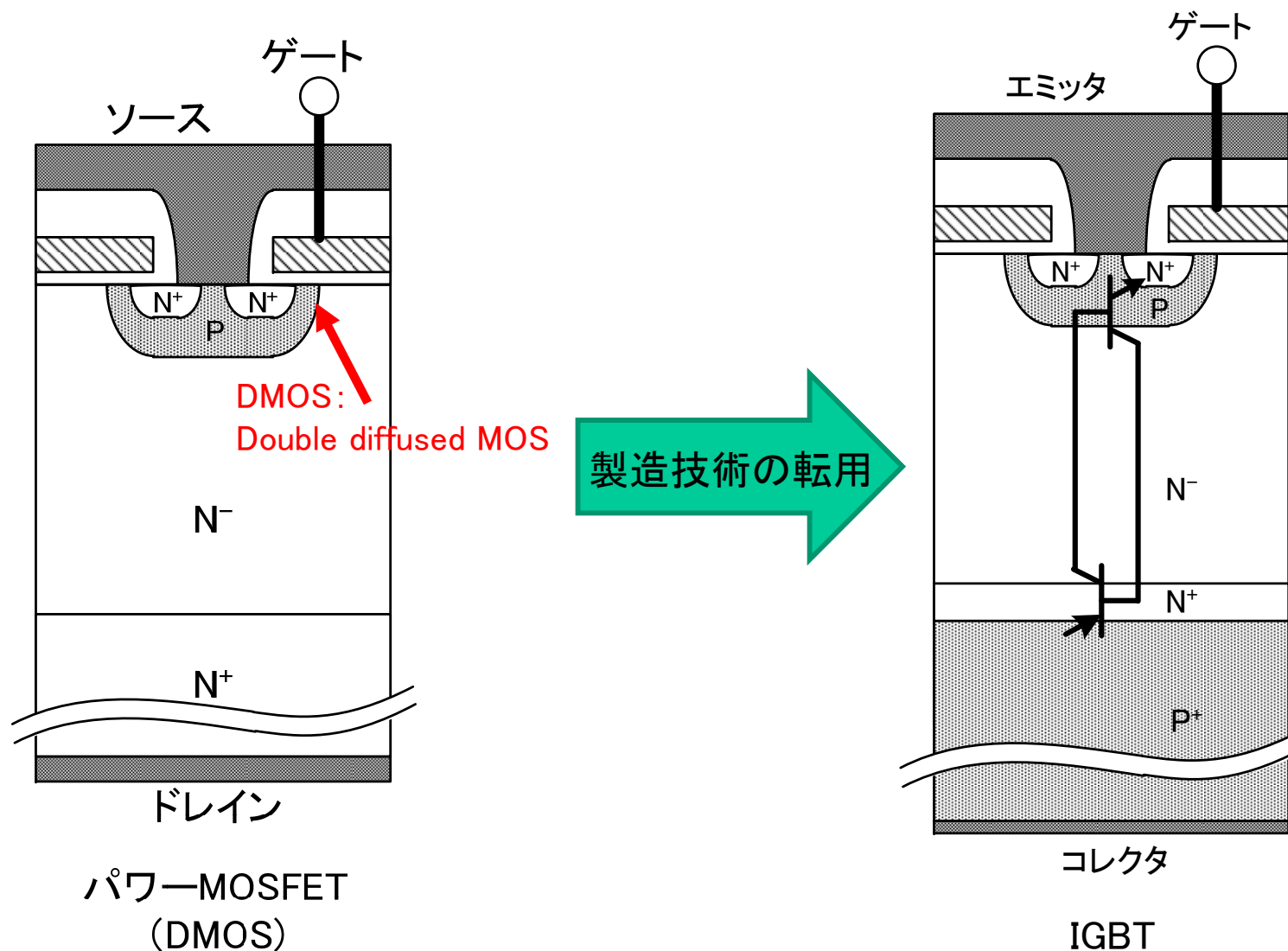
- ・MOSゲートからの電子と裏面から注入されるホールで電導度変調(キャリア濃度大幅アップ)が発生し、N-層の抵抗が大幅に低下する。
- ・コレクタ電圧が裏面pn接合のVf分を超えると極めて大きな電流が流れる。



4-2. IGBT

＜構造＞ Power MOSFETのDMOS構造を流用

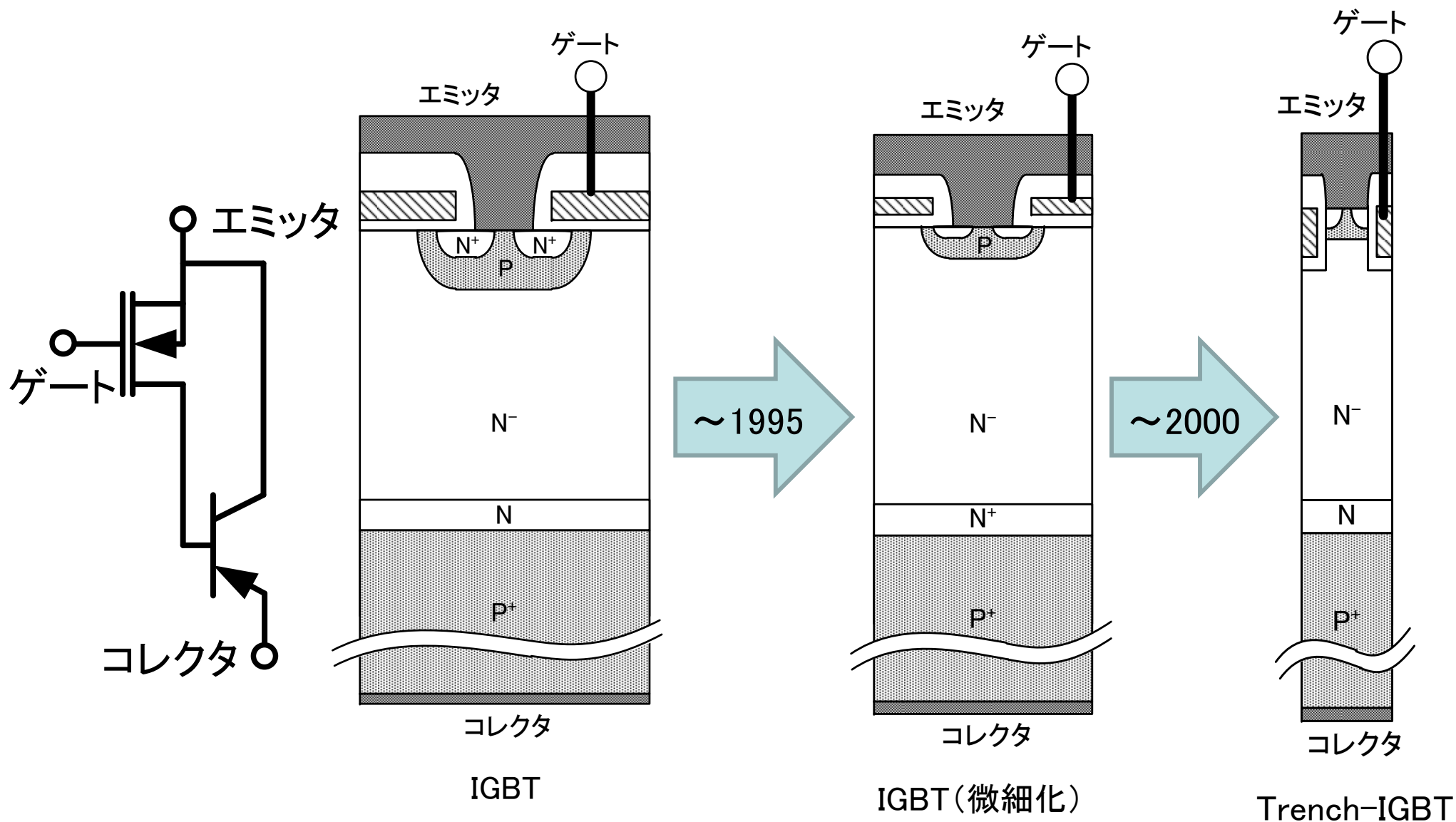
- ・その後同じくトレンチ構造に進化するまで主流であり、現在でも高耐圧(2kV以上)で使用されている。
- ・当初寄生サイリスタ動作が大問題であったが、東芝の中川氏から構造上の工夫で寄生NPNの動作を抑制しサイリスタ動作を防止、IGBTの実用性を実証(IEDM 1984)、その後主流デバイスとして大きく発展。



4-2. IGBT

<構造> トレンチ構造への移行

・PNPTrのベース電流を供給するNchMOSの抵抗を下げるためにトレンチ構造に移行。しかし、主たるトレンチ構造のメリットは別の所にあった。

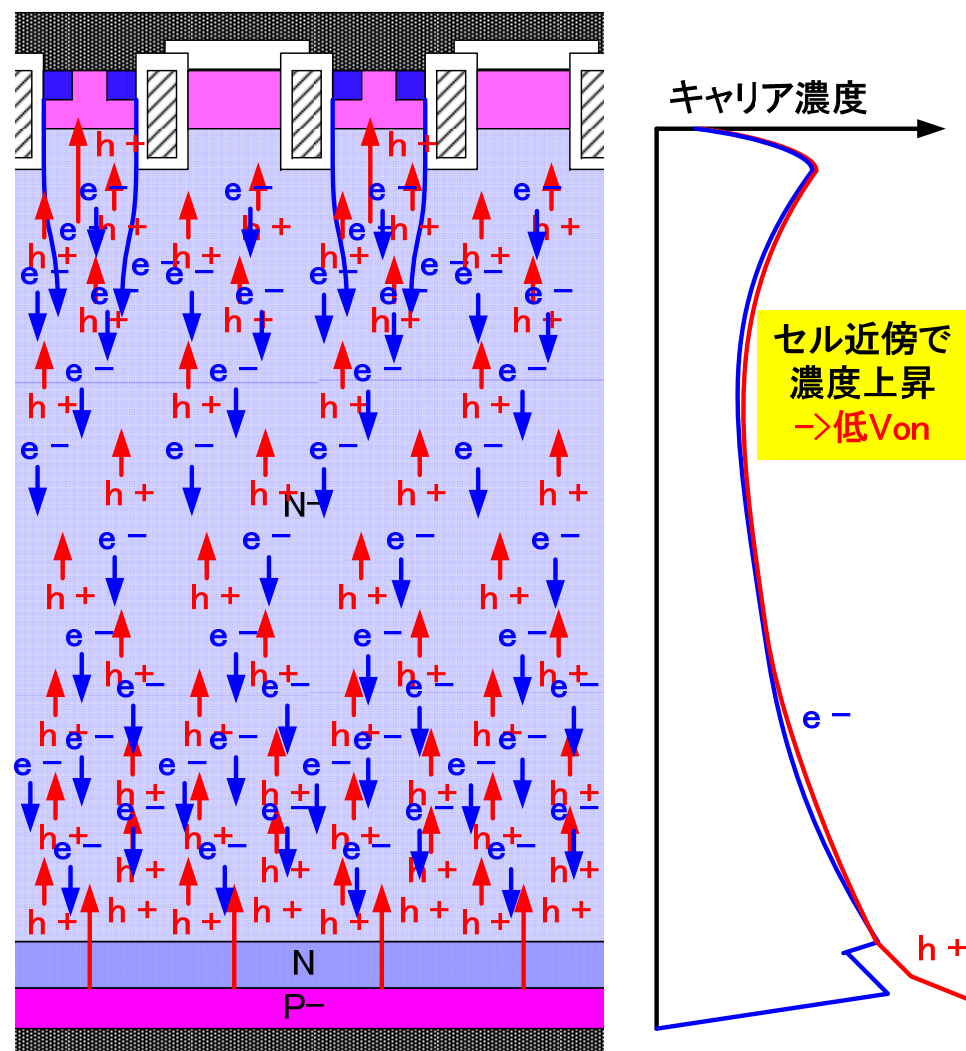
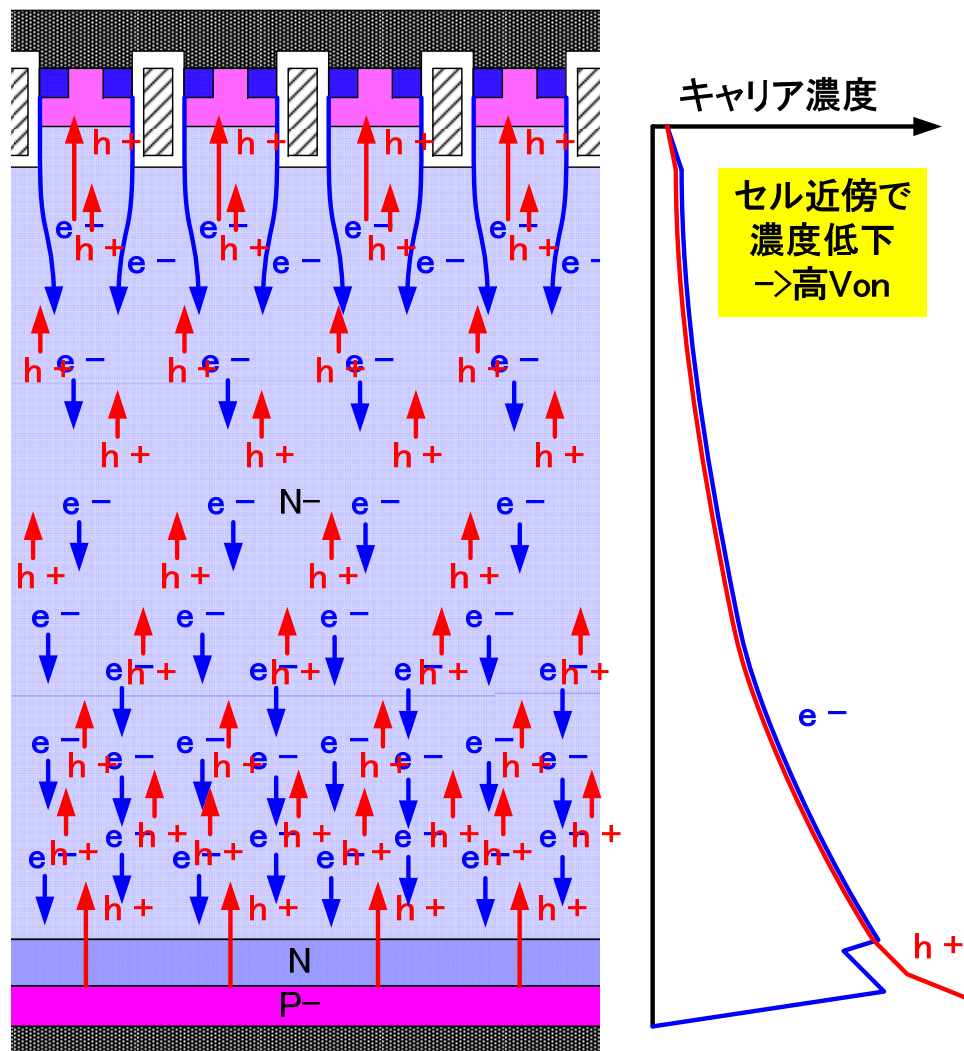


4-2. IGBT

＜構造＞ ホール流れだし抑制構造の採用(1993年～)

・実使用領域のオン電圧を下げるには表面付近のホールの流れだしを抑え、ホール濃度を高く保つ事が重要である事が判明、そのためには下図のようにトレンチ構造が好都合であった。

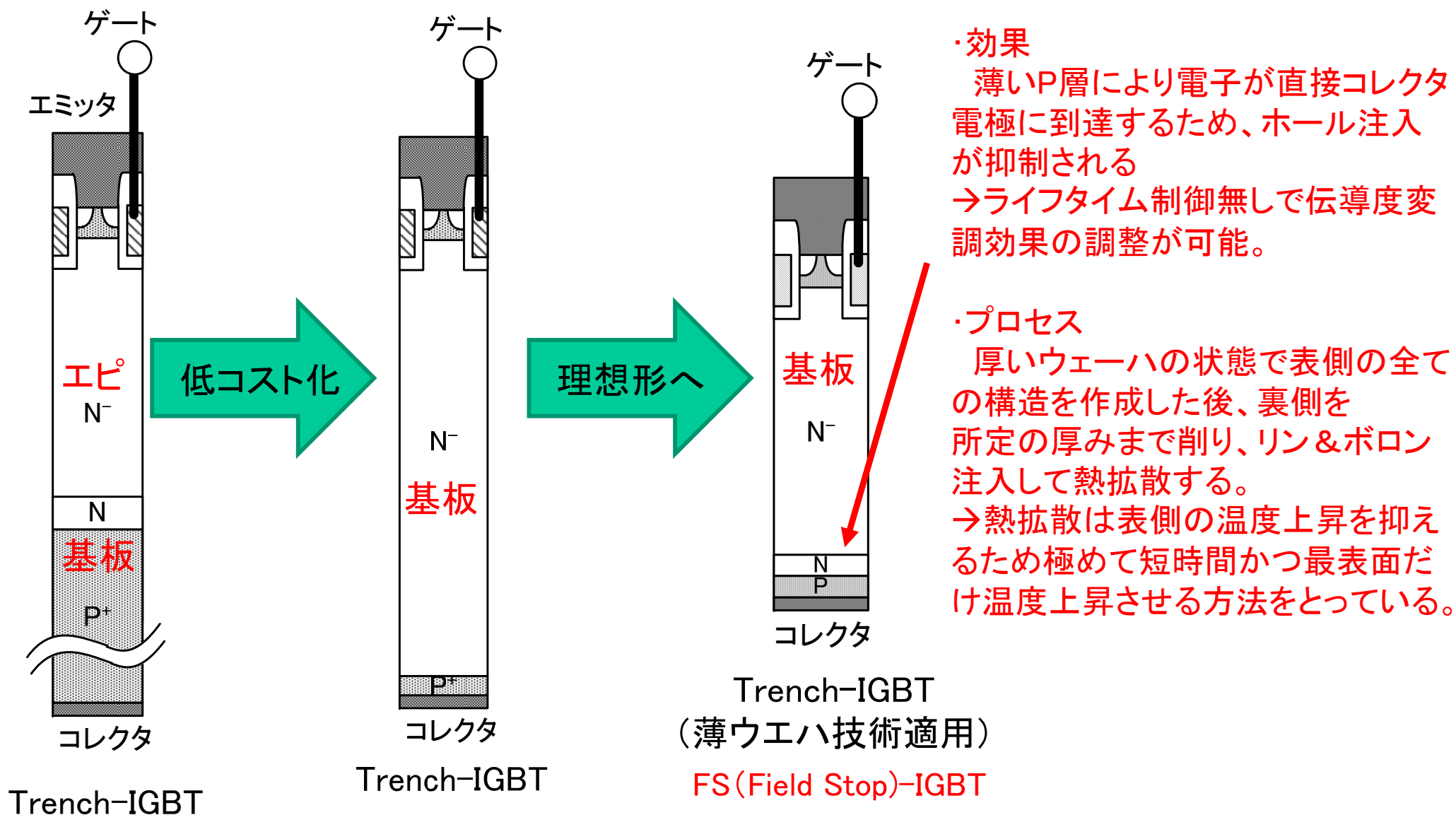
・さらに、トレンチ底部の酸化膜-シリコン間界面は通常のpn接合よりも高い電界に耐え、トレンチ構造は高耐圧化にも有利である事がわかった。



4-2. IGBT

＜構造＞薄ウェーハ技術と裏面N層によるパンチスルー防止構造の採用(2000年～)

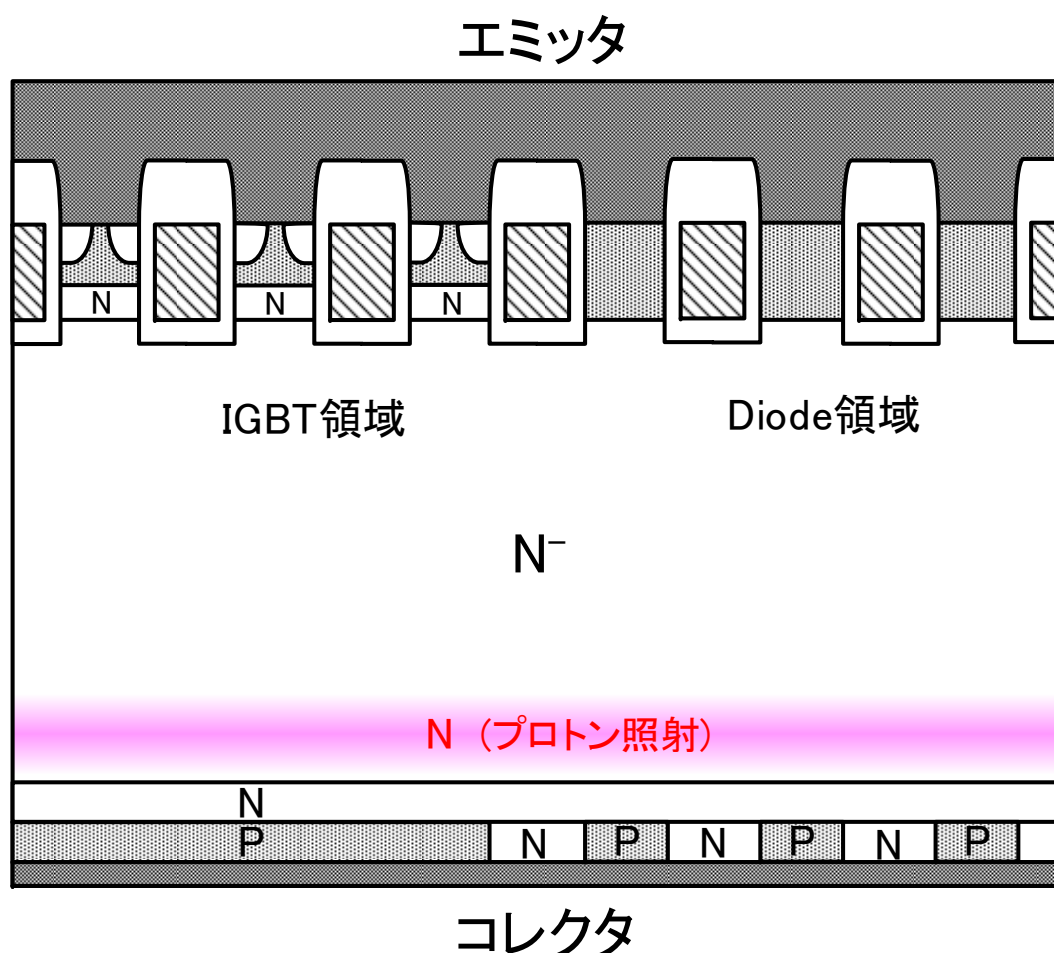
・エピレスによる低コスト化は厚いN層による特性悪化が明確化。その後N層を薄くすると共にパンチスルーを防止するN層を追加。この形が一般的にFS (Field Stop)-IGBTと呼ばれる最新型のIGBTである。



4-2. IGBT

IGBT: フリーホイールDiode内蔵技術

現在は、ここまで説明してきたIGBT単体の性能改善の他に、裏面パターンニング技術によるフリーホイールDiode内蔵(RC(*)-IGBT)が、そのコスト、パッケージ小型化等の総合的メリットのために各社で製品化が進んでいる。



例: 三菱電機 (ISPSD2023報告)

・プロトン照射

局所的ライフタイム抑制に加えて、N層を形成する効果があり、適切に利用する事でデバイス特性を改善。

・表面パターンニング

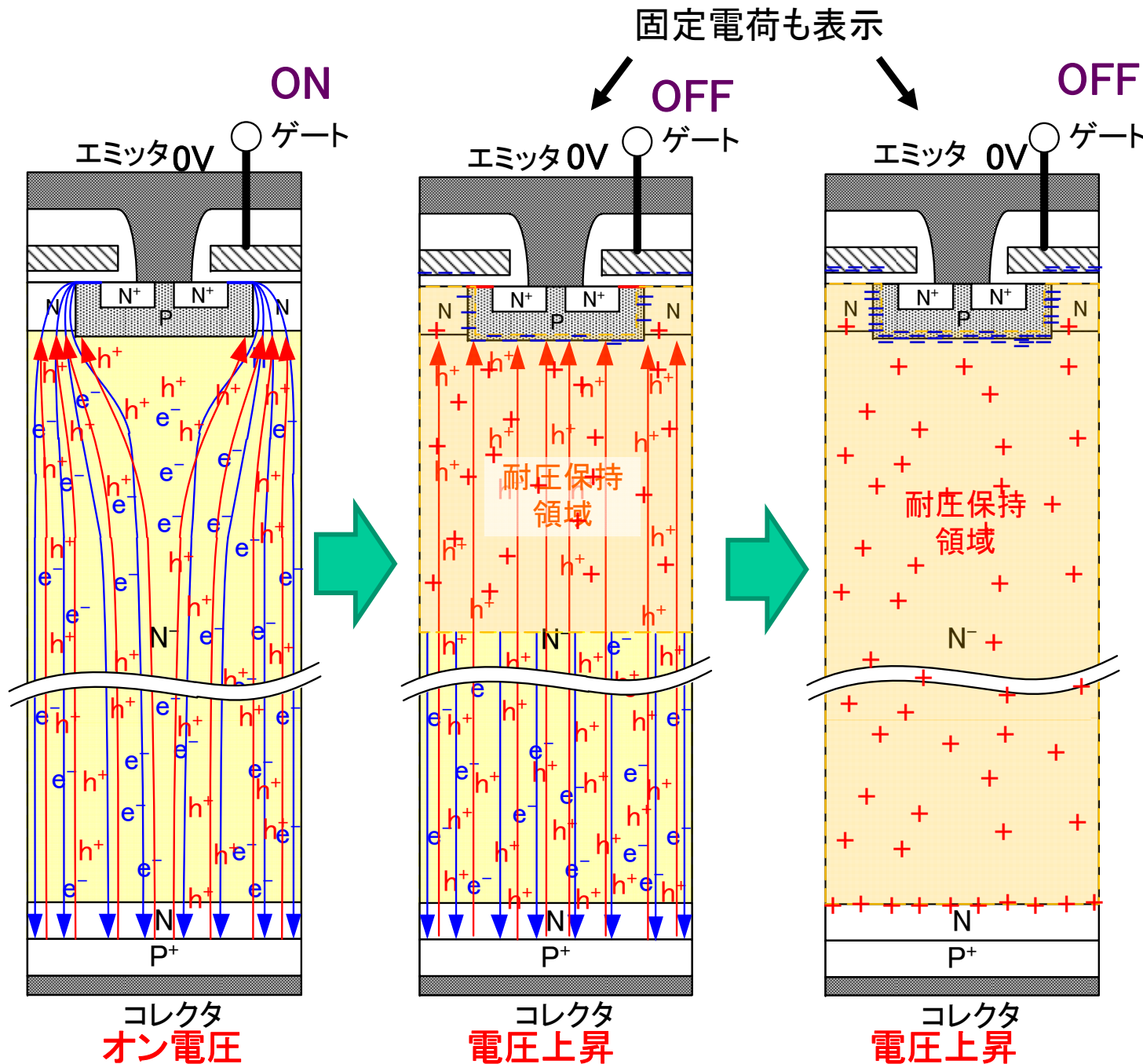
IGBT領域、Diode領域それぞれに最適なセル構造を適用し、かつDiode領域の配置も最適化(ドット配置)。

・裏面パターンニング

表面のIGBT/Diode領域に連動してP層をN層に置き換えた領域を設け、この置き換えパターンにも細かな工夫を施しDiode特性も改善。

(*)Reverse Conducting

4-2. IGBT



<動作>

・オン状態は電導度変調で蓄積した電子とホールによりN⁻層の抵抗が大幅低下。

ただし裏面のダイオード順バイアス(V_f)分の立ち上がり電圧はが発生する。

・ターンオフ動作では空乏層を横切って流れるホール流によるIVロスがターンオフロスのお大半を占め、これは空乏化したN⁻層に蓄えられた静電エネルギー(E_{cap} (J/cm²))よりも大幅に大きい。

5-1. SiCデバイス

WBG(Wide Band Gap)パワーデバイスの利点

化合物 (SiC, GaN等)



- ・高い臨界電界(広いバンドギャップ電圧に起因)を持つ材料を採用
→係数A(注)が極めて小さく、低オン抵抗&高耐圧を実現
- ・SiC: 高い熱伝導率は高パワー密度動作に有利
- ・GaN: ヘテロ接合を利用し高電子移動度チャネルが形成可能

	Diamond	Ga ₂ O ₃	GaN	SiC (4H)	Si
バンドギャップ電圧(V)	5.45	4.8	3.45	3.26	1.11
臨界電界 (V/cm)	1E7以上	8E6	3.3E6 (*1)	2.8E6	2.5E5
Impact ionization coefficient : A (注)ある耐圧でのオン抵抗は $\sqrt{A}$ に比例				3.9×10^{-42} (*2)	1.8×10^{-35} (*3)
熱伝導率 (W/(cm・K))	22	0.23	1.3	4.9	1.5
熱容量(単位体積当たり) (J/(K・cm ³))	1.81	2.92	2.56	2.22	1.66
電子の移動度 (cm ² /(V・s)) ()はホールの値	4500 (1600)	300	1250 (30)	1000 (120)	1350 (480)
電子の飽和速度 (cm/s) ()はホールの値	2.2E7 (1E7)		2.2E7	2.2E7	1E7

(*1) 名古屋大 須田教授による最新データではSiCと同等との情報有

(*2) B.J. Baliga, "Silicon Carbide Power Devices," World Scientific, Singapore 2006.

(*3) Fulop, "Calculation of Avalanche Breakdown of Silicon P-N Junctions," Solid-State Electronics, Vol. 10, pp. 39-43, 1967.

5-1. SiCデバイス

結晶成長技術の立ち上がり～事業化

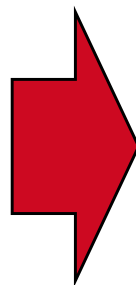
・初期の活動(米国中心): 結晶成長技術(1890年頃～1950年頃)、デバイス開発(～1970年頃)で、実用レベルへのハードルがかなり高いことから一旦終息。その後研究は小規模に継続し、Lely法等、高品質結晶成長に関する様々な研究が続けられていた(～1980年代)。

・京都大(松波氏)が1968年頃からSiCデバイスの研究に着手。米ノースカロライナ州立大(1976-1977年)での准教授時代にSiCについての意見交換。

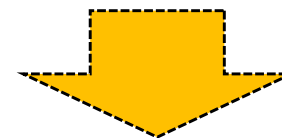
ステップ制御エピタキシー (1987年) ★単結晶ウェハ製造へのブレイクスルー
1kV, 1.7kV耐圧 ダイオード試作 (1993年/1995年)

最初の事業化

- ・Wafer 米CREE (1991年)
- ・SBD 独 Infineon (2001年)
- ・MOSFET 日 ROHM (2010年)



SiCデバイス市場(2021年度)約760億円/年
SiCデバイス市場(2022年度)約1700億円/年
SiCデバイス市場(2023年度)約3900億円/年



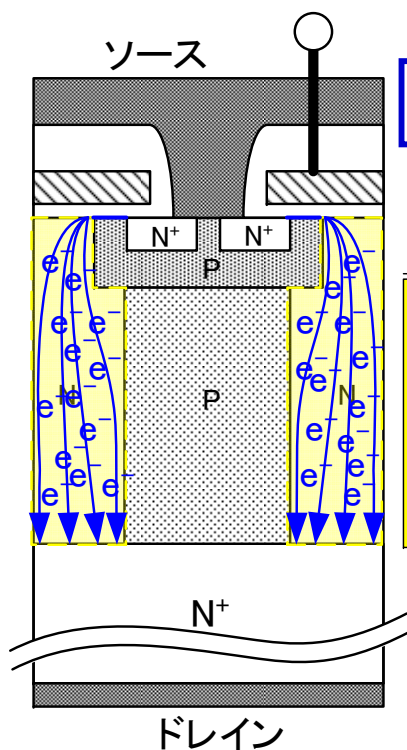
SiCデバイス市場(2035年度予測)
約3.2兆円/年

5-1. SiCデバイス

<SiC-MOSFETの構造と特徴>

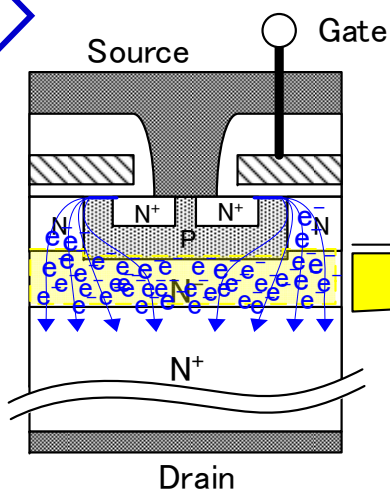
- ・基本的にシリコンのPower MOSFETとほぼ同じ構造であるが、その優れた物性値により同一耐圧におけるN層の抵抗は約3桁低下し伝導度変調無しで大幅な低オン抵抗化を実現。
- ・シリコンでの高耐圧化は厚いN層と極めて低いN層濃度が必要で6.5kVクラスが現実的な上限であるが、SiCでは両者ともに大幅に緩和され6.5kV以上への高耐圧化も相対的に容易。(ただしシリコンよりエピ成長自体の難度は高い)

Si-SJ MOSFET



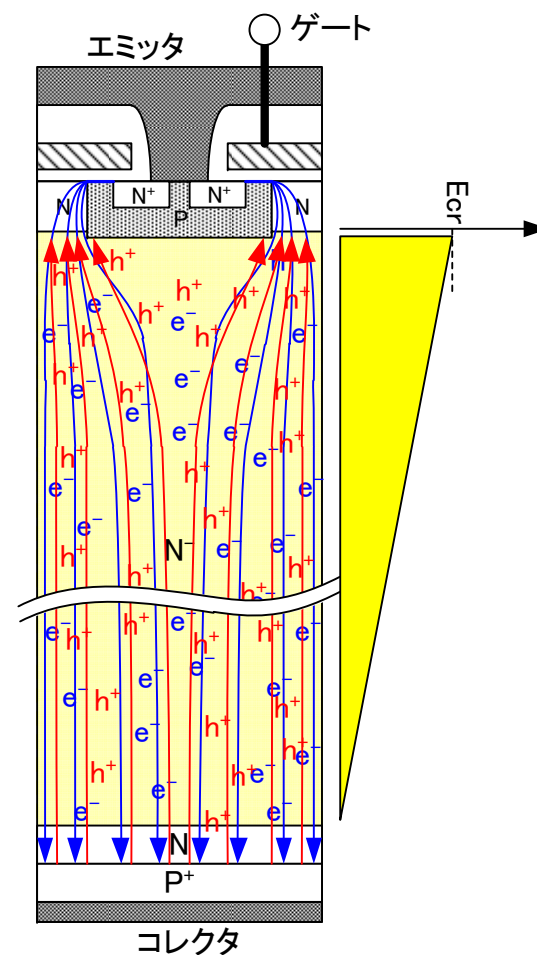
低スイッチング
ロス

SiC MOSFET



低オン抵抗

Si-IGBT



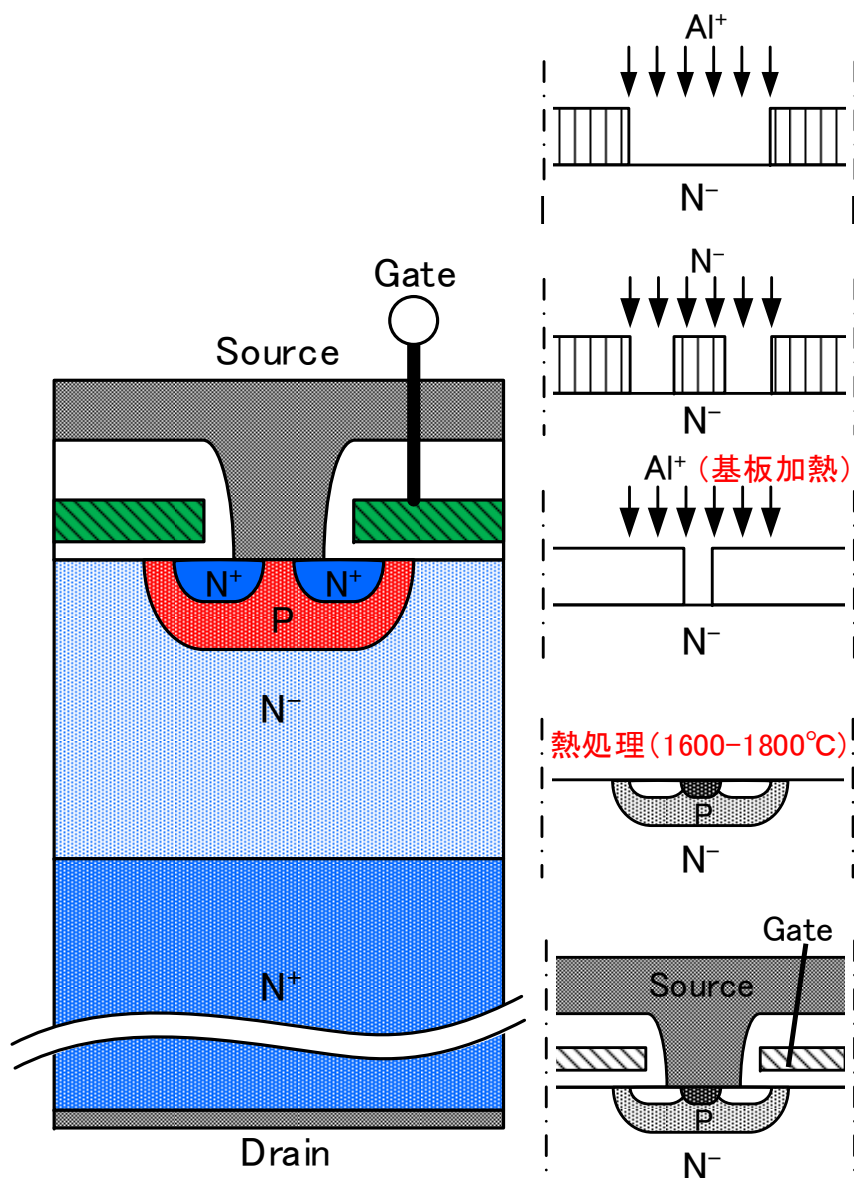
5-1. SiCデバイス

< SiC-MOSFETの構造と特徴 >

DMOSに似ているが、SiC内部の拡散領域形成時の温度にゲート及び酸化膜が耐えられないため、ゲートエッジを利用した本来のDMOSプロセスは使えない。

参考)

SiCアライアンス <https://www.sicalliance.jp/page/dir000050.html>



< 製造プロセスの特徴 >

・SiCは金属電極とのコンタクト抵抗がシリコンの約1桁上と大きく、600V以下の低耐圧クラスでの低オン抵抗化の妨げとなっている。また、p型とのコンタクトのための濃いp領域形成に高濃度アルミ注入を実施するが注入欠陥抑制のために注入時に基板加熱(200~800°C)が必要。

・一般に窒素注入でn型、アルミ注入でp型を形成するが、注入された窒素とアルミの活性化に1600~1800°Cの熱処理が必要。この温度はSiO₂、ポリシリコン等が耐えうる温度を超えるため、表面をSiCとその保護層(カーボン膜等)のみにした状態で処理しなければならない。また、活性化の際に窒素、アルミともに拡散しないため、n領域、p領域は注入自体で形成できる形状に限られる。

< 課題 >

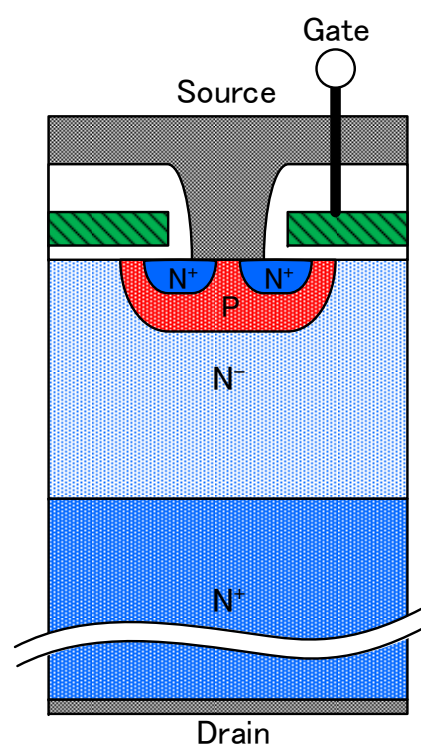
・ゲート酸化でのSiO₂膜形成時に、余ったC原子起因で大量の界面準位が発生する。これがチャンネル特性の悪化(Id-Vg波形のヒステリシス、Vth長期変動、低いチャンネル移動度)をもたらしている。→ゲート酸化への対策

・SiC基板は多種の欠陥を高密度に含み、これをエピ成長時に数個/cm²まで低下させてエピ上にデバイスを形成。それでもデバイスのpn接合が順バイアスされ注入された電子とホールが再び再結合する際の再結合エネルギーにより残留した欠陥の一部から転位が面状に成長する。この面状の転移は電流をほぼ通さないため、例えばMOSFETの寄生Diodeを動作させるとオン抵抗が上昇する。(一般にBipolar劣化問題と言われている)

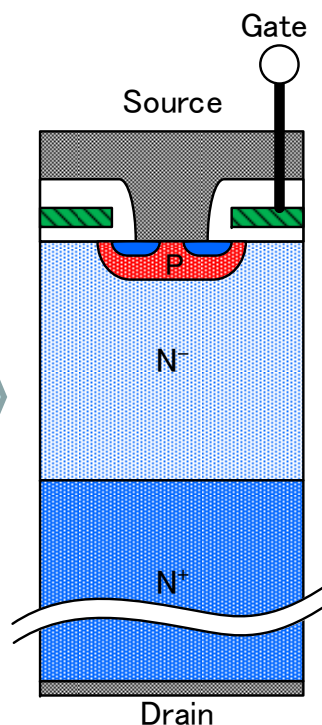
5-1. SiCデバイス

構造進化

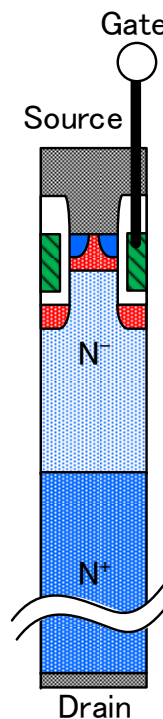
- ・不純物活性化時の温度にゲート及び酸化膜が耐えられないため、通常DMOSとは別手法の自己整合技術が使われている。
- ・チャンネル抵抗比率が高い低耐圧領域はトレンチ化とその微細化へ。
- ・N⁻層抵抗比率の高い高耐圧領域からSJ構造の導入に向かっている。



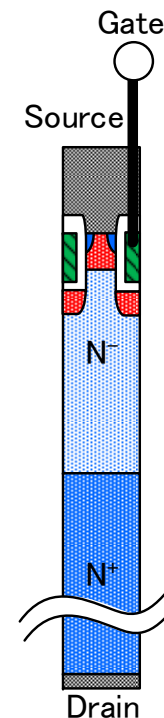
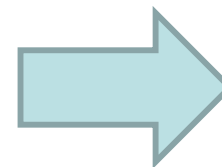
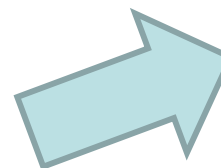
Planer MOS



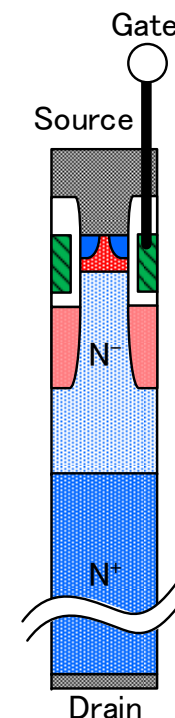
Planer MOS
(Finer patterning)



Trench MOS



Trench MOS
(Finer patterning)

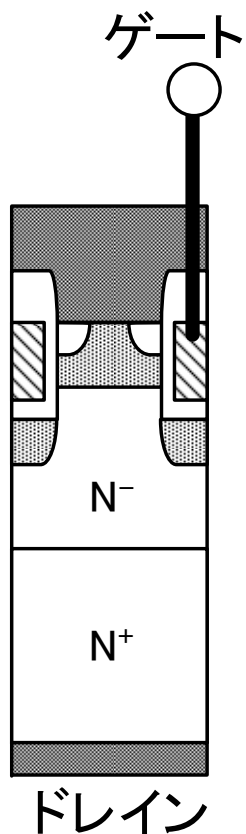


SJ-Trench MOS

5-1. SiCデバイス

<SiC-TrenchMOSFET>

チャンネル抵抗削減が有効な1200V以下の領域で先行して製品化が進み、現在高耐圧側にも拡大中。



・耐圧

→セル形状 & FLR最適化

→トレンチ底部酸化膜破壊防止対策が必須で、p層等を入れる。SiC側の強電界により酸化膜が破壊するため

・オン抵抗

→トレンチピッチ削減、表面N⁻層濃度最適化

・アバランシェ耐量

→アバランシェで発生する電子がドナー電荷をキャンセルし、均一電界になると瞬時破壊だが限界は極めて高く熱破壊で先に壊れる。

・SCSOA

→チャンネルから供給される電子がドナー電荷をキャンセルし、均一電界になると瞬時破壊だが限界は極めて高く熱破壊で先に壊れる。

・帰還容量

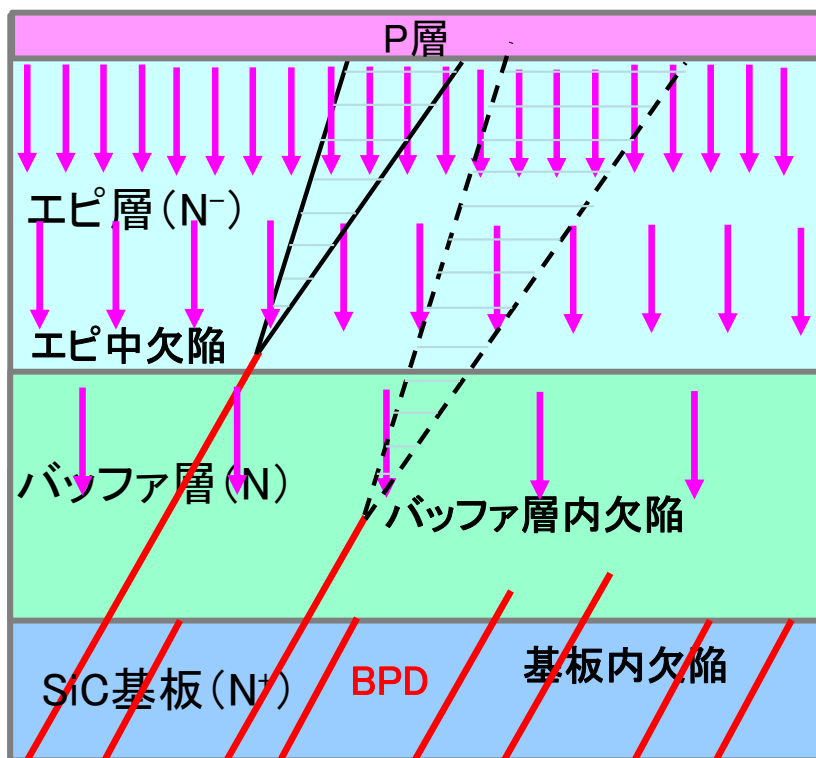
→ドレインゲート間容量大のため、ゲートドライブ能力に注意(高速動作への影響)

5-1. SiCデバイス

<SiC-MOSFET> 寄生ダイオード順バイアス動作の問題

順バイアス動作時にN層にホールが注入されるがこれが電子と再結合する時のエネルギーによって結晶欠陥が面状に成長し電子、ホールの流れを阻害するという現象がある。

(バイポーラ劣化、Bipolar degradation)



対策)

1. 問題となる欠陥は基板表面ではBPD (Basal Plane Dislocation) が主なもので、これをバッファ層形成プロセスの中で消去、ホールが到達するエピ層に欠陥をもちこまないようにする。

2. エピ層中に残留した欠陥は事前に寄生ダイオードを動作させ、劣化したものをスクリーニングする事で除去。

3. バッファ層中の欠陥には寄生ダイオード動作時のホールが届きにくく、2. の手法によるスクリーニングが困難。

→このように、欠陥除去コストと欠陥残留は相関関係にあるが、SiC基板品質向上、バッファ層形成時の欠陥消去技術の向上もあり、実使用上はほぼ問題無いレベルになってきている。

→ 寄生ダイオード順バイアス時のホール流

5-1. SiCデバイス

ゲート酸化への対策

メーカー各社で様々な工夫がなされ効果を上げているがその物理的原因については現在も解析が続けられている。

Nitridation

電子の多くがトラップされて電導に寄与しなくなる極浅の界面準位を減らす効果により、見掛け上の移動度が上昇と推定。

Wet oxidation (三菱電機提案技術)

上記より深い界面準位が増えそこに電子がトラップされる事でゲートの正バイアス電界を打ち消すため V_{th} が上昇。また、移動度は上記の極浅かつ大量の界面準位が大きな影響を及ぼすためこの処理は移動度にほとんど影響しないと推定。

Formation flow

- Sacrificial oxidation
- Thermal oxidation
- Nitridation
- Wet oxidation (600°C - 900°C)
- Poly-Si deposition

5-1. SiCデバイス

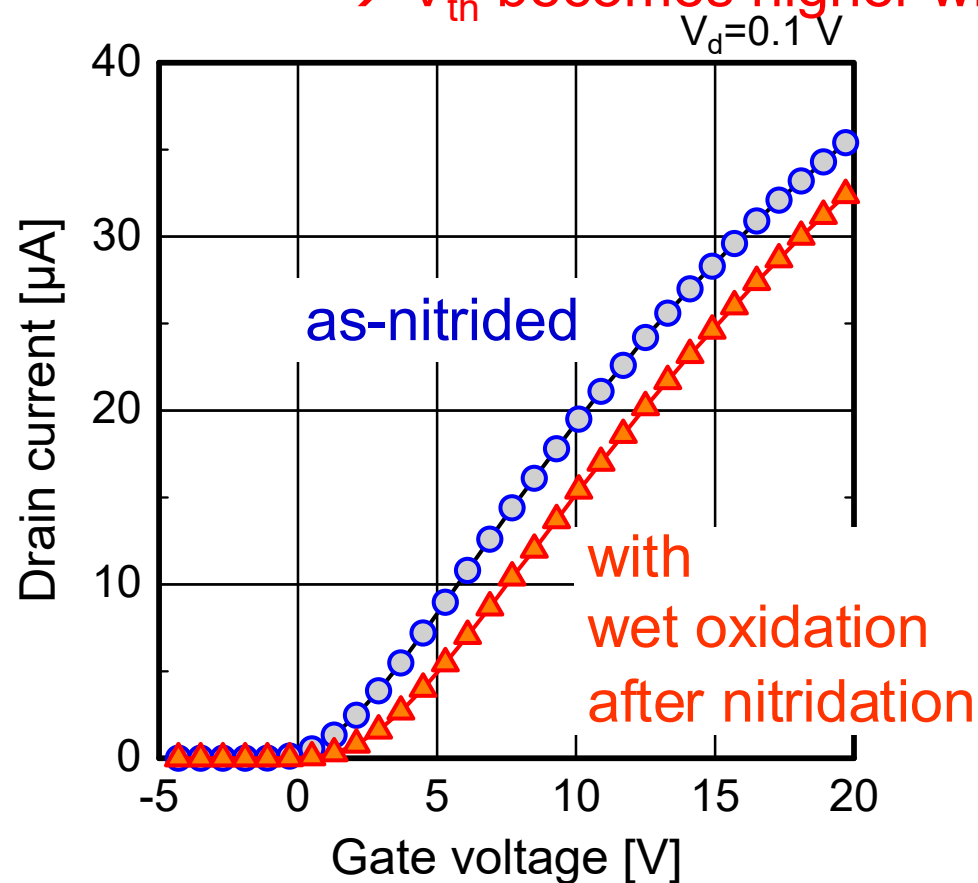
ゲート酸化への対策

M. Furuhashi, T. Tanioka, M. Imaizumi, N. Miura, and S. Yamakawa, "Novel Gate Oxide Process for Realization of High Threshold Voltage in 4H-SiC MOSFET," Mater. Sci. Forum, Vol. 778–780, pp 985–988 (2014).

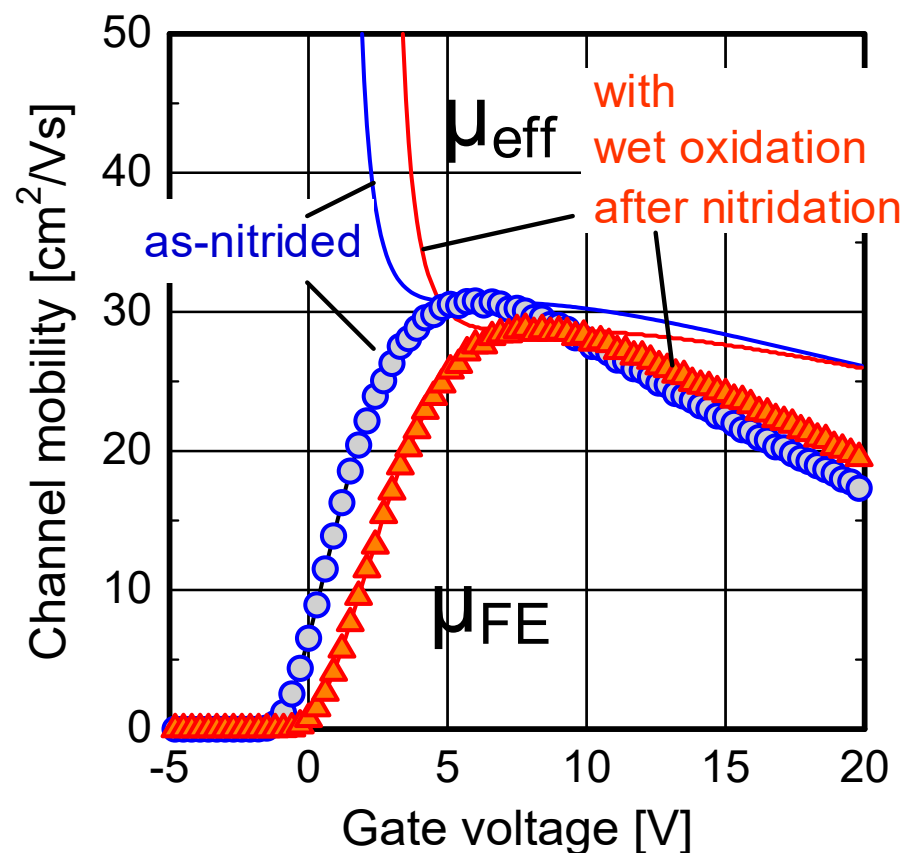
M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, S. Nakata, T. Kuroiwa, K. Kita, and S. Yamakawa, "Surface Carrier Density Dependence of Hall Mobility in SiC MOS Inversion Layer," SISC, 2015, 4.5.

Threshold voltage and channel mobility

→ V_{th} becomes higher without a decrease in μ_{eff} .



V_g - V_D characteristics
($W_{ch}/L_{ch} = 100\mu\text{m}/10\mu\text{m}$)



V_g - μ_{FE} , μ_{eff} characteristics
($W_{ch}/L_{ch} = 100\mu\text{m}/10\mu\text{m}$)

5-1. SiCデバイス

<全般的状況>

2022年頃にEV用を中心にSiCの普及がほぼ確定、2023年にはシリコンの14%の市場規模を達成。予想値は2024年資料で全体規模が下方修正されているが2035年にSiCがシリコンに匹敵する市場に成長と予測。

SiC基板メーカー各社では2025年目途での8φ化が競争状態にあり、デバイスメーカー側も、MOSFET、SBD製品開発とシェアに関して厳しい競争状態となっている。ただし、直近ではEVの売れ行きが踊り場に差し掛かり、SiC関連の投資は一旦落ち着いた状況にある。

パワー半導体世界市場（億円）（株）富士経済の資料から再構成

	2018年資料			2019年資料			2020年資料			2021年資料			2022年資料			2023年資料			2024年資料		
	2017年 実績	2030年 予測	対2017年比 13年後	2018年 実績	2030年 予測	対2018年比 12年後	2019年 実績	2030年 予測	対2019年比 11年後	2020年 実績	2030年 予測	対2020年比 10年後	2021年 実績	2030年 予測	対2021年比 9年後	2022年 実績	2035年 予測	対2022年比 13年後	2023年 実績	2035年 予測	対2023年比 12年後
Si	26899	41778	1.55	29342	42567	1.45	28686	39821	1.39	27529	37981	1.38	20125	43118	2.14	25075	79817	3.18	27795	43178	1.55
SiC	275	2270	8.25	390	4230	10.85	436	2009	4.61	493	1859	3.77	756	9694	12.82	1707	53300	31.22	3870	31510	8.14
GaN	18	1300	72.22	18	1085	60.28	19	232	12.21	22	166	7.55	32	305	9.53	43	740	17.21	74	2674	36.14
Ga2O3	-	1450	-	-	1542	-	-	590	-	-	465	-	-	470	-	-	445	-	-	385	-
合計	27192	46798	1.72	29750	49424	1.66	29141	42652	1.46	28043	40471	1.44	20918	53587	2.56	26830	134302	5.01	31739	77747	2.45

参考資料:

(株)富士経済 2018年3月 PRESS RELEASE 第18023号
https://www.fuji-keizai.co.jp/press/detail.html?cid=18023&view_type=1
 (株)富士経済 2019年6月 PRESS RELEASE 第19038号
https://www.fuji-keizai.co.jp/press/detail.html?cid=19038&view_type=1
 (株)富士経済 2020年6月 PRESS RELEASE 第20059号
https://www.fuji-keizai.co.jp/press/detail.html?cid=20059&view_type=1
 (株)富士経済 2021年6月 PRESS RELEASE 第21055号
https://www.fuji-keizai.co.jp/press/detail.html?cid=21055&view_type=1
 (株)富士経済 2022年5月 PRESS RELEASE 第22054号
https://www.fuji-keizai.co.jp/press/detail.html?cid=22054&view_type=1

(株)富士経済 2023年4月 PRESS RELEASE 第23040号
<https://www.fuji-keizai.co.jp/file.html?dir=press&file=23040.pdf&nocache>
 (株)富士経済 2024年2月 PRESS RELEASE 第24020号
<https://www.fuji-keizai.co.jp/press/detail.html?cid=24020>

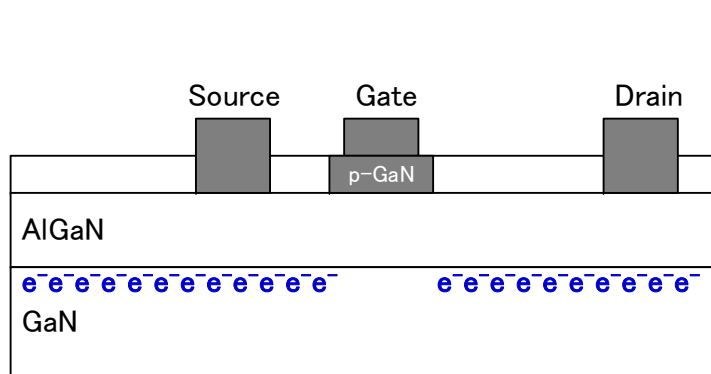
5-2. GaNデバイス

・高いバンドギャップ電圧により狭ソースドレイン間距離で高耐圧を得て、ヘテロ界面の高濃度 & 高移動度の2次元電子ガスで低オン抵抗を実現。構造上、縦型デバイスに2次元電子ガスを利用する事が難しい事もあり、現行製品は横型デバイス。2次元電子ガスの消去が逆に困難で、MOSゲートの代わりにP型GaNをショットキー接合させ仕事関数差でノーマリーオフ化、あるいは直列にノーマリーオフのシリコン低圧MOSFETを接続して製品化されている。

・2次元電子ガスと横型構造による超低ゲートドレイン間容量により縦型SiC MOSFETと比べても高周波動作において大幅に優れているが、逆に大電流化は困難、かつゲート端にエネルギー集中しやすく安全動作領域(SOA)は狭い。特に、バックゲート電位を固定するp層形成が困難であるため(*)、一般的にアバランシェと同時に破壊する。

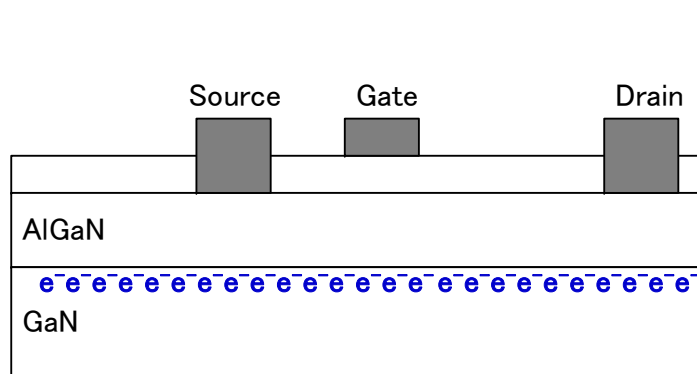
・ゲートドレイン間の表面保護膜への電子トラップ起因によるオン電流低下(電流コラプス)があり、フィールドプレートによる電界緩和等、様々な改善策は取られているが完全には無くなっていない。また、 V_{th} の安定性も改善すべき課題となっている。

(*)p-GaNエピ成長は可能。2019年に名古屋大がMg注入&超高压アニール(1GPa, 1480°C, 15min)によりp型形成を実証したが、製品適用は技術、コスト面で依然として難しい。



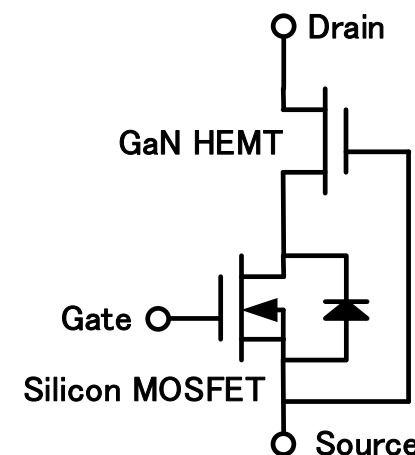
GaN HEMT (Normally-off)

P型GaNゲート



GaN HEMT (Normally-on)

シリコン低圧MOSFETを直列接続



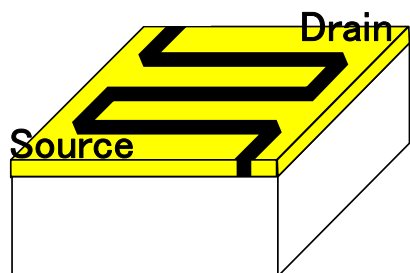
5-2. GaNデバイス

横型デバイス 主領域: 低耐圧、小出力、高周波 主用途: 信号増幅/電力変換

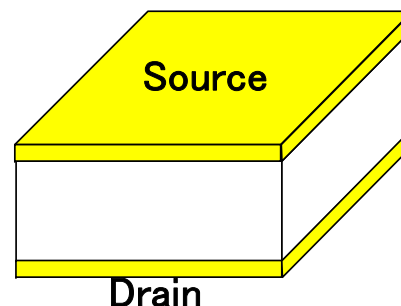
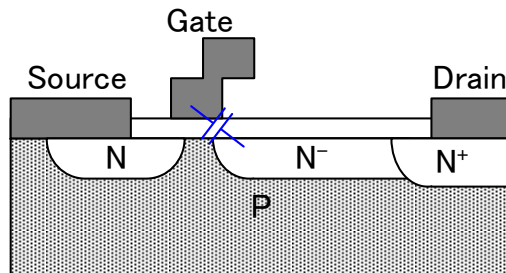
- 😊 高周波スイッチングに有利となる超低 C_{iss} (超低 C_{gd})を実現しやすい。
 - 😊 各電極(ソース、ドレイン、ゲート)が表面に形成され、ゲート駆動回路内蔵、複数素子内蔵等、高機能化が容易。
 - 😞 電極配線抵抗のため大電流化が困難。
 - 😞 耐圧保持のための長いソースドレイン間距離によりオン抵抗は高耐圧側で縦型に劣る。
 - 😞 動作時の発熱が表面に集中し放熱では不利、かつ熱破壊しやすい。
- SOA(Safe Operating Area: 安全動作領域)は異常動作時の壊れにくさを示す重要指標であるが縦型に対して大きく劣る場合が多い。

・GaNの物性と構造に起因する特性と横型のメリットにより、高周波&大出力信号増幅が実現。
また、電力変換においても横型の欠点を大幅に改善し高電圧&大出力に横型として初めて対応。

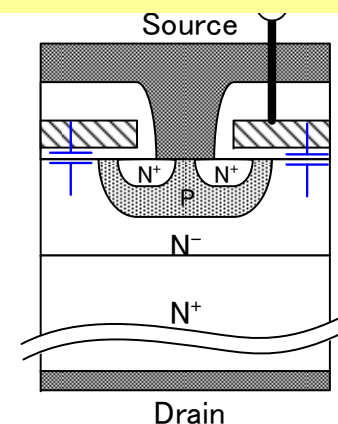
- ・信号増幅: 50V電源(耐圧約150V)、GHz領域の送信機用
- ・電力変換: 定格600V~700V、~数MHz領域の電力変換用



横型デバイスの一例



縦型デバイスの一例



5-2. GaNデバイス

<全般的状況>

当初SiCの次世代としての期待値から始まったが、様々な技術課題でしばらく停滞。その後2022年頃にGaN on siliconによるACアダプター等で市場が立ち上がり、以降順調に拡大。

また、最新の2035年予測でシリコン、SiCが下方修正されている中、GaNは約3.6倍の上方修正であり、市場の確実な成長が予測されている。

パワー半導体世界市場（億円）（株）富士経済の資料から再構成

	2018年資料			2019年資料			2020年資料			2021年資料			2022年資料			2023年資料			2024年資料		
	2017年 実績	2030年 予測	対2017年比 13年後	2018年 実績	2030年 予測	対2018年比 12年後	2019年 実績	2030年 予測	対2019年比 11年後	2020年 実績	2030年 予測	対2020年比 10年後	2021年 実績	2030年 予測	対2021年比 9年後	2022年 実績	2035年 予測	対2022年比 13年後	2023年 実績	2035年 予測	対2023年比 12年後
Si	26899	41778	1.55	29342	42567	1.45	28686	39821	1.39	27529	37981	1.38	20125	43118	2.14	25075	79817	3.18	27795	43178	1.55
SiC	275	2270	8.25	390	4230	10.85	436	2009	4.61	493	1859	3.77	756	9694	12.82	1707	53300	31.22	3870	31510	8.14
GaN	18	1300	72.22	18	1085	60.28	19	232	12.21	22	166	7.55	32	305	9.53	43	740	17.21	74	2674	36.14
Ga2O3	-	1450	-	-	1542	-	-	590	-	-	465	-	-	470	-	-	445	-	-	385	-
合計	27192	46798	1.72	29750	49424	1.66	29141	42652	1.46	28043	40471	1.44	20918	53587	2.56	26830	134302	5.01	31739	77747	2.45

参考資料:

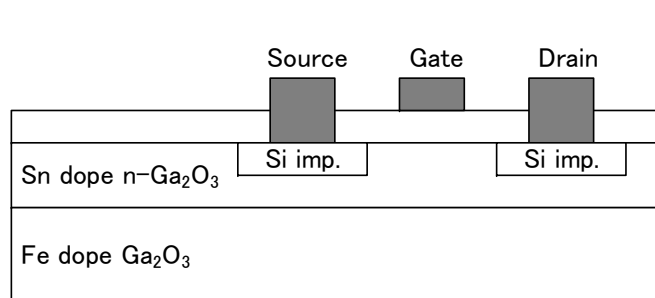
(株)富士経済 2018年3月 PRESS RELEASE 第18023号
https://www.fuji-keizai.co.jp/press/detail.html?cid=18023&view_type=1
 (株)富士経済 2019年6月 PRESS RELEASE 第19038号
https://www.fuji-keizai.co.jp/press/detail.html?cid=19038&view_type=1
 (株)富士経済 2020年6月 PRESS RELEASE 第20059号
https://www.fuji-keizai.co.jp/press/detail.html?cid=20059&view_type=1
 (株)富士経済 2021年6月 PRESS RELEASE 第21055号
https://www.fuji-keizai.co.jp/press/detail.html?cid=21055&view_type=1
 (株)富士経済 2022年5月 PRESS RELEASE 第22054号
https://www.fuji-keizai.co.jp/press/detail.html?cid=22054&view_type=1

(株)富士経済 2023年4月 PRESS RELEASE 第23040号
<https://www.fuji-keizai.co.jp/file.html?dir=press&file=23040.pdf&nocache>
 (株)富士経済 2024年2月 PRESS RELEASE 第24020号
<https://www.fuji-keizai.co.jp/press/detail.html?cid=24020>

5-3. Ga₂O₃デバイス

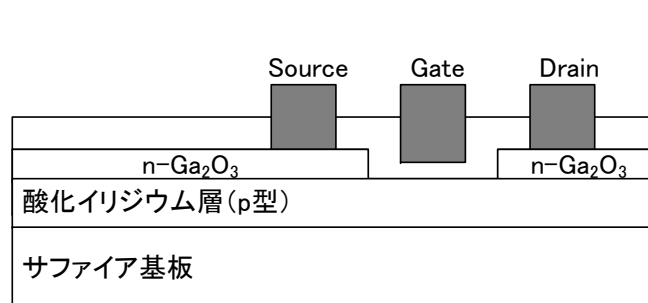
- ・まだサンプル出荷レベルであるが、WBG系で最も低い基板コストを達成できる可能性があり長期では市場形成が期待される。
- ・広いバンドギャップ電圧による狭いソースドレイン間距離と低抵抗N層で低オン抵抗&高耐圧を実現。HEMTが構成できない事と移動度が低い事から横型ではGaNに対する優位性に乏しい。このため最終的には縦型構造でSiCデバイスと競合していくと予想される。
- ・GaNと同じくバックゲート電位を固定するP層形成が困難。現状N層空乏化でオフとなるノーマリーオンデバイスになり、縦型化も困難(*)。
- ・極めて低い熱伝導率が大きな課題。薄板化&高熱伝導素材(金属)を裏面貼り付け等のアセンブリ技術の導入も検討されている。

(*)2018年に酸化イリジウムによるp型半導体によるノーマリーオフ化、N注入によるp型形成(抵抗が極めて高い)による縦型構造が報告され、製品適用に向けての基礎的な研究が着実に進んでいる。



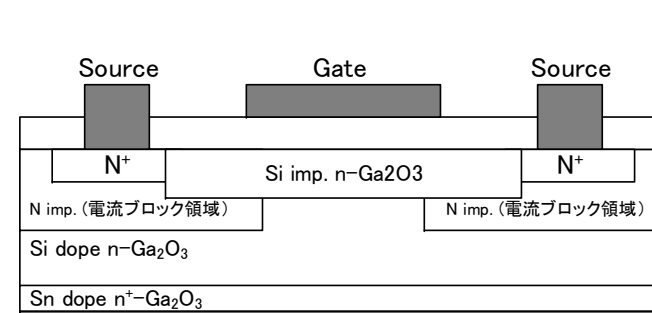
Ga₂O₃ MOSFET (Normally-on)

NICT (情報通信研究機構)
(世界初のトランジスタ 2013年)



Ga₂O₃ MOSFET (Normally-off)

FLOSFIA&京都大学 (2018年)



Ga₂O₃ MOSFET (Normally-on)

NICT、東京農工大 (2018年)

5-3. Ga₂O₃デバイス

<全般的状況>

基板メーカーは下記のノベルクリスタルテクノロジーかFLOSFIAが大半。デバイス研究は日本はこの2社自身のものが大半で、他には欧米、中国の大学。特に中国の大学はこの2～3年で急拡大し、現在世界で最も活発になっている。

<最近のトピックス>

国内

2011年3月:(株)FLOSFIA設立。Ga₂O₃基板メーカー。ミストドライ法による α -Ga₂O₃基板

2015年6月:(株)ノベルクリスタルテクノロジー設立。 β -Ga₂O₃基板メーカー

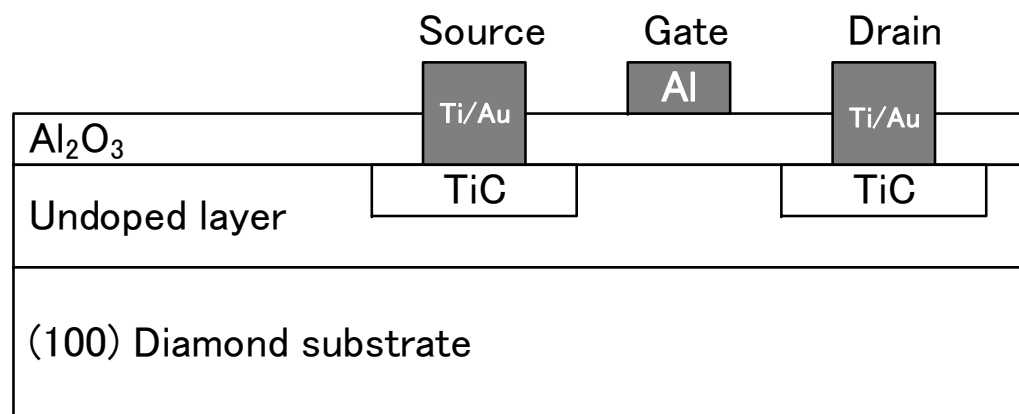
2023年7月:三菱電機がノベルクリスタルテクノロジーに出資

2024年10月:東北大学が新技術(*)でGa₂O₃ウェハの低コスト製造を目指したスタートアップ(FOX)を起業

(*):OCCC(Oxide Crystal growth from Cold Container)法 Ga₂O₃自体でるつぼ壁を形成する。従来はイリジウムを使用。

5-4. Diamondデバイス

- ・まだ研究段階であるが、WBG材料の中でバンドギャップ、熱伝導率ともに最も優れた値を持ち、理論的な性能は最も高い。
- ・高いバンドギャップ電圧による狭いソースドレイン間距離で高耐圧が達成され、高温動作にも強い。
- ・破壊モードは特定されていないが、GaNと同じくアバランシェ耐量は無く、アバランシェと同時にゲートも破壊する。
- ・界面に2次元ホールガスが形成されるためPchデバイスに限定され、かつゲート正バイアスにより2次元ホールガスを排除するノーマリーオンデバイスであるが、チャンネル部へのC-Si-O層導入によるノーマリーオフ化等の研究が進められている。
- ・GaN NchMOSFETとDiamond PchMOSFETによる高性能コンプリメンタリーCMOSも検討されている。



Diamond MOSFET

5-4. Diamondデバイス

<全般的状況>

基板メーカーは日本、欧米。デバイス開発は大学・研究機関が中心で日本が先行、欧米が追いつけ中。ただし、 Ga_2O_3 と同じく、中国の大学が今後急速に追いつけると予測。

<最近のトピックス>

国内

2022年3月：北海道大、産総研が中心となり大熊ダイヤモンド(株)設立。

2022年5月：佐賀大作製のダイヤモンドパワー半導体、出力電力875MW/cm²を達成

2022年8月：パワーダイヤモンドシステムズ(PDS)設立(早稲田大学発ベンチャー)

2023年4月：Orbray(旧：アダマンド並木)が直径2インチ超高純度ダイヤモンドウェハの量産に成功

2023年4月：佐賀大が世界初でダイヤモンド半導体パワー回路にて高速スイッチング、長時間連続動作を実証

2023年5月：ミライズテクノロジーズがOrbray(旧：アダマンド並木)と共同研究を開始。共同研究期間の3年間で、

ダイヤモンド基板開発、縦型パワーデバイスの構造設計、特性評価などを手掛ける。

2023年8月：PDSは北九州 R&D センターを北九州学術研究都市(北九州市)に設置、九州工業大学と共同研究を開始。

2024年10月：大熊ダイヤモンド(株)がダイヤモンド半導体工場の建設に向けて40億円を調達。

2025年4月：ダイヤモンド半導体工場建設開始

海外

2015年 : (独)Audiatec設立ダイヤモンド基板メーカー。Heteroepitaxy of diamond on Ir/YSZ/Siで直径100mmを実現。

2022年11月 : (米)DIAMOND FOUNDRYがAudiatecを買収。

6-1. オン抵抗

<MOSFET>

- ・オン抵抗はチップ面積に反比例するため、対象チップのオン抵抗×チップ面積で規格化され、一般に $R_{on,sp}$ (Specific On Resistance) と記載され、単位は Ωcm^2 等が使われている。
- ・MOSFETのようなシングルキャリアデバイスの場合、オフ状態では耐圧を保持するN層に直角三角形状の電界が形成され、オン状態でN層の抵抗値が下限となり、以下の解析式で表現され、これらは一般的に Silicon limit、SiC limit と呼ばれている。
- ・シリコン、SiCでは物性値を反映した係数 A が知られており、 A の大きさを反映してシリコンとSiCで大きな性能差が生じる。
- ・ $R_{on,sp}$ は耐圧 V_{BD} の2.5乗に比例して上昇する。

$$R_{on,sp}(\text{Si}) \geq \frac{2}{\epsilon_{Si} \mu_{Si}} A_{Si}^{\frac{1}{2}} V_{BD}^{\frac{5}{2}} \approx 6.07 \times 10^{-9} V_{BD}^{\frac{5}{2}} \quad A_{Si}: 1.8 \times 10^{-35}$$

$$R_{on,sp}(\text{SiC}) \geq \frac{2}{\epsilon_{SiC} \mu_{SiC}} A_{SiC}^{\frac{1}{2}} V_{BD}^{\frac{5}{2}} \approx 4.65 \times 10^{-12} V_{BD}^{\frac{5}{2}} \quad A_{SiC}: 3.9 \times 10^{-42}$$

A : Impact ionization coefficient by Fulop

μ : electron mobility ϵ : dielectric constant

V_{BD} : Breakdown voltage

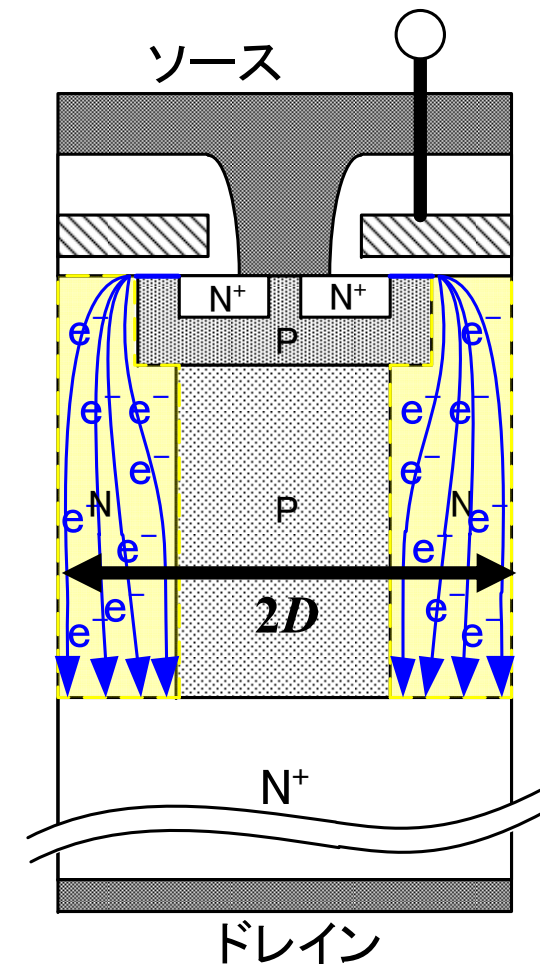
6-1. オン抵抗

<SJ-MOSFET>

- ・ Super Junction構造の場合、 A 、 β 、の物性値以外にN/Pストライプの単位長 D の影響も受ける。
- ・ β は臨界電界に達した時の単位面積当たりの電荷量の概算値。
- ・ $R_{on,sp}$ は耐圧 V_{BD} の約1.2乗に比例して上昇し、通常の構造より耐圧の影響が小さい。

$$R_{on,sp}(SJ) \geq \frac{D}{q \mu \beta} A^{\frac{1}{6}} V_{BD}^{\frac{7}{6}}$$

μ (cm ² /(V·s))	: 1443 (silicon), 1000 (SiC)
β (cm ⁻²)	: 1×10^{12} (silicon), 7.47×10^{12} (SiC)
D (cm)	: Unit length of Super Junction
A	: 1.8×10^{-35} (silicon), 3.9×10^{-42} (SiC)



6-1. オン抵抗

<IGBT>

- ・IGBTはN層が電導度変調により大幅に低抵抗化するが、N層両端に接合順バイアス電圧が生じる。
- ・オン抵抗の下限は、表面のチャネル構造を削除しN⁺層のみとしたPiNダイオードの順バイアス電圧に相当し、かつキャリア分布一定という仮定の下で、最小値は以下の解析式で表現される。

PiNダイオード順バイアス電圧の最小値

$$V_{mlim} = \frac{2kT}{q} + \frac{2kT}{q} \ln \frac{q d F}{k T n_i (\mu_p + \mu_n)}$$

- ・N層に直角三角形形状の電界を仮定すると、 d と耐圧 V_{BD} との関係が得られ、そこから $R_{on,sp}$ において Ln 関数の中に耐圧 V_{BD} の約1.2乗が入るとなり、これは耐圧の影響が極めて小さい。また、WBGデバイスでは n_i が極めて小さくなるため、この値はシリコンデバイスより逆に大きくなってしまう。

Silicon/SiC Bipolar limit

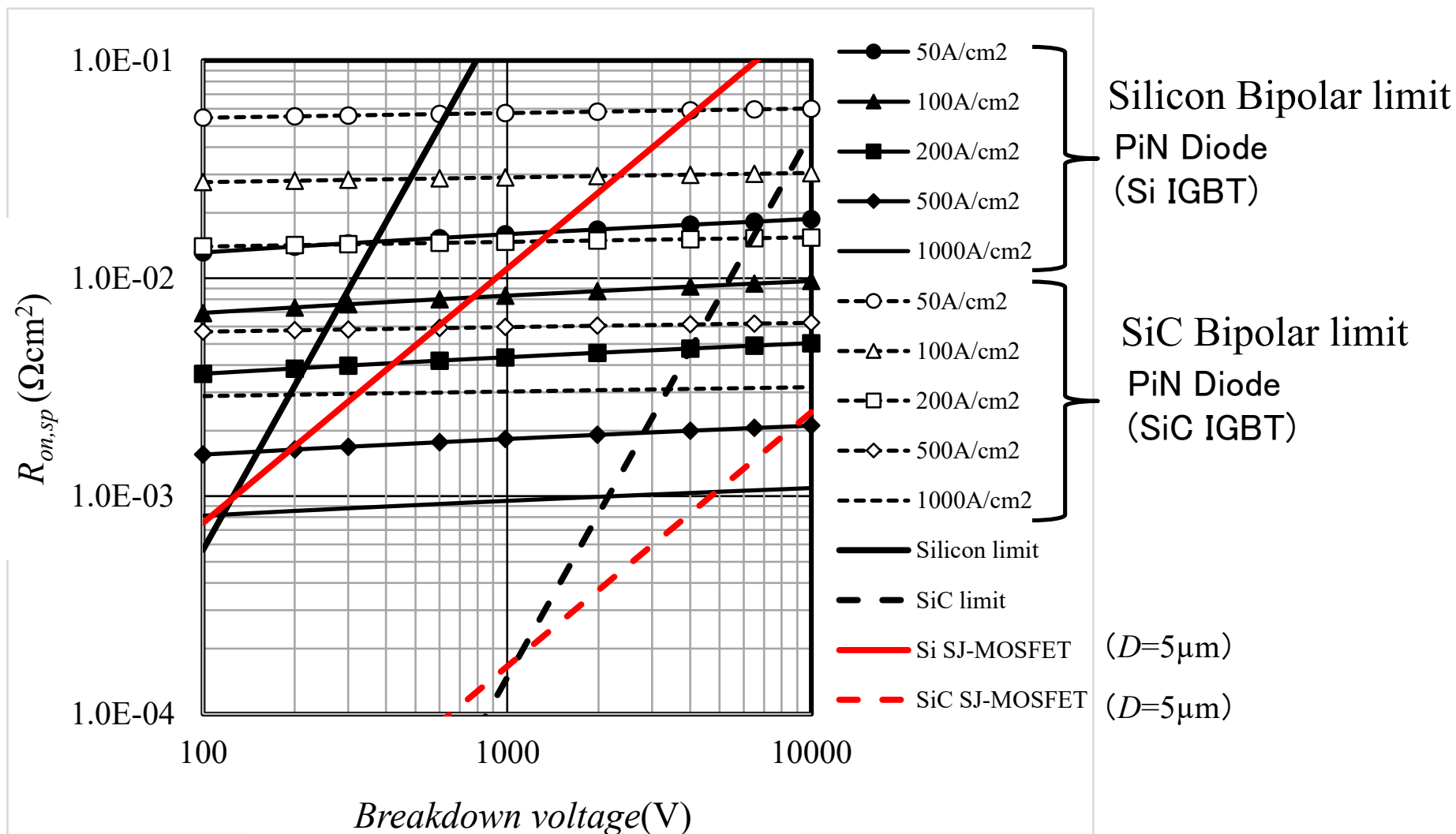
$$R_{on,sp}(PiN) = \frac{2kT}{qJ} \left[1 + \ln \left(\frac{J}{kT n_i (\mu_p + \mu_n)} 2^{-\frac{1}{3}} A^{\frac{1}{6}} V_{BD}^{\frac{7}{6}} \right) \right] \quad d = 2^{-\frac{1}{3}} A^{\frac{1}{6}} V_{BD}^{\frac{7}{6}}$$

n_i (cm ⁻²)	: 1.45×10^{10} (silicon), 8.2×10^{-9} (SiC)
μ_n (cm ² /(V·s))	: 1443 (silicon), 1000 (SiC)
μ_p (cm ² /(V·s))	: 484 (silicon), 115 (SiC)
A	: 1.8×10^{-35} (silicon), 3.9×10^{-42} (SiC)
J (A/cm ²)	: ($=qF$) Current density

d : N層の長さ/2
 V_{BD} : 耐圧

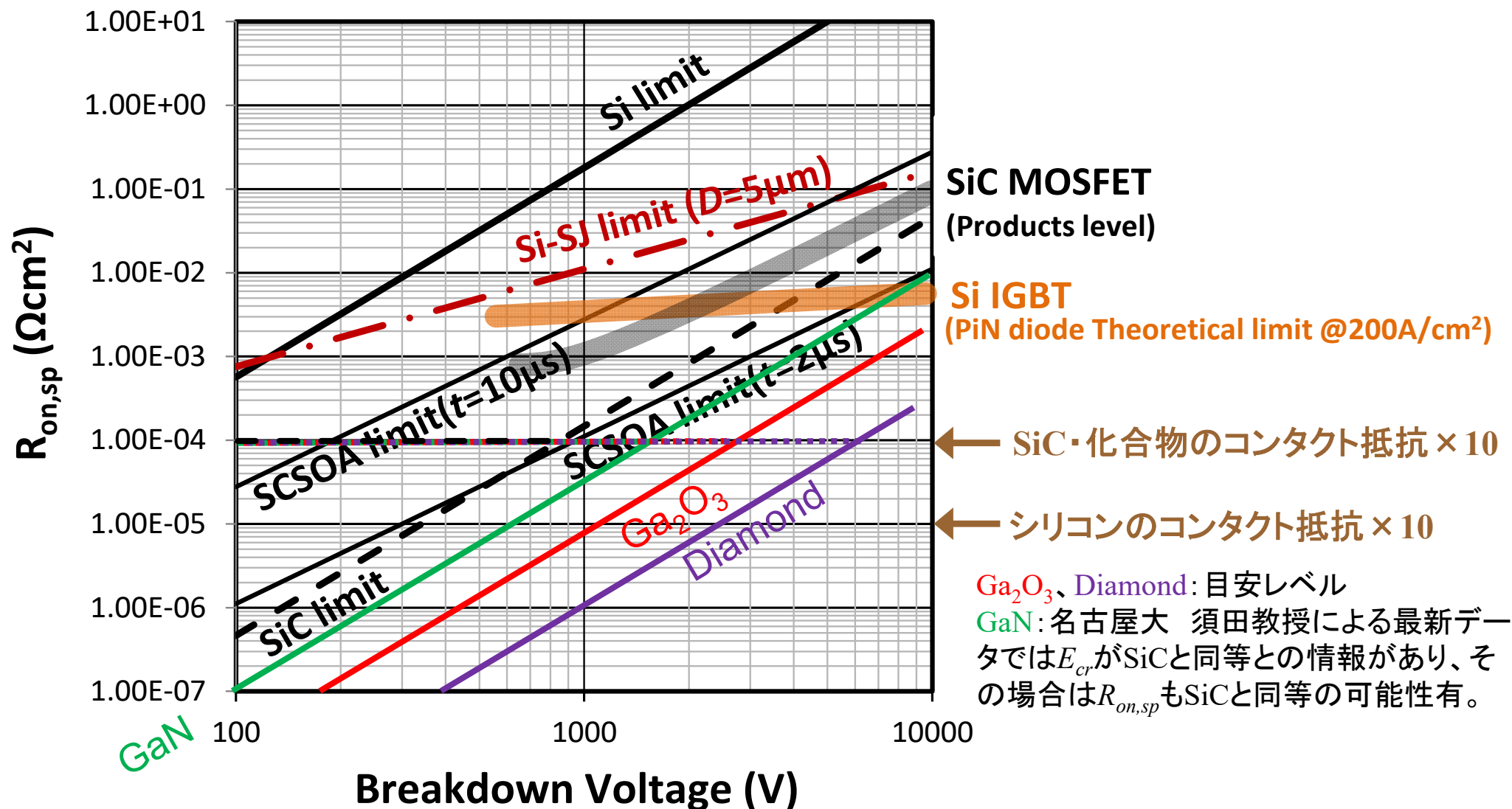
6-1. オン抵抗

- ・IGBTはexp関数的な特性から高電流密度ほど低抵抗になる。ただし、熱的成立性は別途考慮要。
- ・IGBTは同一電流密度であればSiCよりシリコンが優れている。
- ・MOSFETではSiCはシリコンに対して物性差によるアドバンテージが明白であるが、高耐圧側でシリコンIGBTが善戦する。
- ・SiC SJ-MOSFETの理論限界は非常に高い。



6-1. オン抵抗

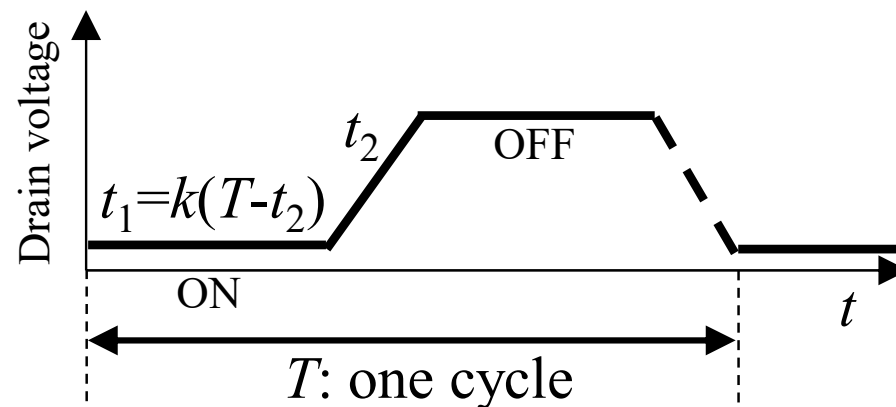
化合物系パワーデバイスの優位は明確であるが、そのコンタクト抵抗は一般にシリコンより1桁以上高く、実デバイスのコンタクト面積比率(約10%以下)を考慮すると以下の点線のような限界が発生。本来の性能を得るにはコンタクト抵抗の削減が極めて重要になってくる。



6-2. 総合性能

- ・スイッチング1サイクルでのロスをシンプルにモデル化したもので概算。
- ・MOSFETのターンオフロス下限値はpn接合が逆バイアスされる際に蓄積される静電エネルギーになる。ただしこのエネルギーは次のターンオン時のタイミングで熱として消費される。IGBTのターンオフロスにはpn接合が逆バイアスされると同時に流れているホール電流分の発熱が大半を占める。一方ターンオンロスにはゲート駆動条件等の外部条件に依存する部分が大きいため、スイッチングロス下限値としてはターンオフロスの下限値で見積もる。

I	(A)	: Operation current
S	(cm ²)	: Chip area
Q	(C/cm ²)	: Charge density
R	(Ωcm ²)	: Specific on resistance
E	(J/cm ²)	: Switching loss of unit area
W	(W)	: Power loss
k		: On time ratio
W_{pk}	(W/cm ²)	: Equivalent cooling performance calculated from rated current density of power chip



W is defined as the function of S.

DCロス

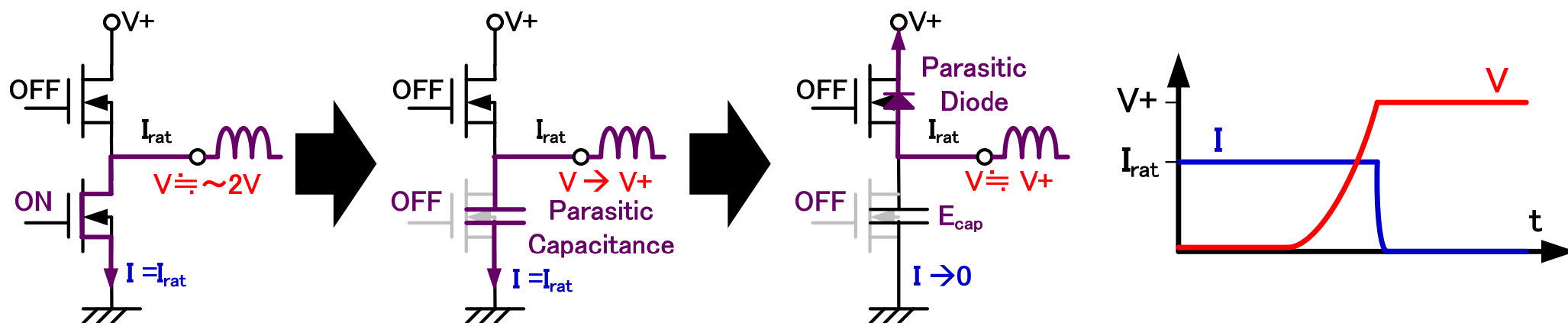
$$W = \frac{RI^2 (T - t_2) k}{S} + \frac{ES}{T} \quad t_2 = \frac{SQ}{I} \quad f = \frac{1}{T}$$

$$W = \frac{kRI^2}{S} - kRQfI + ESf \quad \text{Turn-offロス}$$

6-2. 総合性能

ターンオフロス

・MOSFET(伝導度変調無し): ターンオフに伴い空乏化したN層に静電エネルギー(E_{cap} (J/cm²))が蓄えられる。これはコンデンサーへの充電動作に相当し、これが後のターンオンで発熱として消費される。よって、このコンデンサーに蓄えられた静電エネルギーが理論的なターンオフロスの下限値になる。



・IGBT(電導度変調有り): 上記の静電エネルギーに加え、IGBTではターンオフ時に空乏層を横切ってホール電流が流れる成分がある。これは上記のコンデンサーに大量のリーク電流が発生している状況と同じであり、ターンオフ過程で大きな発熱を生む。この成分は静電エネルギーより大幅に大きく、ターンオフロスの大半を占める。

→最新トレンド: 通常のゲートに加え、表面あるいは裏面に第二のMOSFETを設け、この第二ゲートをターンオフの前にスイッチしてホールを減少させてから、本来のゲートでターンオフする事でターンオフロスを大幅削減する技術報告が増えてきている。デバイス構造と制御ICの両方でコスト増要因はあるが、通常構造と動作において理論限界に達しつつあるIGBTをさらに飛躍させ、IGBTの究極の性能を実現するものとして研究・開発が活発に続けられている。

6-2. 総合性能

<最大出力電流密度(I/S)>

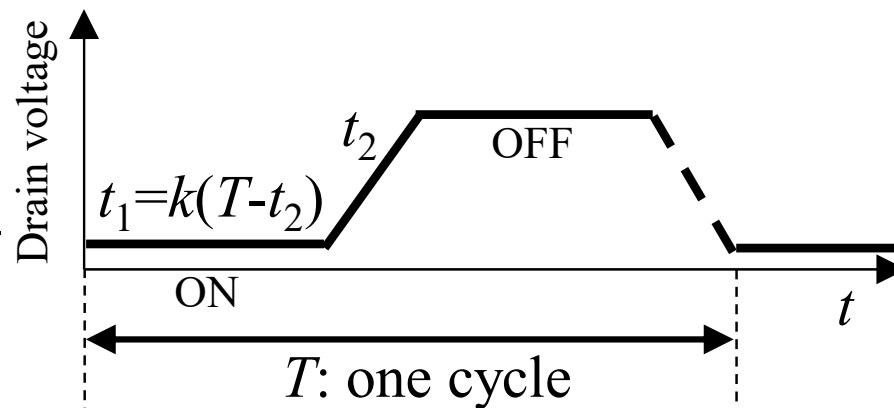
- ・電力変換機器では放熱限界を考慮した最大出力電流密度が最も現実的な性能指標と考えられる。
- ・先の式を一定の放熱限界 $W_{pk}(=W/S)$ の条件で変形すると出力電流密度の二次関数となる。

W is defined as the function of S .

DCロス

$$W = \frac{RI^2}{S} \frac{(T - t_2)k}{T} + \frac{ES}{T} \quad t_2 = \frac{SQ}{I} \quad f = \frac{1}{T}$$

$$W = \frac{kRI^2}{S} - kRQfI + ESf \quad \text{Turn-offロス}$$



W/S is the quadratic function of I/S .

$$\frac{kRI^2}{S^2} - \frac{kRQfI}{S} + Ef - \frac{W}{S} = 0$$

Therefore, I/S is defined as below equation by using W_{pk}

$$\frac{I}{S} = \frac{Qf}{2} + \sqrt{\frac{Q^2 f^2}{4} + \frac{1}{kR} (W_{pk} - Ef)} \quad \because W_{pk} = \frac{W}{S}$$

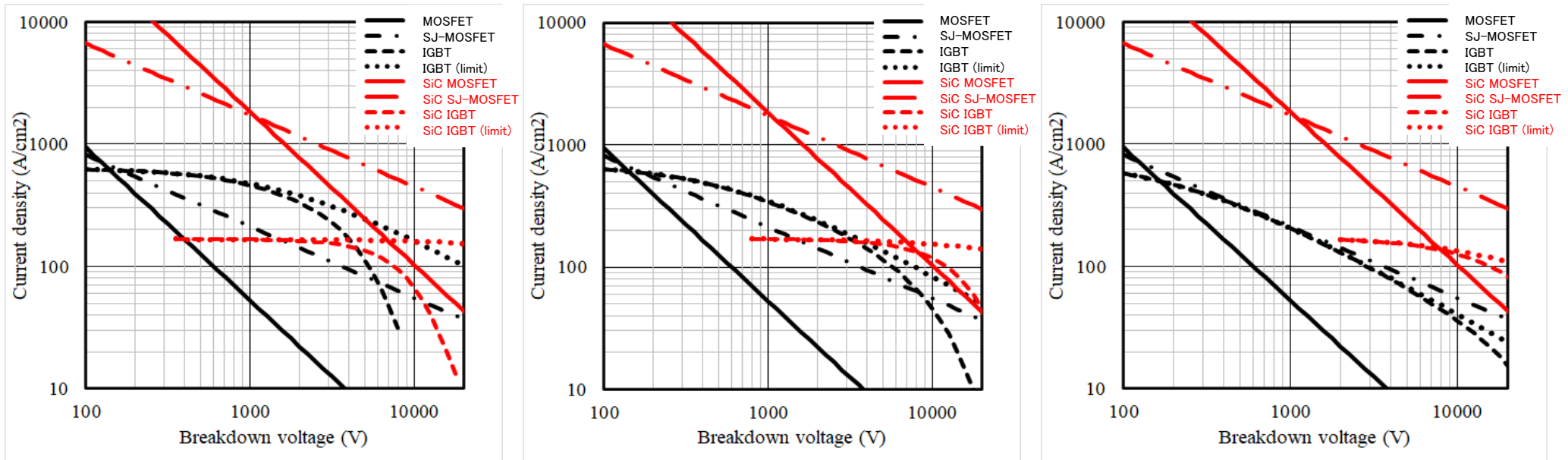
6-2. 総合性能

 最大出力電流密度(I/S)と耐圧の関係 500Hz動作時>

$$f=500\text{Hz } W_{pk}=250\text{W/cm}^2 \quad k=0.5$$

$$\text{SJ pitch}=10\mu\text{m}$$

W_{pk} の制限を設けそれが成立する電流密度における I/S を計算する。ここではIGBTは、その典型的な状況を理想化(キャリア濃度一定で動作しているPiNダイオード)し、電導度変調の違いを物理パラメータ($X''+Y''$)で比較している。



●点線 ●点線: ターンオフ前に電導度変調が終了している仮定

p^+ 濃度& n^+ 濃度: 高
 (電導度変調: 強 相当)

$$X'' + Y'' = 1\text{E-}15$$

$$X'' + Y'' = 1\text{E-}14$$

p^+ 濃度& n^+ 濃度: 低
 (電導度変調: 弱 相当)

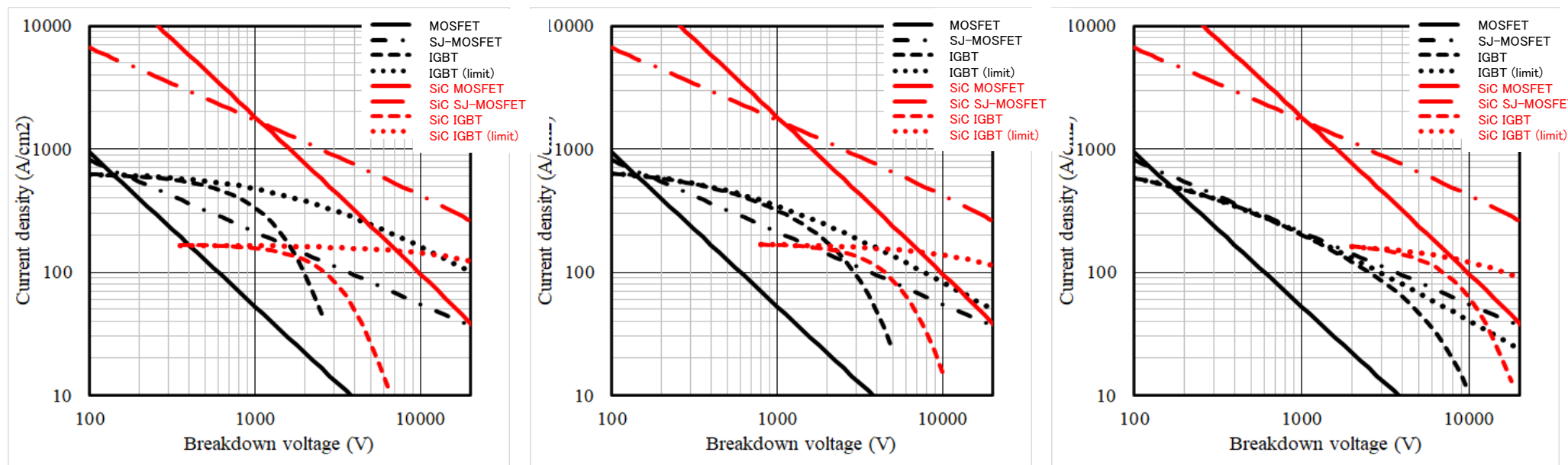
$$X'' + Y'' = 1\text{E-}13$$

6-2. 総合性能

最大出力電流密度(I/S)と耐圧の関係 5kHz動作時>

$$f=5\text{kHz } W_{pk}=250\text{W/cm}^2 \quad k=0.5 \\ \text{SJ pitch}=10\mu\text{m}$$

W_{pk} の制限を設けそれが成立する電流密度における I/S を計算する。ここではIGBTは、その典型的な状況を理想化(キャリア濃度一定で動作しているPiNダイオード)し、電導度変調の違いを物理パラメータ($X''+Y''$)で比較している。



●点線 ●点線: ターンオフ前に電導度変調が終了している仮定

p^+ 濃度& n^+ 濃度: 高
(電導度変調: 強 相当)
 $X'' + Y'' = 1\text{E-}15$

$X'' + Y'' = 1\text{E-}14$

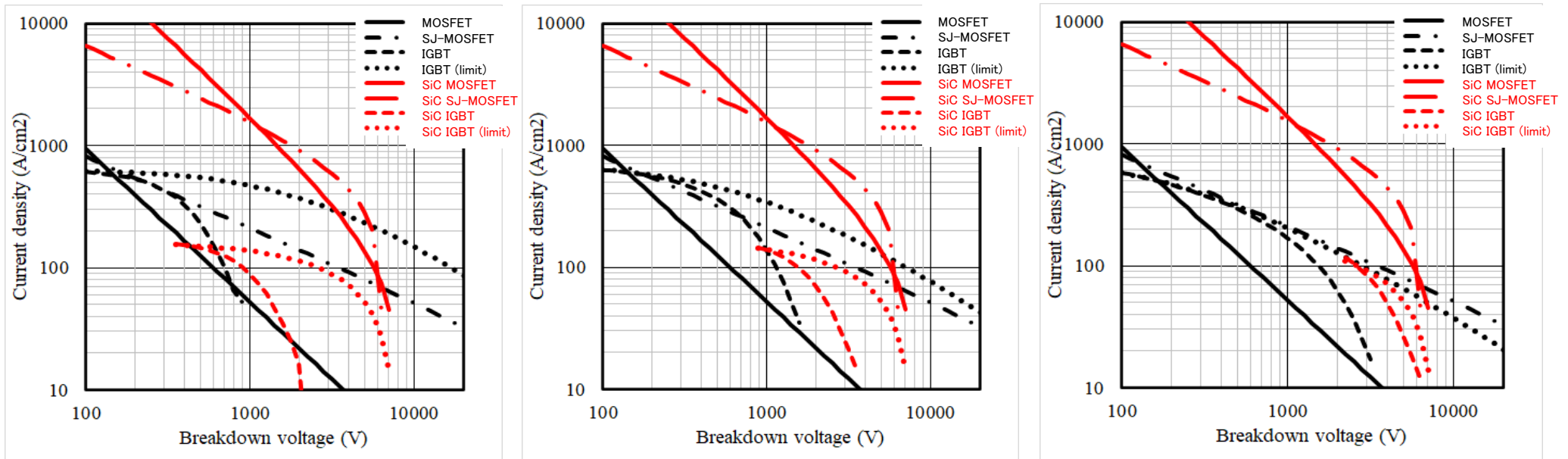
p^+ 濃度& n^+ 濃度: 低
(電導度変調: 弱 相当)
 $X'' + Y'' = 1\text{E-}13$

6-2. 総合性能

 最大出力電流密度(I/S)と耐圧の関係 50kHz動作時>

 $f=50\text{kHz}$ $W_{pk}=250\text{W/cm}^2$ $k=0.5$
 $\text{SJ pitch}=10\mu\text{m}$

W_{pk} の制限を設けそれが成立する電流密度における I/S を計算する。ここではIGBTは、その典型的な状況を理想化(キャリア濃度一定で動作しているPiNダイオード)し、電導度変調の違いを物理パラメータ($X''+Y''$)で比較している。



●点線 ●点線: ターンオフ前に電導度変調が終了している仮定

p^+ 濃度& n^+ 濃度: 高
 (電導度変調: 強 相当)

$$X'' + Y'' = 1\text{E-}15$$

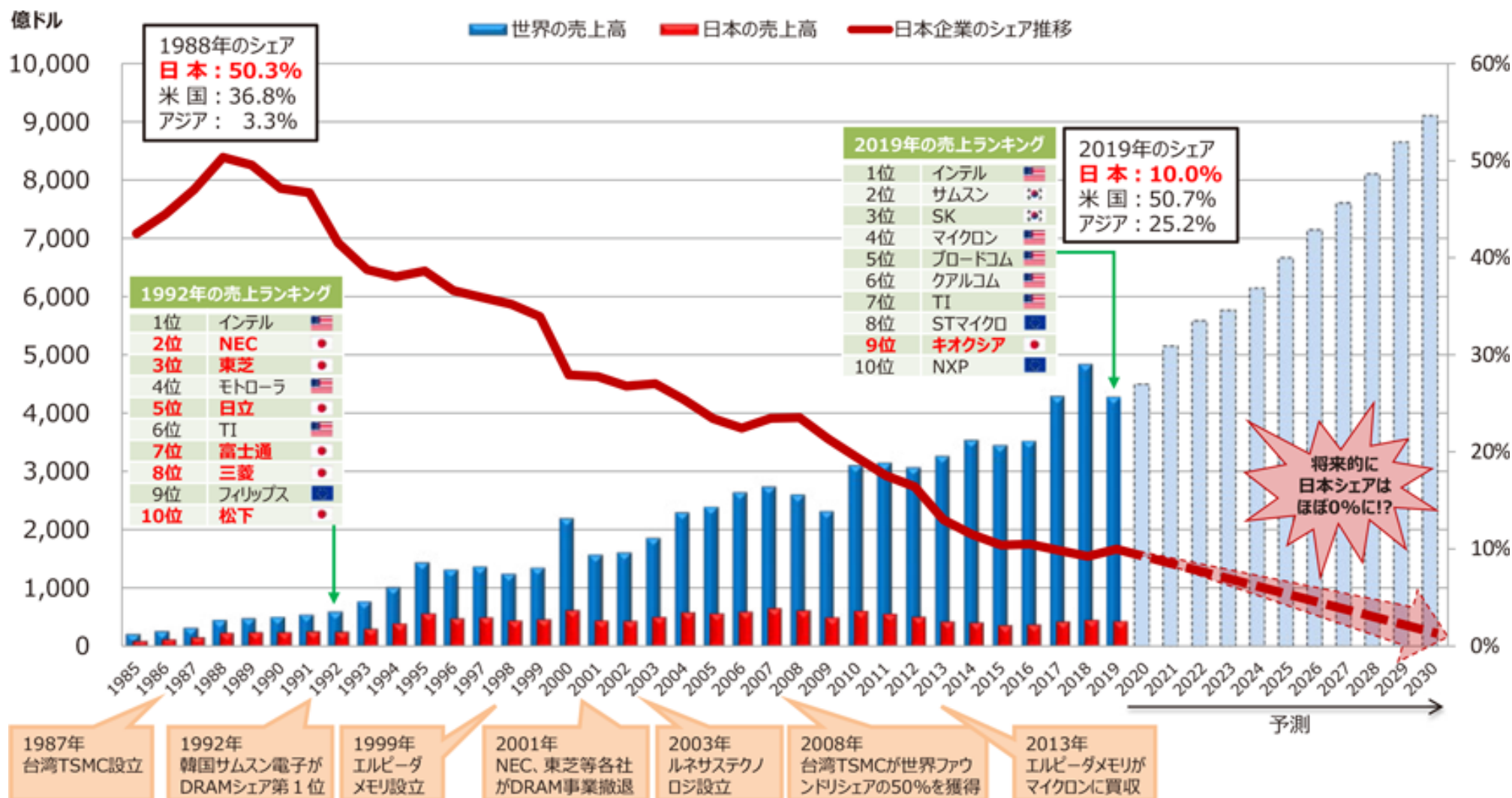
$$X'' + Y'' = 1\text{E-}14$$

p^+ 濃度& n^+ 濃度: 低
 (電導度変調: 弱 相当)

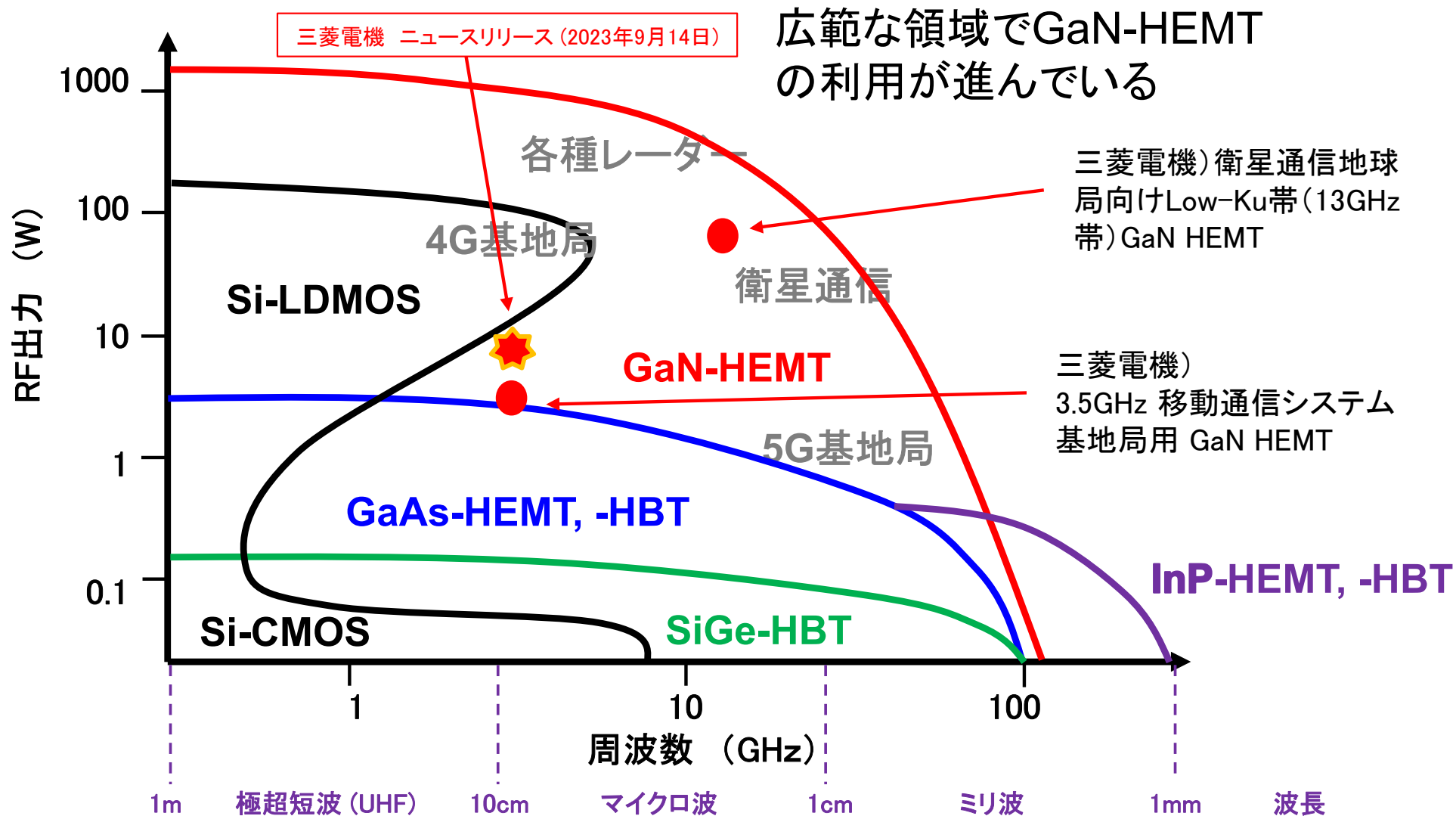
$$X'' + Y'' = 1\text{E-}13$$

半導体市場全体の長期トレンド

- ・WWでは拡大し続け、これらに電力供給するパワーデバイスも連動。
- ・拡大の主体はアジア(国内は飽和～微減方向)。国内企業の成長は海外市場攻略が必須。



信号増幅



三菱電機(株) GaN高周波デバイス

<https://www.mitsubishielectric.co.jp/semiconductors/products/hf/gantransistor/index.html> 参照

電力変換

モーター駆動回路動作と要求されること

- ・デバイスON/OFFに伴い大きな di/dt が発生。寄生 $L \cdot di/dt$ 等によるノイズの抑制は必須。
- ・体積は放熱の許す範囲で小さいほど良い。よって、チップ周辺の最適放熱設計と最適絶縁設計が必須。

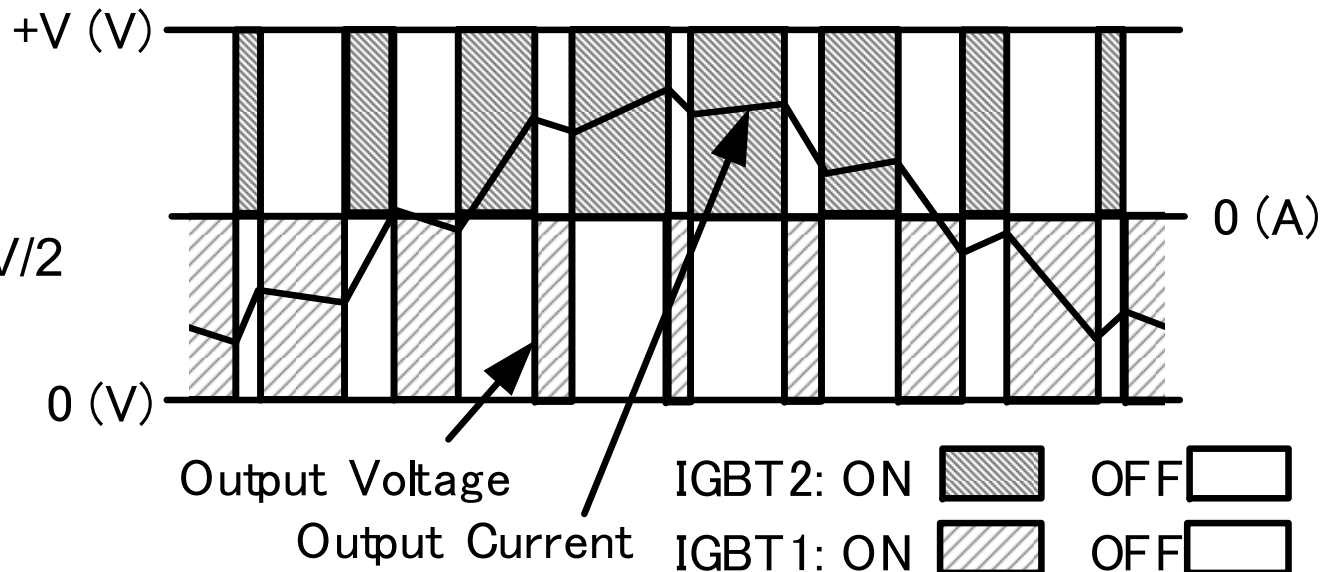
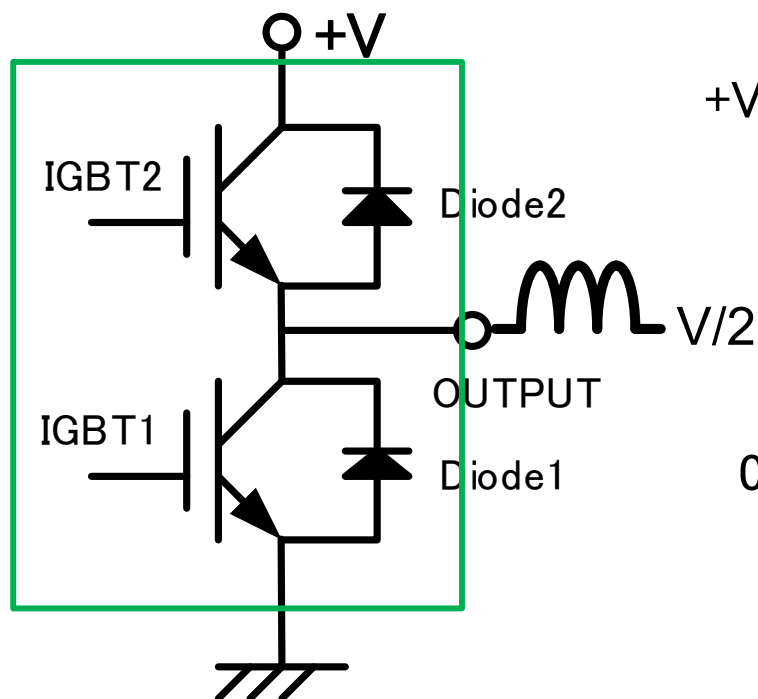
→電気特性、放熱特性、絶縁特性に加え、それぞれの信頼性を加えた4つの必須項目があり、これらをコンパクトに実現する事が望まれるが、これらは相互に関連しており顧客側で見出す事は極めて困難。

→モーター駆動回路を一体化 & 最適化(モジュール化)して製品化すると大きな価値が生まれる！

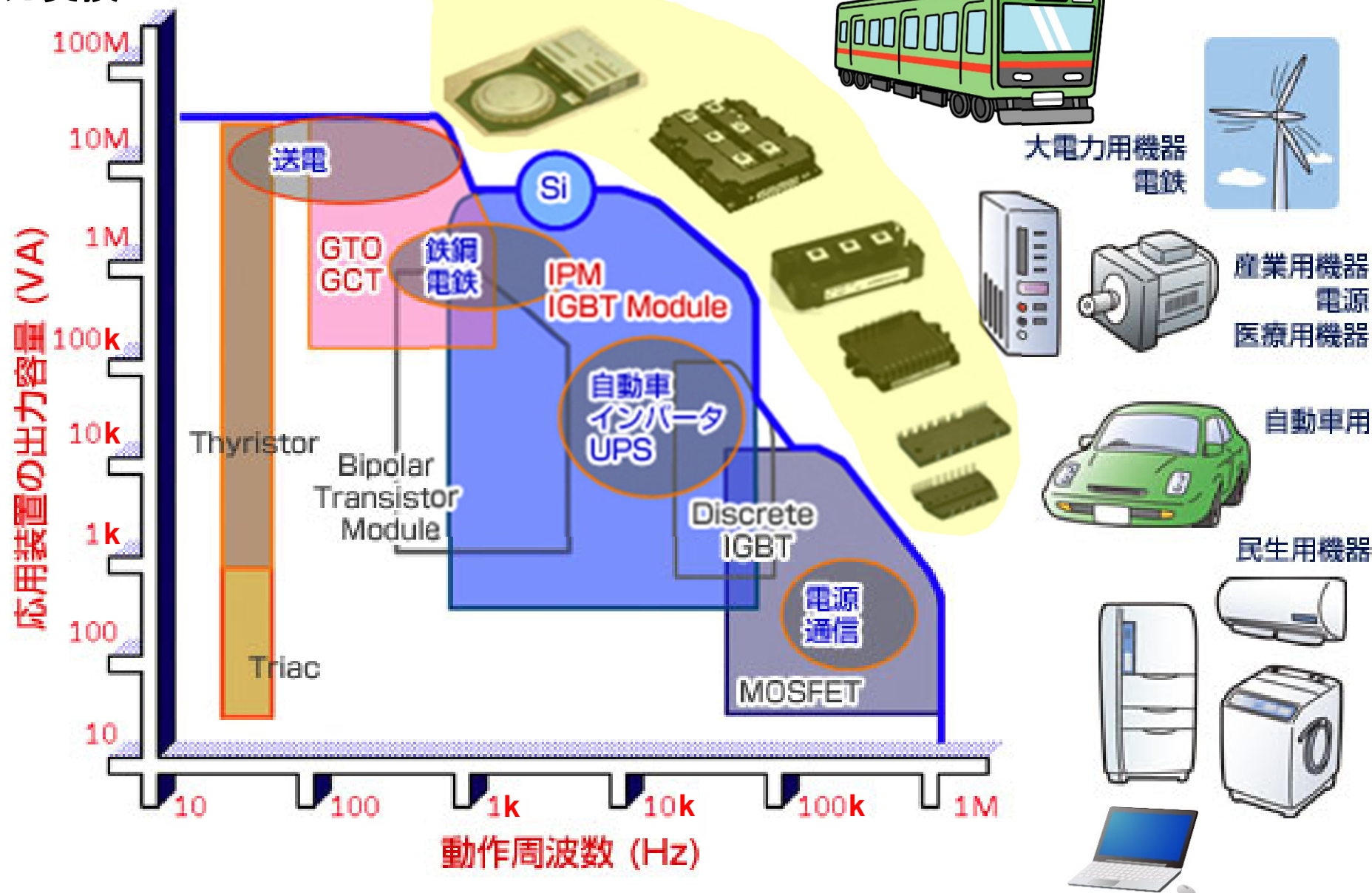
モーター駆動回路

OUTPUT: +V $L \cdot di/dt > 0$

OUTPUT: 0 $L \cdot di/dt < 0$



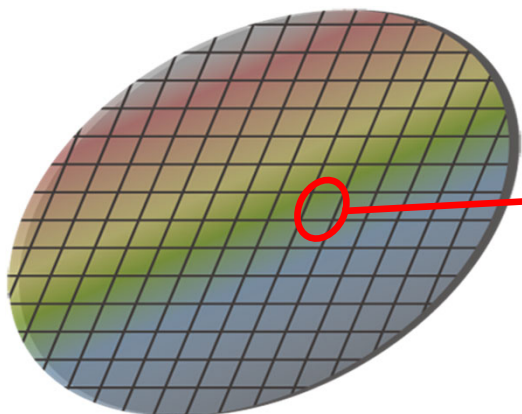
電力変換



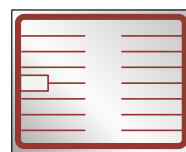
発電所レベル～家電レベルまで幅広くパワーモジュールが使われる。

電力変換

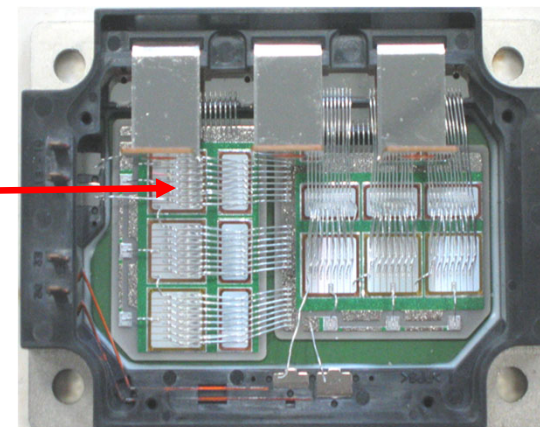
- ・シリコンパワー半導体の主力であるIGBTはドイツと日本がシェアの上位を占める。
- ・IGBT売り上げの半分以上がパワーモジュール。用途に応じて様々な形態有。



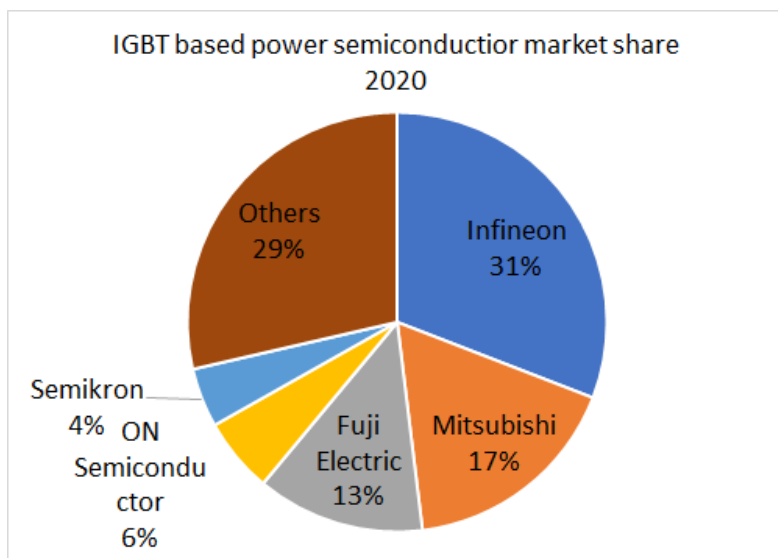
ウェハ



IGBTチップ



モジュール内部の一例
IGBTとダイオードが絶縁放熱基板上に
配置され相互接続されている



(シリコン/SiC/GaN)

耐圧クラス	領域	電力変換		信号増幅 (~100GHz)
		電源	モータードライブ	
~300V	: PC/民生	Si-MOSFET	Si-MOSFET	Si/GaAsパワーデバイス GaN パワーデバイス
~600V	: 民生	Si-SJMOSFET SiC-MOSFET GaN パワーデバイス*3	Si-IGBT SiC-MOSFET GaN パワーデバイス*3	
~1200V	: 産業/車載	Si-IGBT SiC-MOSFET GaN パワーデバイス*3	Si-IGBT SiC-MOSFET	
~6500V	: 鉄道/電力	Si-IGBT SiC-MOSFET *1	Si-IGBT SiC-MOSFET *1	
~10kV	: 電力	サイリスタ/GTO/GCT SiC-MOSFET *1	下線有:これから製品化されていく領域 *1 : SJ化で性能向上 *2 : SJ化、IGBT化で性能向上 *3 : Siデバイスとのカスコード接続も含む	
10kV~	: 電力	サイリスタ/GTO/GCT		

＜シリコン基板＞

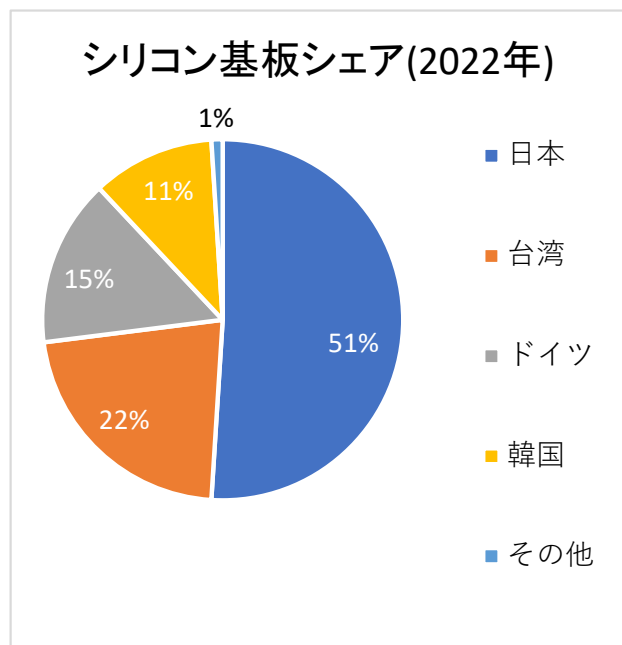
国内2社の信越半導体とSUMCOが世界的にも大きなシェアを獲得。

＜SiC基板＞

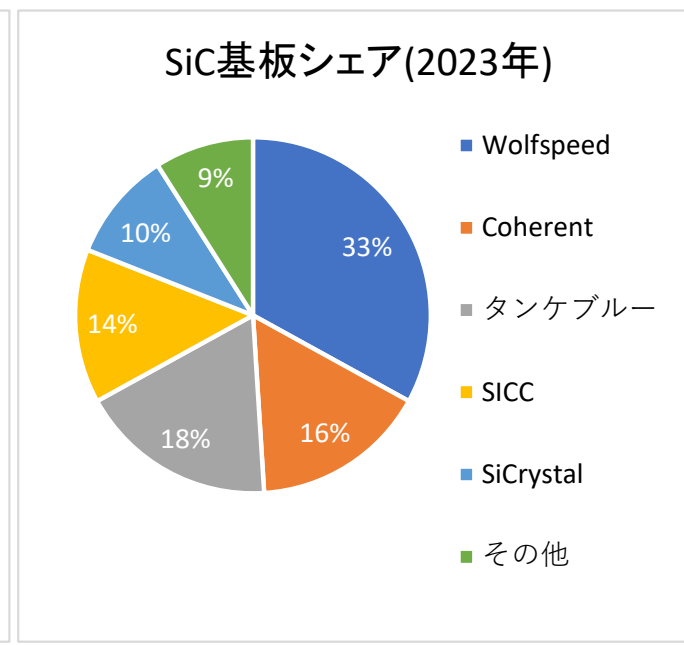
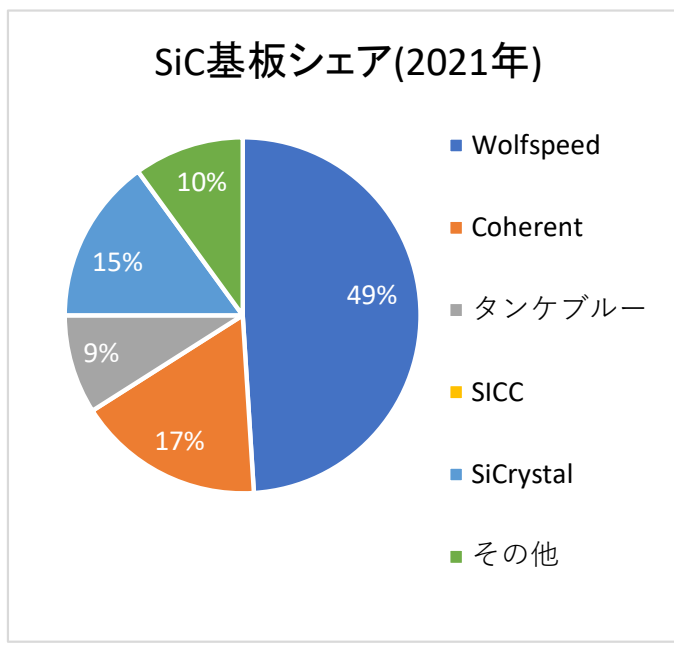
米国Wolfspeed(旧CREE)が先頭を走っており、8ゆ化も先導。ただし2位以下にCoherent(旧Ⅱ-VI)をはじめとして多くの会社が存在し、近年では中国企業が急増。日本はROHm(SiCrystal)が約10%、RESONAC(旧昭和電工)が約2%を占めている。

最新状況: 中国企業の急速な品質向上とEV市場減速停滞でWolfspeedが倒産危機(2025年5月)。現在再建計画を議論中。

シリコン基板のシェア(2022年)
市場規模 2.0兆円

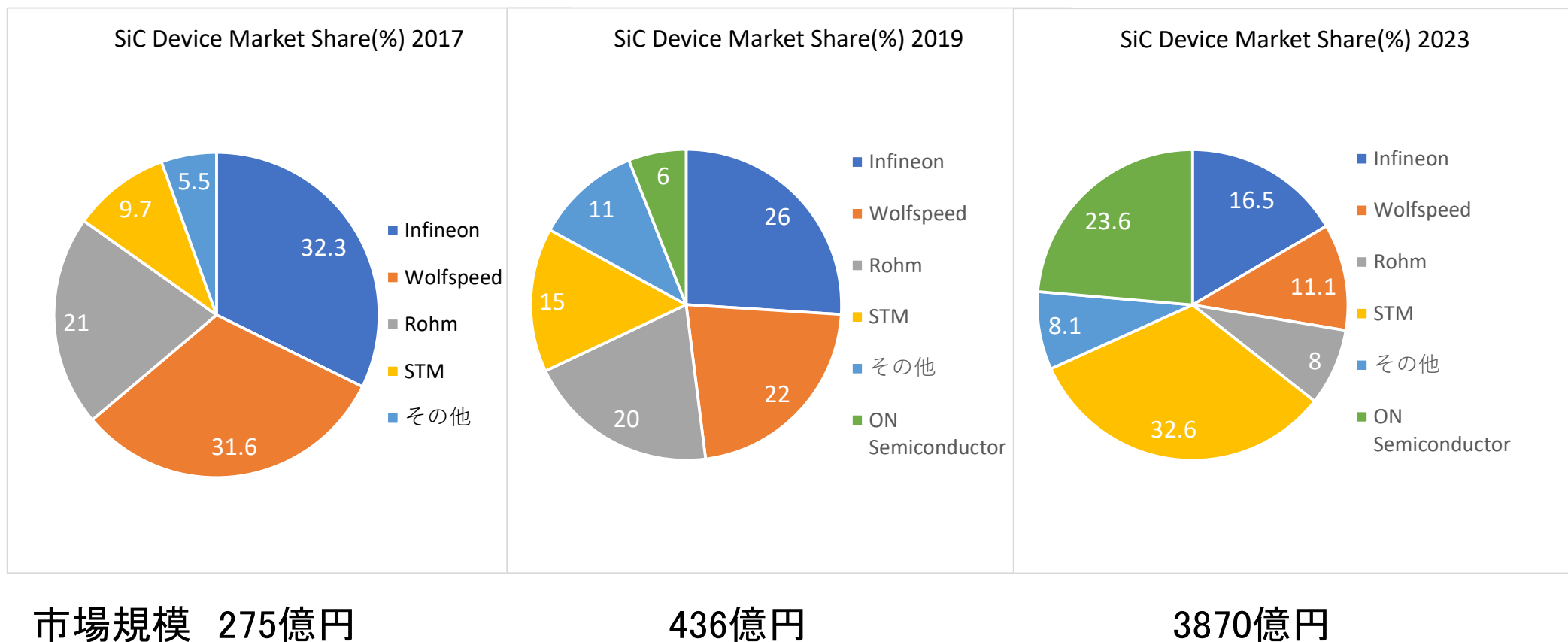


SiC基板のシェア
市場規模 126億円(2021年)



<SiCデバイス>

- ・現時点でEV用を主力としているSTmicro、オンセミのシェアが拡大。しかしSiC市場全体が急拡大している中、用途別の状況次第で今後も予断を許さない状況にある。
- ・シリコンパワーデバイスでは日本企業はトップグループであるが、SiCパワーデバイスでは米、独メーカーの先行を許している。



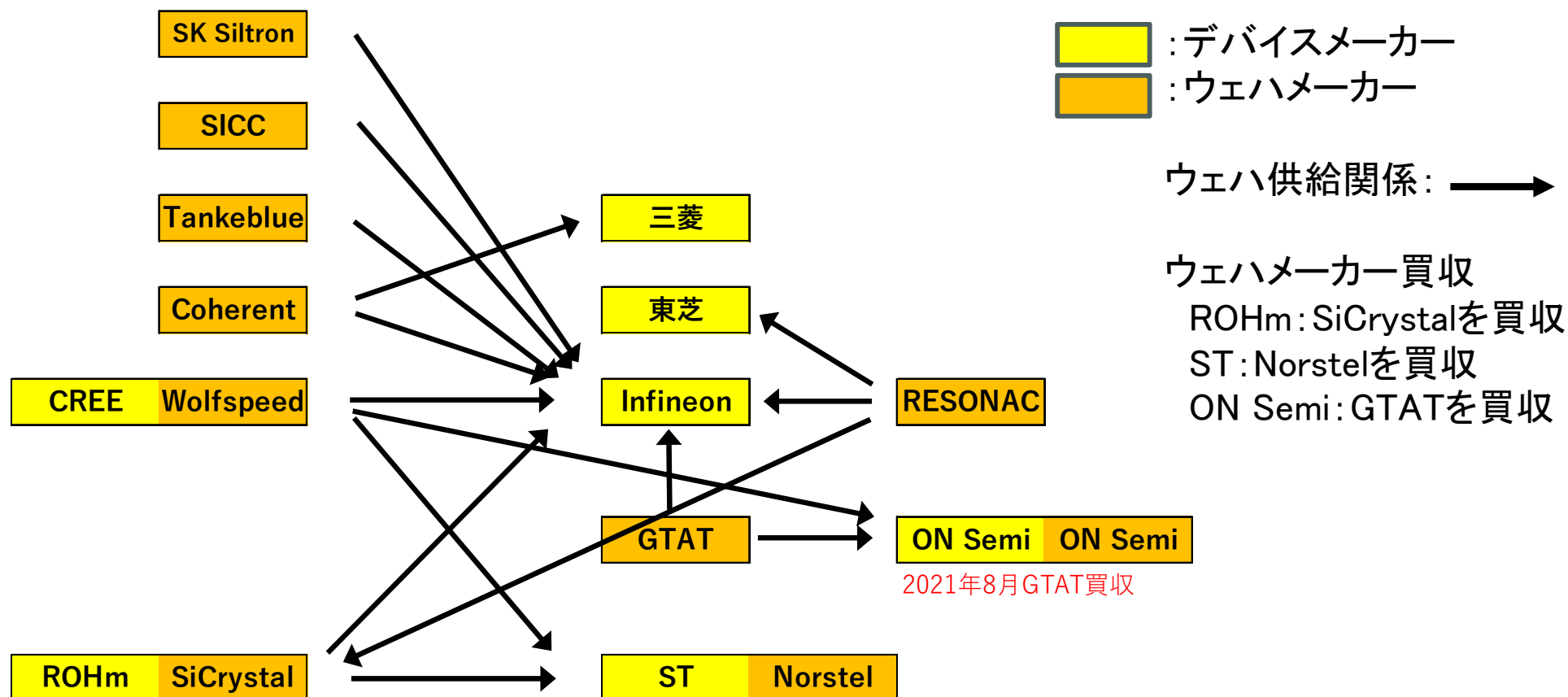
<SiCウェハ>

コスト問題: SiC基板成長で量産化を達成しているのは昇華法のみであるが、シリコンのCZ法等と比べて成長速度が圧倒的に遅く、1万円/インチを切る事は極めて困難な状況にある。さらに、SiC基板は数100個/cm²レベルの欠陥があり、それをSiCエピ成長で消去、エピ表面で数個/cm²まで下げる事で実用的な歩留まりを得ている。したがってエピ成長(1万円/μmレベル)が上乗せされる事も避けられない。

供給問題: SiC供給不足等の対応としてデバイスメーカーと長期供給契約を結んだり、デバイスメーカーに買収される動きが顕著。

最新状況: 中国企業の急速な品質向上とEV市場減速停滞でWolfspeedが倒産危機(2025年5月)。

現在再建計画を議論中。

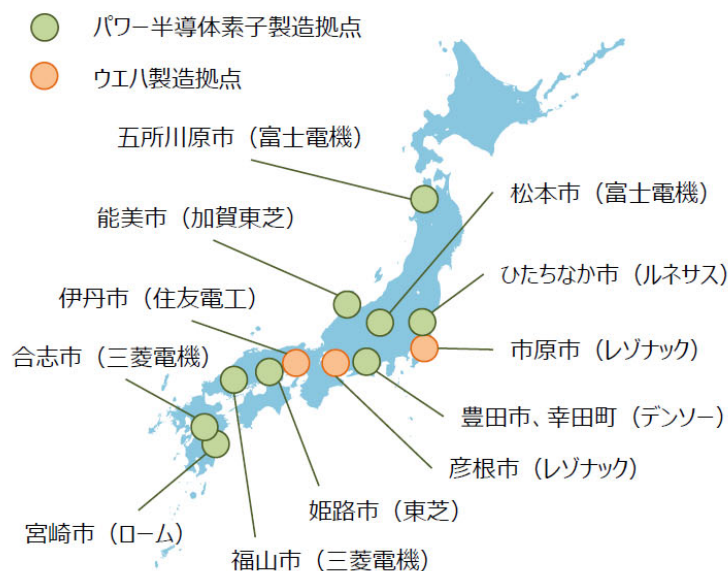


「半導体・デジタル産業戦略の現状と今後」 経産省 令和5年11月29日 より

(参考) 日本列島をパワー半導体の世界拠点に

- パワー半導体は、電子機器等の電圧制御等を担う半導体。電動車などの世界的なグリーン投資の後押しで、特に省エネ性能に優れたSiCパワー半導体を中心に、今後も需要は拡大する見込み。
- 日本では、国内企業が複数社でシェアを分け合い、個社単位ではシェア1位（27%）のインフィニオン（独）に大きく劣後。
- 激化する国際競争を勝ち抜くため、個社の技術的優位性を活かしつつ、国内での連携・再編を図ることで、日本全体としてパワー半導体の競争力を向上する必要がある。

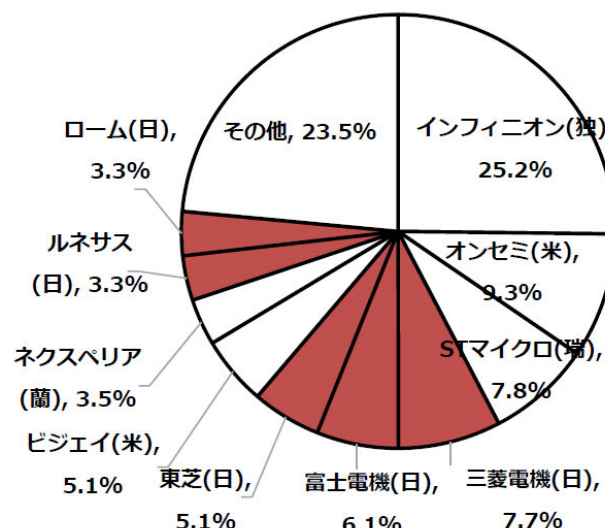
➡ 今後、グローバルにおいて、日本を欧州・米国と並ぶ世界の第三極の拠点とすることを目指す。



（出所）各社公表資料をもとに、経産省作成

パワー半導体の世界シェア

（2021年、189億米ドル）



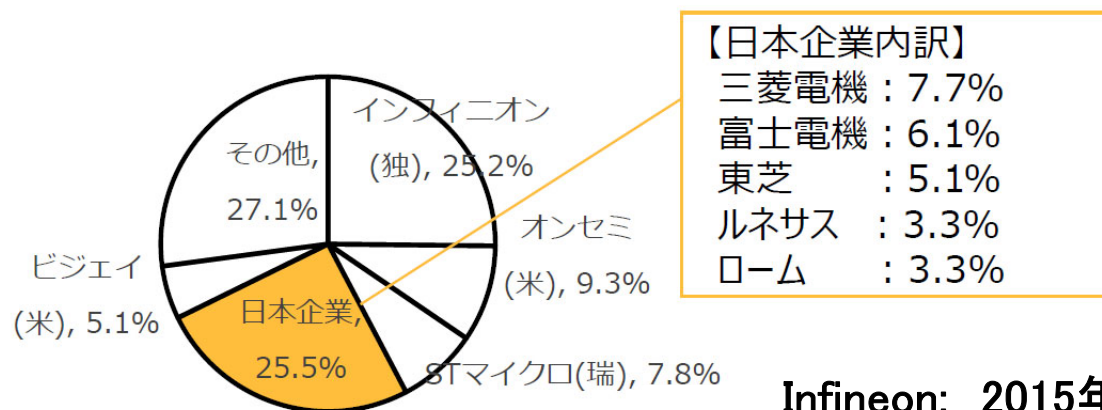
日本全体では20%以上のシェアを占めるが、個社では10%にも満たない

リソースを有効活用しながら投資の規模とスピードを確保した競争力強化の必要性

（出所）OMDIA 2022年をもとに経産省作成

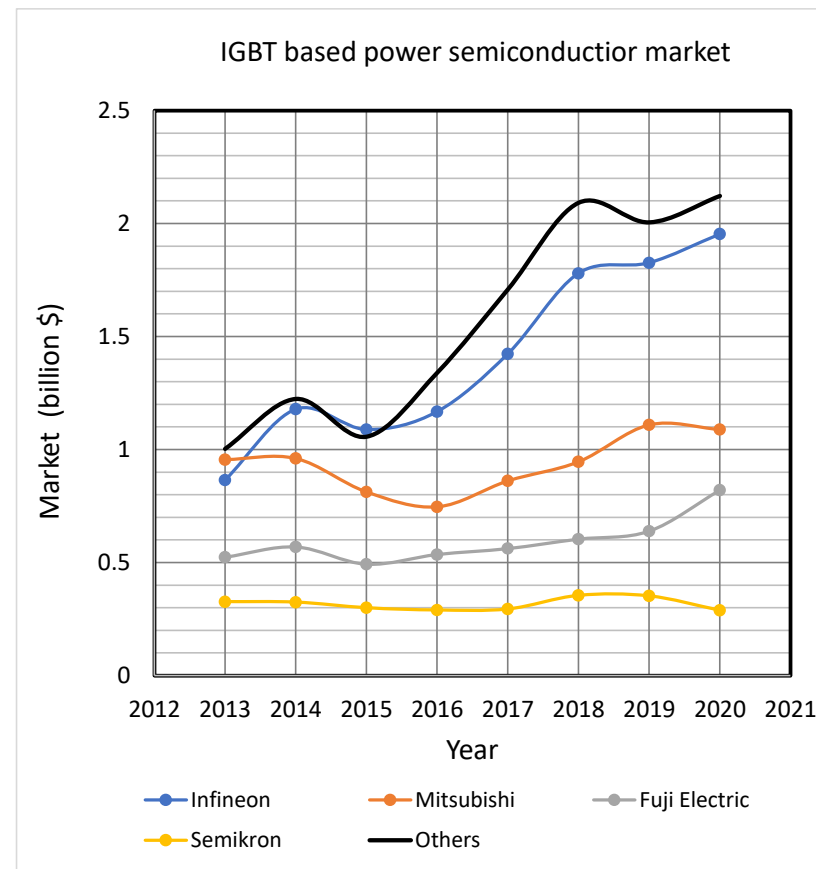
・2000年頃までの日本のパワー半導体は非常に強く、欧州パワー半導体の存在感はほぼ0であったが、インフィニオンを中心に対日本を意識したWW戦略(欧州デファクトパワーモジュール、産官学連携の強力な推進)に加え、複数回の巨額買収で、インフィニオンはパワー半導体領域全てをカバーする、シェアトップ企業に成長。

・日本のパワー半導体は顧客毎最適化を行いつつ技術力を磨いてきた経緯もあり複数社でシェアを分け合う状況。



パワー半導体(189億ドル)

出展:経済産業省 半導体・デジタル産業戦略
令和5年6月 (2021年度)



Infineon: 2015年以降、約120億Euro(約1.87兆円)の買収を実施(1Euro=156円計算)

2013年10月～2014年9月: 売り上げ43.2億Euro(約6700億円)

2015年1月13日 IR 約30億Euro

2014年10月～2015年9月: 売り上げ58億Euro(約9035億円)

2016年7月14日 Wolfspeed 8.5億ドル →破談2017/2/16

2018年3月13日 CREEへRFPower事業 3.45億ドル

2018年11月19日 Siltectura 約1.24億Euro SiCウエ

2020年4月16日 Cypress Semi 約90億Euro Flash Memory関係

2022年10月～2023年9月: 売り上げ163.9億ユーロ(約2.55兆円)に到達。

日本の半導体戦略の大変化と共に、パワーデバイス関連企業の動きも活発化

1. 半導体支援は日米半導体協定の1988年から2010年まで大きな成果は出ず。
以降2020年まで目立った動き無し。

2. 2020年12月25日: 経済産業省 「カーボンニュートラルに伴うグリーン成長戦略」

<https://www.cas.go.jp/jp/seisaku/seicho/seichosenryakukaigi/dai6/siryou2.pdf>

GI(グリーンイノベーション)基金(10年2兆円)をNEDOに設置。しかし、従来の枠組み(開発への基金であり量産は対象外)であり、参画案も100億円級/1件(海外の半導体産業支援に比べかなり小規模)。

3. 2021年3月24日: 経済産業省 第1回 半導体・デジタル産業戦略検討会議

ここで日本のパワーデバイスのシェアの高さ、SiCデバイスについて言及有。

https://www.meti.go.jp/policy/mono_info_service/joho/conference/semicon_digital.html

以降、2023年11月29日まで計10回の会議を実施、その間米中摩擦の激化、ロシアウクライナ紛争(2022年2月～)等から半導体技術の戦略的重要性が強く認識され、米国を中心とした半導体技術の西側陣営の連携強化方針もあり、考え方と実行内容が大変化。パワーデバイス領域でも欧州追撃に向けて様々な再編、連携、買収の模索が活性化。

・TSMC熊本工場進出決定(2021年10月)、国の補助金を加えた投資額は3兆円規模。

・Rapidus発足(2022年8月) & 経産省から2600億円の支援(2023年4月)。国の補助金を加えた投資額は5兆円規模。

・2000億円規模のパワー半導体事業者に対し、経産省が1000億円超えの支援(2023年3月)

→ローム & 東芝デバイス & ストレージに約1300億円の支援が決定(2023年12月)

・デンソーと富士電機の連携: 2116億円投資 & 国からの助成705億円

・三菱電機とネクスペリアの連携: 共同開発のためのパートナーシップ

・ルネサス: SiCメーカーとの連携、買収等(予測)

・ミネベアミツミ: 日立のパワーデバイス事業を買収(推定400億円)