

トレンチフィールドプレート構造パワーMOSFETにおける応力制御の研究

加藤, 浩朗

<https://hdl.handle.net/2324/7363856>

出版情報 : Kyushu University, 2024, 博士 (工学), 課程博士
バージョン :
権利関係 :



トレンチフィールドプレート構造
パワーMOSFET における応力制御の研究

加藤 浩朗

2025年

目次

第1章	序論	1
1.1	パワーデバイス全般の説明と LVMOS の位置づけ	1
1.2	LVMOS の変遷と FP-MOS 構造のメリット	3
1.2.1	LVMOS のデバイス構造	3
1.2.2	電荷補償設計によるドリフト層抵抗の低減	4
1.3	FP-MOS の性能改善に対する応力制御の必要性	4
1.4	応力制御のポイントと原理	6
1.4.1	ウェーハ反りの発生メカニズム	6
1.4.2	応力と反り量の関係	7
1.4.3	FP-MOS におけるひずみによる移動度向上	8
1.5	本研究の目的と課題それに対するアプローチ	9
1.5.1	応力制御に関する基礎検討	9
1.5.2	応力制御確立へのアプローチ	10
1.6	論文構成	11
	第 1 章の参考文献	12
第 2 章	ウェーハ反り二次元モデルの構築と課題	16
2.1	はじめに	16
2.2	実験方法	16
2.3	変位モデルによるウェーハ反りシミュレーション方法と予測結果	17
2.4	ウェーハ反り制御技術	20
2.5	ウェーハ反り制御実施結果	21
2.6	まとめ	22
	第 2 章の参考文献	23
第 3 章	ウェーハ反り 3 次元モデルへの拡張	24
3.1	はじめに	24
3.2	応力シミュレーションによる三次元構造解析	24
3.3	変位量からのウェーハ反り予測モデル(変位モデル)	26
3.4	表面応力からのウェーハ反り予測モデル(表面応力モデル)	31
3.5	シミュレーション結果	36
3.6	実験結果との比較	39
3.7	まとめ	41
	第 3 章の参考文献	41

第4章 ウェーハ大口径化対応とポリシリコン成膜モデルの検討	43
4.1 はじめに	43
4.2 実験方法	43
4.2.1 パターン無しウェーハでのデータ取得	43
4.2.2 TEG 構造とプロセスフロー	44
4.2.3 TEG 構造での断面からのラマン分光測定方法	47
4.3 測定結果	48
4.3.1 パターン無しウェーハでのウェーハ反り測定結果	48
4.3.2 TEG 構造でのウェーハ反り測定結果	49
4.3.3 TEG 構造での断面からのラマン分光測定結果	50
4.4 シミュレーション結果	52
4.4.1 パターン無しウェーハのポリシリコン応力を用いた シミュレーション結果	52
4.4.2 ポリシリコンに発生する異方性応力に関する仮説と シミュレーション結果	55
4.4.3 ラマン分光測定結果への合わせこみ	57
4.5 まとめ	58
第4章の参考文献	58
第5章 反りシミュレーションによるピッチ微細化限界とオン抵抗低減効果の見積	60
5.1 はじめに	60
5.2 ストライプセル構造とドットセル構造	60
5.3 応力計算に関する補足説明	62
5.3.1 ドットセル構造における表面応力（メサ部応力）	63
5.3.2 ドットセル構造におけるメサ比率とウェーハ反りの計算	63
5.3.3 ドットセル構造におけるポリシリコン熱膨張係数の取り扱い	64
5.3.4 ウェーハ反りの規格	66
5.4 モデル式と耐圧系の FP パラメータ値の算出	67
5.4.1 ストライプセル構造のモデル式	67
5.4.2 ドットセル構造のモデル式	68
5.5 ピエゾ係数に関する取扱い	70
5.6 微細化、構造差、高耐圧化のシミュレーション検証	71
5.6.1 100V 系での微細化限界検討	71
5.6.2 100V 系でのデバイス構造差検証	74
5.6.3 高耐圧化での限界検討	82
5.7 まとめ	90

第 5 章の参考文献	90
第 6 章 結論	93
謝辞	96
研究成果および業績一覧	96

第1章 序論

1.1 パワーデバイス全般の説明と LVMOS の位置づけ

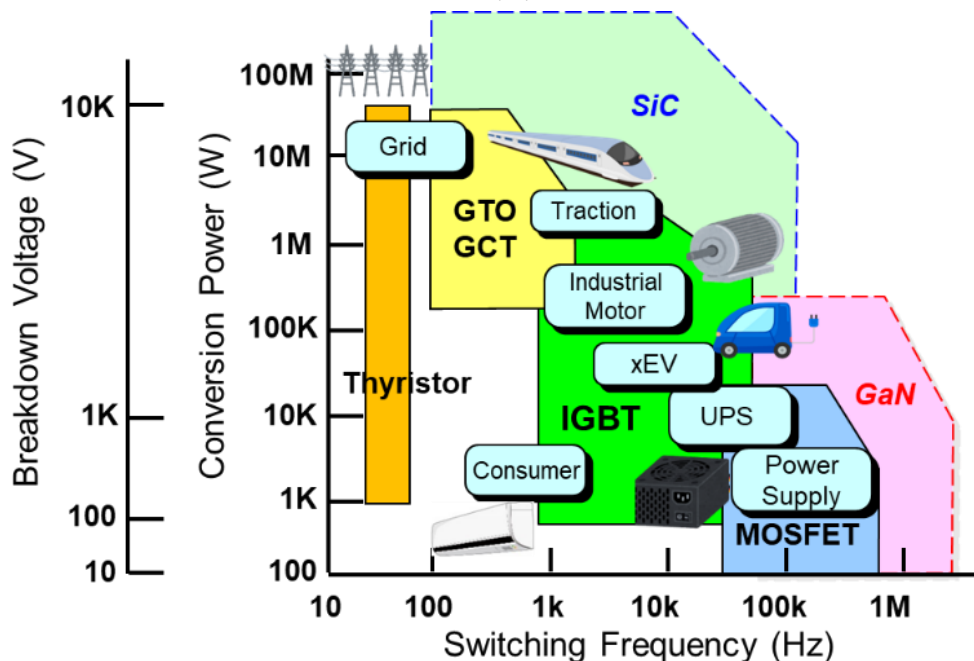


図 1.1. パワー半導体の使用周波数と出力容量、耐圧による分類

パワー半導体は一般的には電力変換回路に使われる半導体デバイスのことを指し、オン/オフを切り替えのスイッチとしての機能を有する。パワーデバイスとも呼ばれている。電力変換回路の機能としては直流から交流への変換（インバータ）、交流から直流への変換（コンバータ）、交流の周波数変換（AC/AC コンバータ）、直流の電圧を変換（DC/DC コンバータ）がある[1]。これらのパワー半導体が使用されている電力変換回路を使って構成される製品は社会のいたるところで使用されている。例えば家電、産業機器、自動車、電車などが代表的で、近年では EV（電気自動車）や AI サーバなどの需要が高まっている[2]。

図 1.1 にパワー半導体の使用周波数と出力容量、耐圧による分類を示す。パワー半導体は耐圧では十数 V から一万 V を超える範囲、スイッチング周波数では 10Hz～1MHz の範囲で用途が存在する。電圧および、スイッチング周波数によって最適な半導体材料、デバイス構造の製品を半導体メーカーが製造し、ユーザーに提供されている。表 1.1 にパワー半導体の世界市場を示す。材料としては Si がほとんどを占めているが、次世代のパワー半導体材料として着目されている化合物半導体の市場は急伸していく予想になっている。ただしシリコンパワー半導体も引き続き市場成長が続くことが確認できる。

表 1.1. 2024 年版次世代パワーデバイス & パワエレ関連機器市場
の現状と将来展望 [3]

単位(億円)	2023年 実績	2035年 予測
Si	27795	43178
次世代	3944	34579
合計	31739	77757

ここでパワー半導体の分類を説明する。まず Si パワーMOSFET は 1000V 以下の比較的
低耐圧、数十～数百 Hz の高周波数領域で使われる。Si パワーMOSFET はユニポーラ型の
デバイスでありスイッチング速度がバイポーラ型のデバイスよりも早いことが特徴である。
応用は家電、情報通信機器などになる。なお、Si パワーMOSFET の中では 250V 以下は
LVMOS(Low Voltage Metal Oxide Semiconductor)と呼ばれ、近年ではトレンチフィールド
プレート (FP)構造のパワーMOSFET(FP-MOS)が主流になっている。また 400V～900V の
範囲は HVMOS(High Voltage Metal Oxide Semiconductor)と呼ばれスーパージャンクショ
ン構造のパワーMOSFET が使用されることが多い。近年は GaN を用いたパワー半導体が
Si パワーMOSFET の対抗デバイスとして登場している。GaN パワー半導体は Si よりも高
速スイッチングが可能でオン、オフ切り替え時の損失が少なく消費電力を低減出来る特徴
があることで今後の成長が期待されている[4]。

また 600V 以上では Si IGBT(Insulated Gate Bipolar Transistor)が使われている。このデ
バイスはハイブリッド車や送配電などに応用されている。Si IGBT はバイポーラ型のデバ
イスであるため Si パワーMOSFET よりもスイッチングスピードが遅く、電力損失で不利
になる。一方で高耐圧化が容易であり、高電流領域においてもオン抵抗の上昇を抑制できる
特徴がある。この領域に対しては近年では SiC を用いたパワーMOSFET が対抗デバイスと
なっている。SiC は Si と C が強く結合しているため、絶縁破壊強度が高く、活性層領域を
薄く設定できる。このため高耐圧で低損失なデバイスが実現出来る[5]。

さらに Si IGBT よりもスイッチング速度が遅く、高耐圧な領域には GTO(Gate Turn Off
Thyrisor)がある。GTO はサイリスタに対してオン/オフ機能が追加されたバイポーラ型の
デバイスでスイッチング速度は遅いが、高出力、高耐圧には向いている。電車や電力の送配
電で利用される。

以上で説明したように応用に適した材料、デバイス構造が選ばれて使用されている [6]-
[8]。本論文では Si パワーMOSFET において 250V 以下で主流になっている LVMOS をタ
ーゲットにして、その主流となっているトレンチ FP 構造のパワーMOSFET に関する応力
制御の議論を進めていく。

1.2 LVMOS の変遷と FP-MOS 構造のメリット

1.2.1 LVMOS のデバイス構造

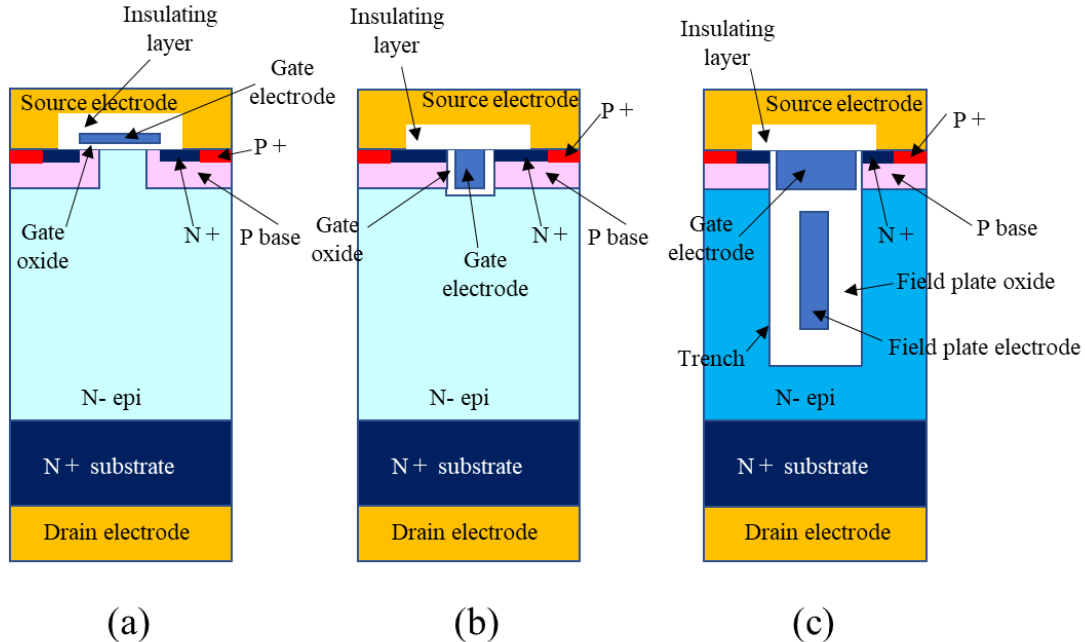


図 1.2. デバイス構造 (a) DMOS 構造 (b) UMOS 構造 (c) トレンチ FP 構造 [9]-[11]

前述の 250V 以下で使用されてきた Si パワー MOSFET のデバイス構造を図 1.2 に示す。図 1.2 (a) は DMOS (Double diffused MOSFET) と呼ばれる従来のデバイス構造である [12]。この構造では、耐圧がエピ濃度とエピ厚さの設計で決まる。高い耐圧を確保するためには低濃度エピで空乏層を伸ばす必要があり、エピ厚さも厚く設計する必要がある。そのため低オン抵抗と耐圧確保はトレードオフになっている。また DMOS はゲート電極が Si 表面にゲート酸化膜に対抗して配置されているのでチャネルは Si 表面部のゲート電極直下にウェーハ表面と同じ面に形成される。Si 表面にチャネルを形成するとデバイスの表面積が大きくなってしまいますので、ピッチシュリンクによるオン抵抗低減には適さない構造であると考えられる。

この次に開発されたのが図 1.2 (b) であり UMOS 構造 (U 字型の溝を持つ MOSFET) と呼ばれる。Si 表面にトレンチを形成し、トレンチ内部にゲート酸化膜とゲート電極を形成する構造である。この構造においてもエピ濃度、エピ厚の設計思想は DMOS と同じである。UMOS 構造ではゲート電極がトレンチ側壁のゲート酸化膜に対抗して配置されているのでチャネルはトレンチ側壁の Si 表面部に形成される。すなわちチャネルはウェーハ表面に対して垂直な方向に形成される。そのため DMOS 構造よりもピッチシュリンクに有利になり、

この構造の導入によりさらに微細化がすすめられた。DMOS 構造は 1970 年代後半から、UMOS 構造は 1980 年代中頃から開発が始まっている。そしてさらに 2000 年代に入り開発されはじめたのが図 1.2 (c) トレンチ FP 構造の FP-MOS である [13]。

1.2.2 電荷補償設計によるドリフト層抵抗の低減

従来構造では低濃度エピ層に空乏層が伸び、キャリアがなくなりイオン化したドナーが形成される。その一様な電荷分布から電界が決まり、P ベースと N-エピのジャンクション部近傍で強く、基板側(ドレイン側)の空乏層端部になると弱くなる(図 1.3 (a))。それに対して、FP-MOS では従来構造よりも深いトレンチと厚い FP 酸化膜を形成する。またトレンチ中央に FP 電極が必要である。この構造ではメサのイオン化ドナーの + 電荷を FP 電極側の - 電荷で補償することでメサ領域での電界分布が均一になる。従来は空乏層を伸ばして耐圧を確保するために N-エピ濃度を薄くしていたが、FP-MOS の場合従来よりも N-エピ濃度が高くても、耐圧が確保できるようになる [14]-[16]。オン抵抗はチャネル部の抵抗とドリフト層の抵抗と基板抵抗の 3 つに分けることができる。以上の説明からこの構造により抵抗を下げる事が出来るのはドリフト層の抵抗である。高耐圧になるほどオン抵抗の中でドリフト層抵抗が占める割合が高くなるので、本構造は ~250V の LVMOS の中での、高耐圧で効果を発揮しやすい構造であると言える。

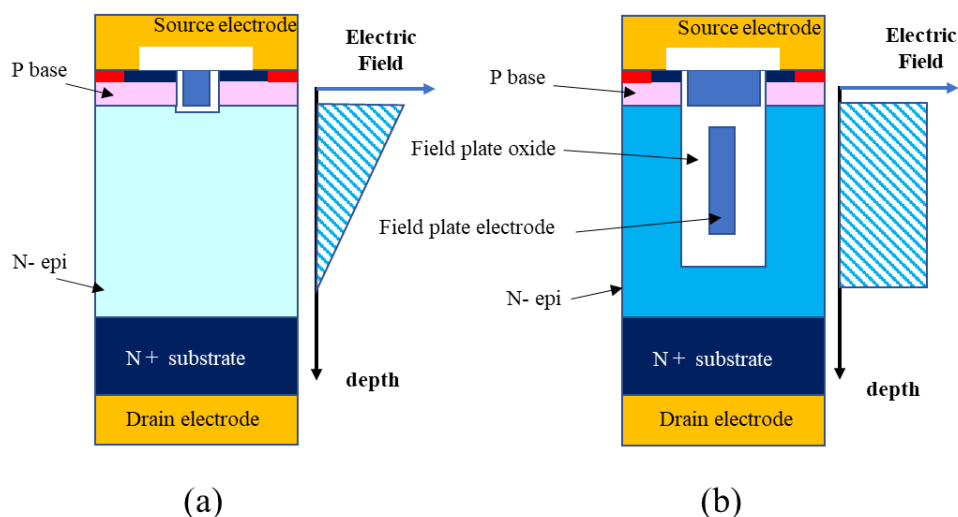


図 1.3. 通常の UMOS と FP-MOS の電界分布イメージ

1.3 FP-MOS の性能改善に対する応力制御の必要性

トレンチ FP 構造では、濃度の高いエピでも所望の耐圧を得るためにウェーハ表面に深いトレンチ、厚い FP 酸化膜、そしてトレンチ中央に FP 電極が必要である。FP 電極は通常

ポリシリコンで形成される [17]-[19]。このような構造をウェーハ表面に形成するとウェーハ表裏の応力バランスが崩れ、ウェーハ反りが発生する。これはセル構造に起因するトレンチ FP 構造特有の課題である。

次に、ウェーハの反りがなぜ問題になるのかを説明する。ウェーハ反りが大きくなると設備でのウェーハ搬送エラー、装置の処理ステージ上でのウェーハ吸着エラーなどが発生する。前工程全体のプロセスフローにおいてどこか 1 工程でもこの問題がいったん発生すると、先の工程に進めることが出来なくなる。プロセス設計を見直す必要が生じ、プロセスフローの最初からやりなおさなければならなくなる。したがって、ウェーハ反りの制御はトレンチ FP 構造パワー MOSFET のプロセスインテグレーション上の重要課題となる。

近年パワー半導体においてもウェーハの大口径化が活発になっている。ウェーハの大口径化によりウェーハ反り課題はますます大きくなる。また微細化を進める時はトレンチ密度が増えるため、ウェーハ反り増加が予想され、その重要度は増す。さらに、前述したように FPMOS は構造的に $\sim 250\text{V}$ の LVMOS の中での中、高耐圧で効果を発揮しやすい構造である。高耐圧化するときもトレンチのサイズが大きくなるためウェーハ反りの増加が予想される。以上のことから、今後のトレンチ FP 構造のパワー MOSFET の研究開発のために反り制御は必要な技術である。

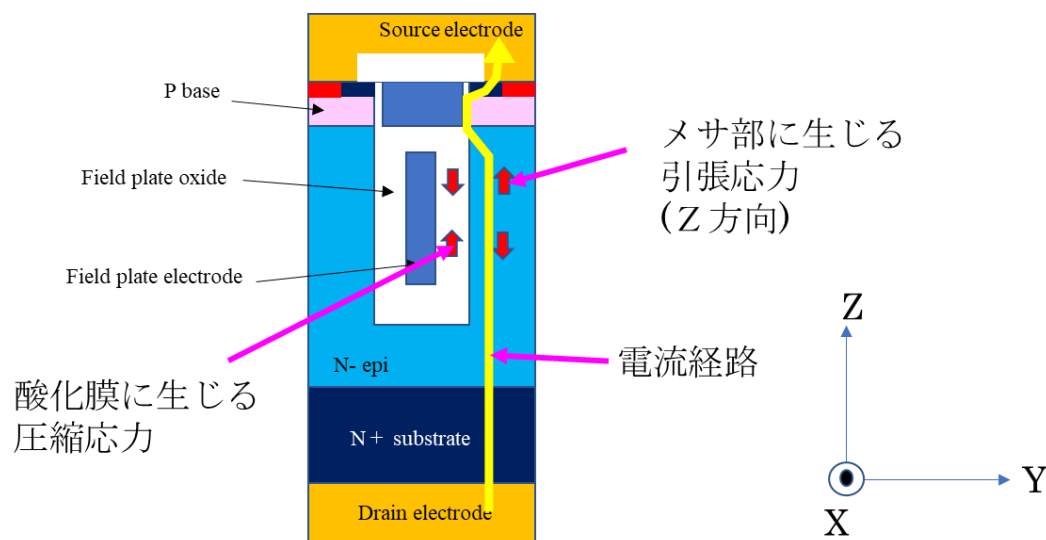


図 1.4. FP-MOS のメサ部に発生する応力と電流経路の関係

一方、図 1.4 に示すように Si メサ部のすぐ隣に厚い酸化膜(FP 酸化膜)を形成すると、Si と酸化膜の熱膨張係数の差により応力が発生する。酸化膜には圧縮応力が生じ、Si メサ部には Z 方向に引張応力が発生する。またフィールドプレート電極であるポリシリコンによってもメサ部に Z 方向の応力を発生させる(図 1.4 中には、煩雑になるのを避けるためポリシリコンによる応力は記載していない)。Z 方向の引張応力によって生じるメサのひずみは電子移動度を増加させる。移動度の増加はオン抵抗の低減につながる [20]-[22]。オン抵抗を

正しく予測するにはメサ部の Z 方向に加わる応力を正確に予測する必要がある。

特に FP-MOS では図 1.5 に示すようにトレンチはストライプ状にレイアウトされており、そのトレンチ内部に FP ポリシリコンを形成する構造になっている。異方性をもったレイアウトとなっており応力の予測は 2D シミュレーションでは困難であり、3D シミュレーションを構築する必要がある。また、ポリシリコンはアニールによりグレインサイズが拡大し収縮することが知られている [17] [18] [23]。異方性レイアウトで、かつトレンチ内部に入った状態でポリシリコンをアニールすると複雑な応力が発生する可能性が高い。この応力を予測できる手法が必要である。

さらに、前述したように FP-MOS は今後、ウェーハの大口径化、微細化、高耐圧化、さらにはデバイス構造の変更なども考えられる。これらの今後の研究開発に対応すべく、メサ部の Z 方向の応力を正確に求めオン抵抗の予測を行うことが今後必要になっていると考えられる。

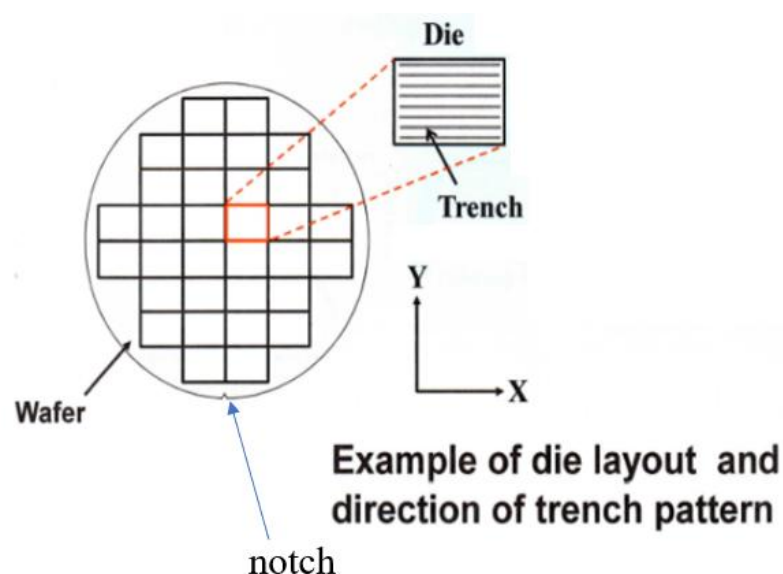


図 1.5. トレンチ FP 構造 MOSFET チップレイアウトイメージと X、Y 方向の定義 [24]

1.4 応力制御のポイントと原理

1.4.1 ウェーハ反りの発生メカニズム

ウェーハ反りの発生メカニズムを図 1.6 に示す簡単なモデルを使って説明する。ウェーハ反りはウェーハ内の応力によって決まる。例えば平坦な Si ウェーハ(図 1.6 (a))の表面側だけに薄い酸化膜を形成する際に、Si と酸化膜の熱膨張係数の差により膜応力が発生する [25]。成膜工程での熱で Si、酸化膜ともに膨張するが、常温に戻るときに膨張係数の差で基板が収縮するのにつられて酸化膜に圧縮応力が発生する。その反作用でウェーハ表層部には引張応力が発生する(図 1.6 (b))。このウェーハ表層の引張応力によりウェーハは上に凸の方

向に反る(図 1.6 (c))。この時のウェーハ中央の高さとウェーハエッジの高さの差がウェーハ反りである。

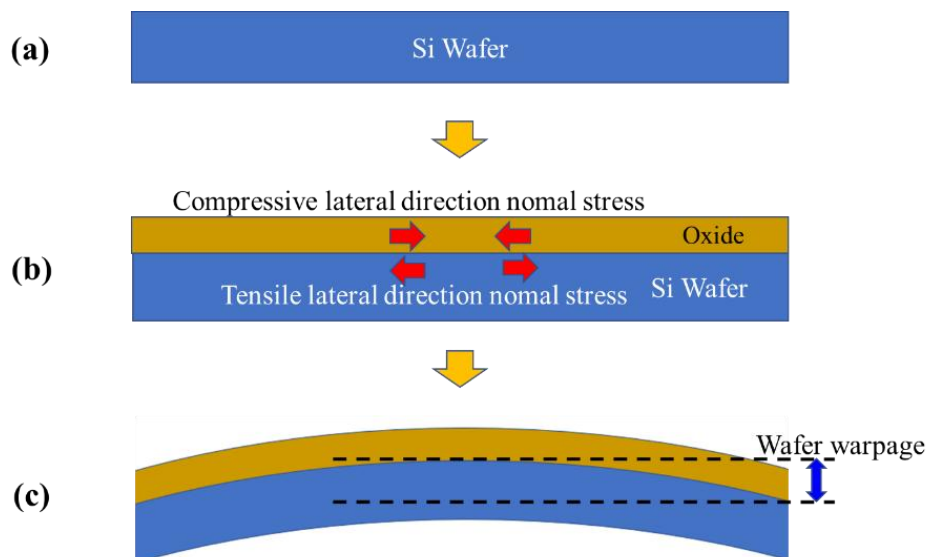


図 1.6. ウェーハ反りの発生 (a)ベアウェーハ (b)ウェーハ表面に酸化膜を形成した場合の応力発生 (c)発生するウェーハ反り [11]

1.4.2 応力と反り量の関係

1.4.1 で説明したような均一膜によるウェーハ反り発生についてはストーニーの式と呼ばれる確立されたモデル式 (1) が存在する [26]-[27]。

$$\sigma = \frac{ET^2}{6(1-\nu)Rt} \quad (1)$$

ここで、 σ はウェーハ表面に発生する応力、 T はウェーハの厚さ、 E はウェーハのヤング率、 ν はウェーハのポアソン比、 t は表面の薄膜の厚さである。

図 1.7 にウェーハ中央における断面形状を示す。曲率半径 R とウェーハの反り W は次の関係式で表す事が出来る。

$$R^2 = \left(\frac{L}{2}\right)^2 + (R - W)^2 \quad (2)$$

L はウェーハの直径である。ここで式 (1) と (2) よりウェーハ反り W と応力 σ 間の次の式を得ることが出来る。

$$\sigma = \frac{4ET^2W}{3(1-\nu)tL^2} \quad (3)$$

この式を用いれば、均一な膜であればウェーハ反りの実測値からウェーハ表面にかかっている応力を知ることが可能である。また逆にシミュレーションの応力値が計算できれば、ウェーハ反りを求める事が可能である。しかしながら、ウェーハ表面に複雑なパターンが形成されている場合、応力が複雑になり簡単にはウェーハ反りを計算することはできない。

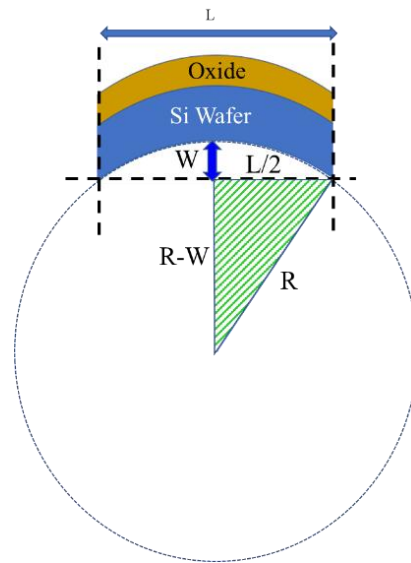


図 1.7. ウェーハ反り量 W と半径 R の関係

1.4.3 FP-MOS におけるひずみによる移動度向上

移動度は式(4)で表される。 m^* は電子の有効質量、 $\langle \tau_e \rangle$ は電子の散乱と散乱の間の平均時間、 e は電気素量である。移動度を上昇させるためには $\langle \tau_e \rangle$ を長くする。すなわち電子が散乱されにくようにするか、有効質量を小さくする必要がある。n型トランジスタの場合は、電流経路のシリコンに対して引張る方向にひずみが発生すると平均的な有効質量が小さくなる効果と、電子が散乱されにくくなる効果があると考えられている[28]。

図 1.4 に記載したように電流がドレインからソースに流れる際にメサ部において Z 方向に流れている。この方向のメサ引張応力は移動度向上につながり、オン抵抗が改善する。ひずみによるオン抵抗低減の影響は、深いトレンチ、厚い FP 酸化膜を有する FP-MOS 特有の話であると考えられる。なお、ひずみの変化率と移動度の関係は参考文献より引用する[29]。

$$\mu = \frac{e\langle \tau_e \rangle}{m^*} \quad (4)$$

1.5 本研究の目的と課題それに対するアプローチ

1.5.1 応力制御に関する基礎検討

表 1.2. トレンチ FP 構造 MOSFET における応力制御に関する基礎検討

	基礎検討1 [24], [25]	基礎検討 2 [30], [31]
応力シミュレーション	S-Inter connect [32]	未記載
ウェーハ径	200mm	未記載
次元	2D	3D
反り予測方向	Y方向のみ	X方向、Y方向
反り予測モデル	小片の変位量とウェーハ反りの相関を利用	均質化法[33]で単一材料に置き換え、ウェーハサイズで計算
ポリシリコンの応力挙動モデル化	熱膨張係数を調整 (Y方向のみフィッティング)	単膜の応力を構造体に入力し、均質化法で単一材料に置き換える
反り予測対象	現行世代 (ストライプセル構造)	現行世代 (ストライプセル構造)
オン抵抗予測	未実施	実施 [31] デバイスシミュレーション
オン抵抗予測対象	実実施	現行世代、ピエゾ効果有無ある1つの耐压系のみ

次にトレンチ FP 構造 MOSFET におけるウェーハ反り量予測に関する基礎検討を行った結果を表 1.2 に整理した。大きくわけて 2 つの基礎検討がある。基礎検討 1 [24], [25] は計算量を減らすため小片の変位量を Sentaurus-Interconnect [32] でシミュレーションし、その変位量とウェーハ反りの比例関係からウェーハ反りを予測するモデル(変位モデル)を使っている。この基礎検討 1 は 2D で行っているため、反り予測できる方向はどこを切っても同じ断面構造が現れる Y 方向のみである。X 方向はカットする面により断面構造が変わるため 2D では対応できない。また基礎検討 1 ではオン抵抗の予測までは行っていない。

それに対して基礎検討 2 [30], [31] はシミュレーション時間を短縮するため複合材料からなる構造を単一の材料としてあつかい(均質化法[33])、それをウェーハサイズに拡張してシミュレーションする方法を用いている。小片は 3D 構造を用いており、Y 方向だけでなく、X 方向もシミュレーションすることが可能である。基礎検討 2 [31] では応力計算結果を用いてデバイスの R_{ON} を求めている。何 V の耐压系で実行したかは記載しておらず、オン抵抗は任意単位で実測との乖離量が示されている。

1.5.2 応力制御確立へのアプローチ

表 1.3. 応力制御確立へのアプローチ手法（基礎検討と対比）

	基礎検討1 [24], [25]	基礎検討2 [30], [31]	応力制御確立への アプローチ手法
応力シミュレーション	S-Inter connect [32]	未記載	COMSOL
ウェーハ径	200mm	未記載	200mm⇒ 300mmに拡張 実測データと照合
次元	2D	3D	3D
反り予測方向	Y方向のみ	X方向、Y方向	X方向、Y方向
反り予測モデル	小片の変位量とウェーハ 反りの相関を利用	均質化法[33]で単一材料に置 き換え、ウェーハサイズで計 算	先行研究1の手法と 新規方法（表面応力からス トニーの式を利用して算出）を 比較。
ポリシリコンの応力 挙動モデル化	熱膨張係数を調整 (Y方向のみ フィッティング)	単膜の応力を構造体に入力し、 均質化法で単一材料に置き換 える	異方性熱膨張係数で調整 X、Y、Z応力を顕微 ラマン分析と合わせこみ
反り予測対象	現行世代 (ストライプセル構造)	現行世代 (ストライプセル構造)	大口径化、ピッチ微細化 プロセス検討(酸化膜、CVD膜) 現行世代と次世代構造の比較 高耐圧化
オン抵抗予測	未実施	実施 [31] デバイスシミュレーション	実施 モデル式使用 [13]
オン抵抗予測対象	実実施	現行世代、ピエゾ効果有無 ある1つの耐圧系のみ	大口径化、ピッチ微細化 プロセス変更(酸化膜、CVD膜) 現行世代と次世代構造の比較 高耐圧化、ピエゾ効果有無

応力制御方法確立へのアプローチを表 1.3 に示す。この表には表 1.2 で述べた基礎検討に
対して、第 3 章～第 5 章でどこをどのように改善すべく取り組むかを示している。まず、
ウェーハ反りの予測方法については、基礎検討 1 では 200 mmウェーハでのデータを使い 2
Dでのシミュレーションを構築している。この方法ではY方向のみしかウェーハ反り予測
が出来なかった。これに対して、3章で 2D シミュレーションを 3D に拡張することで、X、
Y両方向でウェーハ反りを予測できるようにする。シミュレーションツールは COMSOL を
使用する。なお基礎検討 2 では既に 3Dでの予測を行っている。

また活発になるパワー半導体の 300 mmウェーハ化によりウェーハ反り予測の必要性は増
している。本研究では 200 mmだけでなく 300 mmでも使用できるウェーハ反りのシミュレ
ーションを構築する。

ウェーハ反り予測モデルは本研究では基礎検討 1 の方法と新規方法を比較した上で、あ
らたな方法を提案する。この方法は基礎検討 2 の方法とも違った新しい方法である。新規
方法は小片でシミュレーションしたデバイス部の応力の値を用いてストニーの式で数式
計算によりウェーハ反りを算出する。この手法で計算すれば基礎検討 2 のようなウェーハ
サイズでの計算は行わないため、短時間でシミュレーション可能である。

また、ポリシリコンをトレンチ内に形成したあとの応力挙動についてはドラスティック
なウェーハ反り変化が発生するため、ウェーハ反り制御を行うためにモデル化が必要な重

要な部分である。基礎検討 1 ではポリシリコン形成後の反り量は単膜の応力値を入力しただけでは小片の変位量と相関が合わない挙動が確認されている[25]。そこで熱膨張係数を調整して合わせこんでいるが、シミュレーション可能な Y 方向のみしか応力を合わせていない。X や Z 方向は、ずれている可能性が高い。

さらに基礎検討 2 は単膜の応力値を入力していると記載されている。したがって基礎検討 1、2 ともにこのポリシリコンの応力についてのモデル化が解決できていないと考えられる。本研究ではポリシリコンの応力モデルの作成方法を新たに提案する。基礎検討 1 のように Y 方向だけでなく、X 方向、Z 方向を含む 3 方向すべてを正しく見積もれるようにラマン分光測定結果に合わせこみを行う。ラマン分光分析結果には X、Y、Z の各方向をベクトル合成した値が出力される。一方ウェーハ反りは X 方向と Y 方向の応力で決まり Z 方向は殆ど影響がない。従って、先にウェーハ反りの実測に X 方向と Y 方向の応力をフィッティングし、次に Z 方向の応力を調整することで、ベクトル合成した値をラマン分析結果に合わせる。このような手法を確立する。この手法をつかえば仮にポリシリコンの成膜条件やアニール条件が変わった場合でも同様の手順でモデルを作成可能となる。

特性の予測には Z 方向の応力制御が必要であり、このモデルによりウェーハ反りに影響する X、Y 方向の応力制御だけでなく、特性に影響する Z 方向の応力制御も可能となる。また反り予測の対象は基礎検討 1、2 ともに現行世代のストライプセルが対象となっている。耐圧系は明記されていない。それに対して本研究では、大口径化、セルピッチ微細化、プロセス検討（F P 酸化膜を熱酸化膜と CVD 酸化膜の差を検討）、現行世代のストライプセル構造だけでなく、次世代構造のドットセル構造 [34]- [37] も検討する。さらに耐圧を高耐圧化してウェーハ反り限界の見極めを行う。

本研究ではウェーハ反りをシミュレーションした全構造に対して、オン抵抗を数学モデル式により算出する[13]。この際に Z 方向の応力はピエゾ効果によりオン抵抗に影響を与えることが知られている[20]- [22]。今回は前述したラマン分光測定結果への合わせ込みをおこなっているため、このピエゾ効果有無についてもオン抵抗計算に追加する。

以上の結果を踏まえて、今後のトレンチ FPMOSFET の方向性を議論する。

1.6 論文構成

第 1 章の序論では研究の背景としてパワー半導体の分類から本研究でとりあげるトレンチ FP 構造のパワー MOSFET はどのような領域でつかわれるデバイスかを解説する。さらに、パワー MOSFET の開発の歴史を振り返り、トレンチ FP 構造のパワー MOSFET の電荷補償設計について簡単に説明する。構造上の特徴からウェーハ反り制御の必要性を解説する。さらに、Z 方向のひずみがオン抵抗に影響を与えることを述べ、ウェーハ反りと密接に関連する Z 方向の応力制御の必要性を説明する。また、基礎検討(2 章で説明予定)とそこで抽出した課題を述べ、3 章以降でのアプローチ方法を明瞭にしたうえで、本研究の構成を説

明する。

第2章では基礎検討1で構築した変位モデルの構築について説明する。またこのモデルで、トレンチFP構造MOSFETのスループロセスでウェーハの反り予測を行った結果を示す。Y方向のウェーハ反りが規格を外れる予想が得られ、対策についても検討した。最後に対策後のウェーハ反り量推移について実測値とシミュレーション値の比較を行う。

第3章ではウェーハ反りシミュレーションの3D化を行う。また基礎検討1で実施していた変位モデルと、本研究で新たに提案する表面応力モデル(表面応力のシミュレーション結果からストーニーの公式を用いてウェーハ反りを予測する方法)の2つの比較評価を行うことで表面応力モデルが優れていることを示す。

第4章では3章で選定した表面応力モデルを使いウェーハの大口径化を行う。また基礎検討ではモデル化されていなかったポリシリコン形成後のアニール工程でのウェーハ反り挙動に関してモデル構築を行う。その際にポリシリコンの熱膨張係数に異方性があると仮定し、ラマン分光測定結果へ合わせ込みを行う。ラマン分光結果への合わせ込みによりポリシリコン形成後のアニール工程においてX、Y、Z全方向で応力をシミュレーションできるようにする。

第5章では4章までで構築したウェーハ反り予測モデルを用いて、セルピッチ微細化の限界、FP酸化膜のプロセス差(熱酸化膜で形成するか、CVD酸化膜で形成するか)、デバイス構造依存(最新構造であるドットセル構造とトレンチFP構造の主流となっているストライプセル構造の差異)、高耐圧化(100V、150V、200V)を検討する。さらに簡易モデルからのオン抵抗計算手法を導入する。

4章でZ方向の応力を正しく見積もれるようにモデル化していることから、この章ではオン抵抗に影響を与えるZ方向のひずみも考慮する。最後にウェーハ反り限界とオン抵抗の挙動を考慮して今後のトレンチFP構造パワーMOSFETの方向性に関して議論を行う。

第6章の結論では、本研究の成果をまとめる。

第1章の参考文献

- [1] https://www.aist.go.jp/aist_j/magazine/20230517.html
- [2] <https://xtech.nikkei.com/atcl/nxt/column/18/00001/09385/>
- [3] <https://www.fuji-keizai.co.jp/press/detail.html?cid=24020>
- [4] 加地徹 "GaN パワーデバイス技術", 応用物理, 第74巻, 第5号, 2005, pp. 628-633.

- [5] 荒井和雄 "SiC 半導体のパワーデバイス開発と実用化への戦略", *Synthesiology*, vol. 3, No.4, 2010, pp. 259-271. DOI: <https://doi.org/10.5571/synth.3.259>
- [6] https://www.meti.go.jp/policy/nonferrous_metal/strategy/semiconductor04.pdf
- [7] 児玉浩憲 『世界を動かすパワー半導体』電気学会、2008 年、19-36 ページ
- [8] <https://www.semiconductor-industry.com/power/>
- [9] R. K. Williams, M. N. Darwish, R. A. Blanchard, R. Siemienieć, P. Rutter and Y. Kawaguchi, "The Trench Power MOSFET: Part I: History, Technology, and Prospects", *IEEE Transactions on Electron Devices*, vol. 64, No. 3, 2017, pp. 674-691. DOI: 10.1109/TED.2017.2653239
- [10] R. K. Williams, M. N. Darwish, R. A. Blanchard, R. Siemienieć, P. Rutter and Y. Kawaguchi, "The Trench Power MOSFET: Part II: Application Specific VDMOS, LDMOS, Packaging, and Reliability", *IEEE Transactions on Electron Devices*, vol. 64, No. 3, 2017, pp. 692-712. DOI: 10.1109/TED.2017.2655149
- [11] H. Kato, Bozhou Cai, Jiuyang Yuan, Yoshiji Miyamura, Shin-ichi Nishizawa and Wataru Saito, "A Model of Wafer Warpage for Trench Field-Plate Power MOSFETs, " *Physica status solidi (a)*, vol. 221, Issue 20, Aug. 2024. DOI: <http://doi.org/10.1002/pssa.202400264>
- [12] I. Yoshida, M. Kubo and S. Ochi, "A high power MOSFET with a vertical drain electrode and a meshed gate structure, " *IEEE Journal of Solid-State Circuits*, 1976, pp. 472-477. DOI: 10.1109/JSSC.1976.1050761
- [13] K. Kobayashi, "Novel Trench Power MOSFETs and Structure-based Compact Model for High Efficiency Electronics Application," Dr. Thesis, 2019, online available: https://power.kyutech.ac.jp/pdf/2019_kobayashi.pdf.
- [14] Y. Baba, N. Matsuda, S. Yanagiya, S. Hiraki and S. Yasuda, "A Study on a High Blocking Voltage UMOS- FET with a Double Gate Structure", *Proc. of ISPSD*, pp. 300-302, 1992. DOI: 10.1109/ISPSD.1992.991291
- [15] B. J. Baliga, "Trends in power discrete devices", *Proc. of ISPSD*, 1998, pp. 5-10. DOI: 10.1109/ISPSD.1998.702538
- [16] B. J. Baliga, US Patent 6621121, 2003.
- [17] S. Shimomura, H. Kato, T. Shiraishi, T. Ohno, T. Nishiguchi, K. Miyashita, et al., "Process Control Technique to Dramatically Reduce Voids in Phosphorus-Doped Poly-Silicon for Trench Field-Plate MOSFETs", *Proc. of eMDC'19*, no. 5, 2019. DOI: 10.23919/eMDC/ISSM48219.2019.9052086
- [18] K. Tomita, T. Shiraishi, H. Kato, H. Kishimoto, K. Miyashita and K. Kobayashi, "New Process Integration of Sequential Phosphorus-Doped Silicon for Trench Field Plate Power MOSFETs", *IEEE Transactions on Semiconductor Manufacturing*, vol. 34, Issue 3, 2021, pp. 317-322. DOI: 10.1109/TSM.2021.3073781
- [19] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Correlation Between

- Trench Angle and Wafer Warpage in Trench Field Plate Power MOSFETs and its Application to Quality Control", IEEE Transactions on Semiconductor Manufacturing, vol. 34, Issue 3, 2021, pp. 286-290. DOI: 10.1109/TSM.2021.3081261
- [20] P. Moens, F. Bauwens, J. Baele, K. Vershinin, E. De Backer, E.M. Sankara Narayanan and M. Tack, "XtreMOS : The First Integrated Power Transistor Breaking the Silicon Limit, " in IEDM Tech. Dig., 2006, pp. 1-4. DOI: 10.1109/IEDM.2006.346933
- [21] P. Moens, J. Roig, F. Clemente, I. De Wolf, B. Desoete, F. Bauwens and M. Tack, "Stress-Induced Mobility Enhancement for Integrated Power Transistors, " in IEDM Tech. Dig., 2007, pp. 877-880.
DOI: 10.1109/IEDM.2007.4419089
- [22] P. Moens, J. Roig, J. Meersman, J. Baele, B. Desoete and M. Tack, " μ -Raman Validated Stress-Enhanced Mobility in XtreMOS Transistors, " Proc. of ISPSD, 2008, pp. 84-87.
DOI: 10.1109/ISPSD.2008.4538903
- [23] 曲 偉峰, “ポリシリコン薄膜の構造と電気的特性に対する高温アニール効果の研究,” Dr. Thesis, 2017, online available:
<http://hdl.handle.net/2297/16062>
- [24] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Mechanism and control technique of wafer warpage in process integration for trench field plate power MOSFET", IEEE Trans. Semicond. Manuf., vol. 32, no. 4, pp. 417-422, Nov. 2019.
DOI: 10.1109/TSM.2019.2937391
- [25] 西口俊史, 小林研也 "応力シミュレーションを活用したトレンチ MOSFET のウェーハ反り予測モデルの開発", 電気学会 電子デバイス・半導体電力変換合同研究会資料, EDD-15-068, SPC-15-150, pp. 23-28, 2015.
- [26] G. G. Stoney, "The tensions of metallic films deposited by electrolysis", Proc. Roy. Soc. London A, vol. 82, pp. 172-175, May 1909.
<https://royalsocietypublishing.org/doi/10.1098/rspa.1909.0021>
- [27] 山寺秀哉, "薄膜の熱応力測定と制御", 豊田中央研究所. R&D レビュー, vol. 34, no. 1, pp. 19-24, 1999.
- [28] S. Takagi, J. Hoyt, J. Welser and J. Gibbons, "Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field effect transistors, " Journal of Applied Physics, vol. 80, issue 3, 1996, pp. 1567-1577.
DOI:10.1063/1.362953
- [29] K. Uchida, T. Krishnamohan, K. C. Saraswat and Y. Nishi, "Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Resime," Technical digest of IEEE International Electron Devices Meeting (IEDM), pp. 129-132, 2005, DOI:10.1109/IEDM.2005.1609286.

- [30] 伊藤和幸, 織田達広, 菊地拓雄, 北原義之, 藪原秀彦, 西口俊史, 加藤浩朗, 下村紗矢, 西脇達也 "マルチスケール応力解析手法を用いた Si トレンチ MOSFET のウェーハ反り予測", 第 81 回応用物理学会秋季学術講演会 講演予稿集, pp. 1921-1921, 2020.
DOI: 10.11470/jsapmeeting.2020.2.0_1921
- [31] 伊藤和幸, 菊地拓雄, 織田達広, 西口俊史, " Si パワーMOSFET の設計を効率化するオン抵抗予測技術", 東芝レビュー, vol. 78, no. 1, pp. 46-50, 2023.
- [32] Synopsis TCAD, Sentaurus Manuals, Version J-2014.09, Sep 2014.
- [33] 寺田賢二郎, "均質化法入門", 丸善, 2003.
- [34] R. Siemienieć, M. Hutzler, C. Braz, T. Naeve, E. Pree, H. Hofer, I. Neumann and D. Laforet, "A new power MOSFET technology achieves a further milestone in efficiency," EPE'22 ECCE Europe, pp. 1-11, Aug. 2023.
- [35] M. Thomas, R. Siemienieć, E. Kahrmanovic, L. Juhasz, M. Hutzler and K. Kelkar, "Novel 200V MOSFET Technology Pushes Motor Drive Inverter Efficiency to an Unprecedented Level," PCIM Europe, pp. 564-570, June. 2024. DOI: 10.30420/566262070
- [36] O. Song, R. Siemienieć, S. Mazzer, C. Braz, G. Noebauer, M. Hutzler, D. Laforet, E. Pree and A. Ferrara, "More than an Evolution: a New Power MOSFET Technology for Higher Efficiency of Power Supplies," PCIM Asia, pp. 33-39, Aug. 2023. DOI: 10.30420/566131004
- [37] Gaoqiang Deng, Jun Wang, Xuanning Song, Yang Gao, Shiwei Liang and Xiaojun Xu, "Modelling the 3-D Charge-Sharing in Field-Plate Power MOSFETs With Circular Layouts," IEEE Transactions on Electron Devices, vol. 71, no. 3, pp. 1752-1757, Mar. 2024.
DOI: 10.1109/TED.2024.3356437

第2章 ウェーハ反り二次元モデルの構築と課題

2.1 はじめに

本章では基礎検討 1 [1] [2]で構築した変位モデルについて、どのようなモデルかを説明を行う。また変位モデルで、トレンチ FP 構造 MOSFET のスループロセスでウェーハの反り予測を行った。その結果 Y 方向のウェーハ反りが規格を外れる予想が得られたことを示す。その予測結果を受けて対策を行った。典型的なウェーハ反り対策方法を示す。最後に反り対策後のウェーハ反り推移について実測値とシミュレーション値の比較を行い、予測精度を確認した。

2.2 実験方法

表 2.1. トレンチ FP 構造 MOSFET のプロセスフロー [2]

Number	Process step	Process module
1	1st oxidation	Trench formation
2	Trench RIE	
3	Sacrificial oxidation	
4	Oxide wet-etching 1	
5	Field-plate oxidation	Source field plate formation
6	Undoped poly-silicon LPCVD 1 (Source)	
7	Phosphorus diffusion 1	
8	Poly-silicon etching 1	
9	Oxide wet-etching 2	Gate poly-silicon formation
10	Gate oxidation	
11	Undoped poly-silicon LPCVD 2 (Gate)	
12	Phosphorus diffusion 2	
13	Poly-silicon etching 2	Diffusion layer and insulating layer formation
14	p- Base formation	
15	n+ Source formation	
16	Inter layer dielectric CVD	Gate /Source electrodes formation
17	Contact RIE	
18	Metalization	

トレンチ FP 構造 MOSFET チップレイアウトイメージと X、Y 方向の定義に関しては図 1.6 と同様である。ノッチを下にして、トレンチパターンは X 方向に伸びている。なお基礎検討 1 ではトレンチ深さは $5.5\mu\text{m}$ でセルピッチは $3.0\mu\text{m}$ 以下に設定している。200 mm のウェーハで実験を実施しており、ウェーハの厚さは $725\mu\text{m}$ である。デバイス構造イメージとしては図 1.2 (c) の構造である。

実測におけるウェーハ反り測定は X 方向と、Y 方向を FLX-2320-S [3] で測定した。この

装置は非接触で測定でき、基板表面にレーザーを当て、その反射データから基板表面の曲率半径を算出し、1.3.2 の式(2)からウェーハ反りが出力される原理になっている。

トレンチ FP 構造 MOSFET のプロセスフローを表 2.1 に掲載した。主要な工程としては最初にトレンチ RIE(プロセスステップNo. 2)でトレンチ加工を行い、次に FP 酸化膜形成(プロセスステップNo. 5)とソース FP ポリシリコンの形成工程 (プロセスステップNo.6, No. 7)がある。このポリシリコンの形成方法としては最初にノンドープポリを形成(プロセスステップNo. 6)して、次にリン拡散[5]で表面側からリンをトレンチ底部に向かい拡散させる(プロセスステップNo. 7)方法である。

さらにゲートポリシリコンを形成する。ゲートポリシリコン形成はソース FP ポリシリコン形成と同様の製法であり、ノンドープポリシリコン(プロセスステップNo. 11)にリン拡散する(プロセスステップNo. 12)手法を使う。さらに P ベース拡散層、N+ソース拡散層を形成する。最後にゲートとソースの電極を形成する。

2.3 変位モデルによるウェーハ反りシミュレーション方法と予測結果

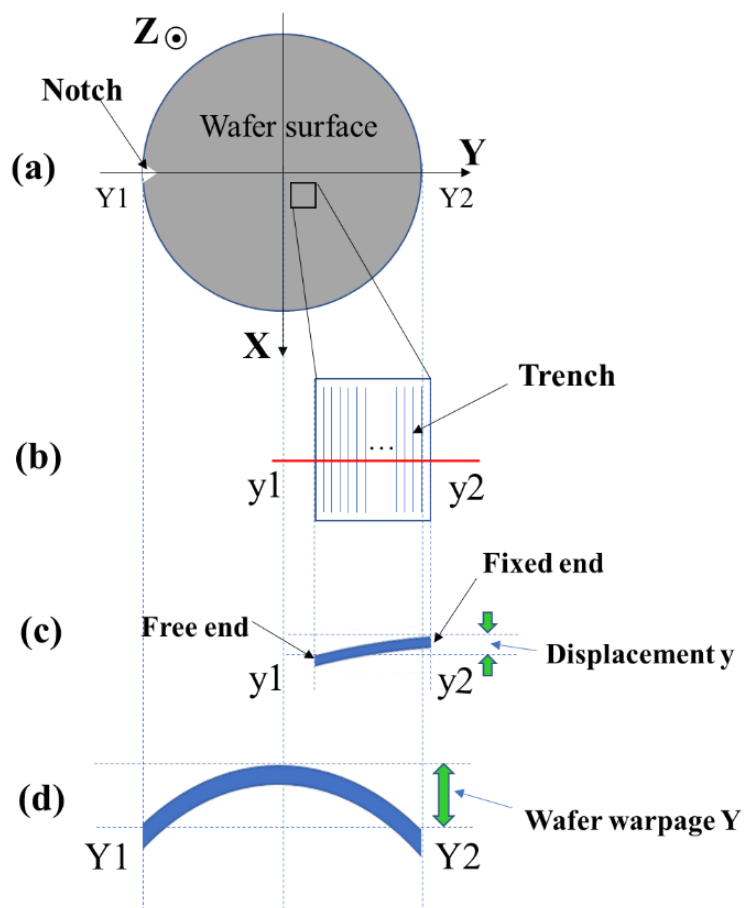


図 2.1. 小片の変位量を用いたウェーハ反り予測手法 [2]

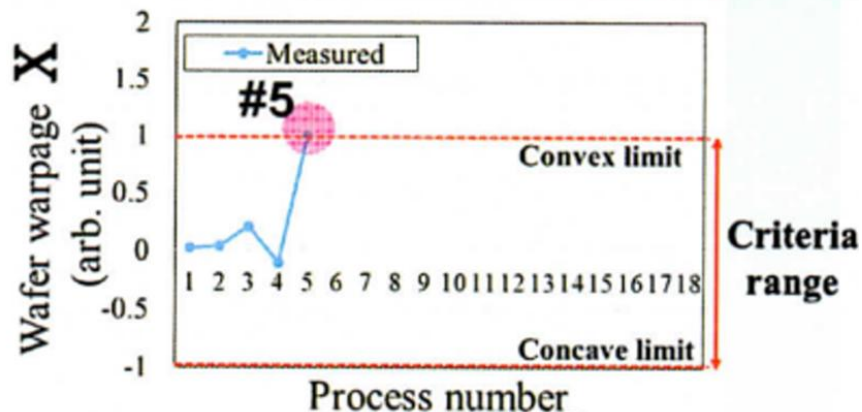
この章では応力シミュレーションは Sentaurus-Interconnect [4]で行い、2Dで計算している。シミュレーションは図 2.1 (b)に示すようにウェーハの一部を任意に切り出した小片に対して実施した。小片はトレンチ 25 本分のストライプ構造から構成されている。図 2.1 (c)に小片を y_1 - y_2 でカットした断面イメージ図を掲載している。片側 y_2 を固定端とし、もう一方 y_1 を自由端としてシミュレーションを行っている。

注目したのはその際に出力される自由端側の Z 方向変位量である。この値がウェーハ反りと比例関係にあると考え、主要工程で変位量とウェーハ反りの実測値の関係を調べ、その変換係数を元に他のプロセスステップにおけるウェーハ反りを予測することにした。なお、Y 方向の断面構造はどこでカットしても同じであり 2Dでのシミュレーションで計算可能である。それに対して、X方向の断面はカットする位置によって構造が変わる。そのため、シミュレーションが容易ではない。X方向のシミュレーションも出来るように 3D化することがこの基礎検討における 1つの課題である。

さらに基礎検討 1 [1] [2] ではポリシリコンの抵抗を下げるためにノンドープポリシリコンを先に形成したあと、リン拡散プロセスで表層からリンを熱拡散させる手法を使っている。この工程におけるウェーハ反り変化量は大きく、上述の変位モデルでは説明がつかなかったためポリシリコンの熱膨張係数の調整で合わせている [1], [6]-[9]。

この方法では 2DでY方向だけしかシミュレーションを行っていないためポリシリコンから発生する応力を Y 方向のみしか合わせていないことになる。X方向や Z 方向の応力を予測出来ていないので、この手法が正しいモデルかどうかの検証は不十分であるとも考えられる。このポリシリコン形成におけるモデルの検証もこの基礎検討においては今後の課題の 1つである。

(a)



(b)

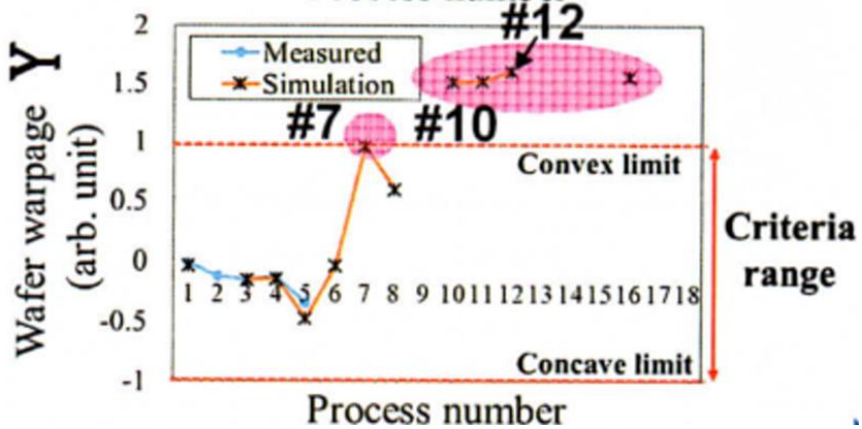


図 2.2. 5 工程分の初期実測結果とスループロセスのシミュレーション結果 (a) X 方向 (b) Y 方向

図 2.2 (a)は X 方向のウェーハ反り実測値である。プロセスステップNo. 5(Field-plate oxidation)後でウェーハ反りのクライテリア(装置で搬送エラーや吸着エラーが発生する可能性が高くなる反り量に規格を設定している)上限を超えていることを確認した。前述したように 2Dシミュレーションなのでカット面の位置で構造が変わる場合はシミュレーションが困難であることからX方向には実測値しか掲載していない。ただし、X方向については過去の研究でプロセスステップNo. 5 のウェーハ反りが最大になることが報告されている[1]。したがって、このプロセスではX方向は最初の数工程だけ実測でチェックしシミュレーションを実施しない手法を採用している。

一方図 2.2 (b)は Y 方向のウェーハ反り実測値 5 工程分とスループロセスでのシミュレーション結果である。5 工程分の初期実測結果は規格内に収まっており、問題ない結果である。しかし、シミュレーション結果からはプロセスステップNo. 7(Phosphorus diffusion 1)後と No. 10(Gate oxidation)後で大きく増加しプロセスフローの後半で反り管理規格を超えてしまうことがわかった。この結果から、このプロセスでは前工程をすべて完了させウェーハを作成するためには何らかのウェーハ反り対策が必要である。

2.4 ウェーハ反り制御技術

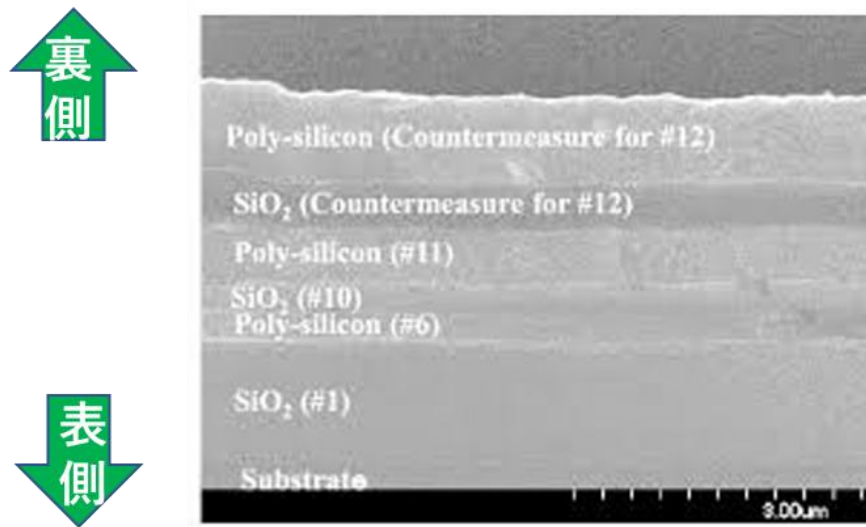


図 2.3. ウェーハ裏面の積層膜 SEM 像
poly-silicon etching 2 後 (プロセスステップNo. 13 後)

図 2.2 (a)からプロセスステップNo. 5(Field-plate oxidation)後におけるX方向ウェーハ反り増加に対する対策はその工程よりも前の段階で必要である。本論文ではウェーハ作成の最も早い段階で実施されるプロセスステップNo. 1(1st oxidation)で形成される膜の裏面側の膜に関して途中工程でエッチングされてしまわないようバッチ式の WET 処理を避け、枚葉式を採用することで裏面膜を残した。図 2.3 にはウェーハ裏面の積層膜 SEM 像を示す。この断面観察はプロセスステップNo. 13(poly-silicon etching 2)の後に行っている。この図 2.3 中の SiO₂(#1)がエッチングされないよう残した酸化膜である。この膜を残したことにより表側に形成される FP 酸化膜との応力バランスを取り、ウェーハ反り増大を抑えることが狙いである。

この SiO₂(#1)は最後の工程まで残したまま流れることになるのでX方向のプロセスステップNo.5 に対する対策だけでなく、Y 方向の反りが増加するプロセスステップNo.7 や、その後の工程に対してもウェーハ反りを抑制できる効果があると考えられる。

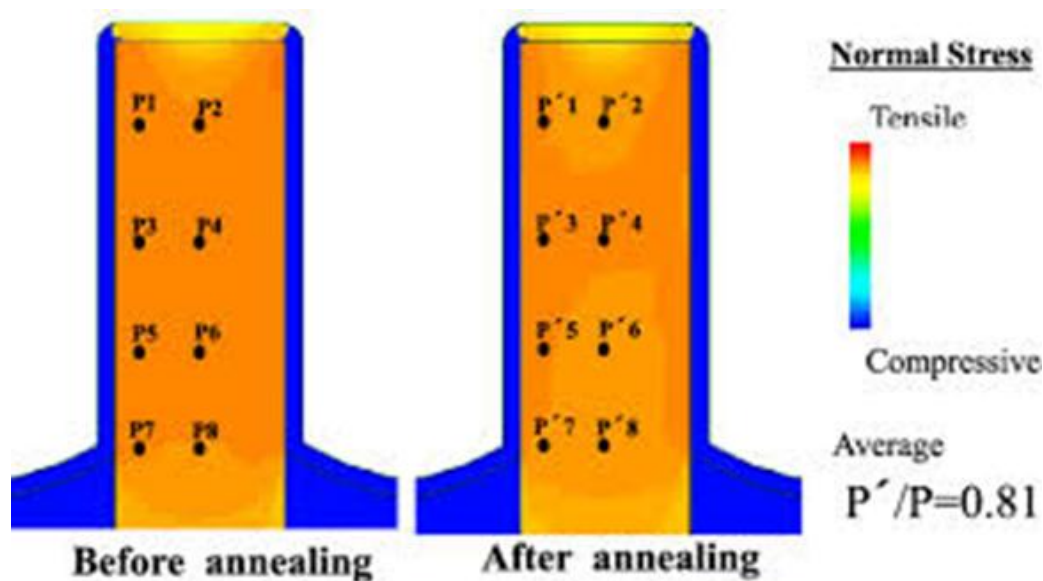


図 2.4. メサ領域における縦方向応力
高温アニール有無（プロセスステップNo.10 後）

さらに、Y 方向のプロセスステップNo.12(Phosphorus diffusion 2)後は反り増加が大きい工程であり追加対策を検討した。プロセスステップNo.11 (Undoped polysilicon LPCVD 2)後に、SiO₂ とポリシリコンの膜を連続で形成した。(図 2.3 中に記載)。表面側との応力バランス改善に寄与させることが狙いである。

以上の対策に追加して、プロセスステップNo.10(Gate oxidation)後の Y 方向反り量増加に対する対策も行った。ゲート酸化工程の直後に高温のアニール工程を追加した。これはアニールによる応力緩和[10]を狙った対策である。アニール後の応力は 19%改善されていることを確認した(図 2.4)。

2.5 ウェーハ反り制御実施結果

図 2.5 X 方向のデータに注目すると対策前はプロセスステップNo.5(Field-plate oxidation)後で規格を超えていたのに対してプロセスステップNo.1 で形成される膜の裏面側の膜に関してエッチングされてしまわないよう残した効果で規格内に入れることが出来ている。X 方向については過去の研究でプロセスステップNo.5 のウェーハ反りが最大になることが報告されており、プロセスステップNo.5 以降の推移は予定通りであると言える。

一方で、図 2.5 (b)Y 方向のデータに注目すると対策前はプロセスステップNo.7 で大きく増加してしまうことに対して X 方向のプロセスステップNo.5 に対する対策が有効であり、反り量が規格内に収まっていることを確認した。さらにプロセスステップNo.10(Gate oxidation)での急増に対してはゲート酸化後工程直後に高温アニールを追加することで応力緩和した効果が加わり改善し、規格内に入っていることが確認できた。

さらに、プロセスステップNo.12 (Phosphorus diffusion 2)後は反り増加が大きい工程であり対策としてプロセスステップNo.11 (Undoped polysilicon LPCVD 2)の後に、裏面側にSiO₂ とポリシリコンの膜を連続で形成した。この効果も加わり、プロセスステップNo.12 も規格内に入れることが出来た。

これらの結果に加えて注目すべきなのは図 2.5 (b) Y方向の実測値とシミュレーション値の比較である。近い値が得られており、このシミュレーションで精度良く予測出来ていることを確認できた。ただし、X方向の予測ができていないことは、今後の課題と認識しており、ポリシリコン形成条件が変わった場合や、構造が変わった場合はX方向のシミュレーションモデルが必要と考えられ、そのためにはシミュレーションの3D化は必要となる。

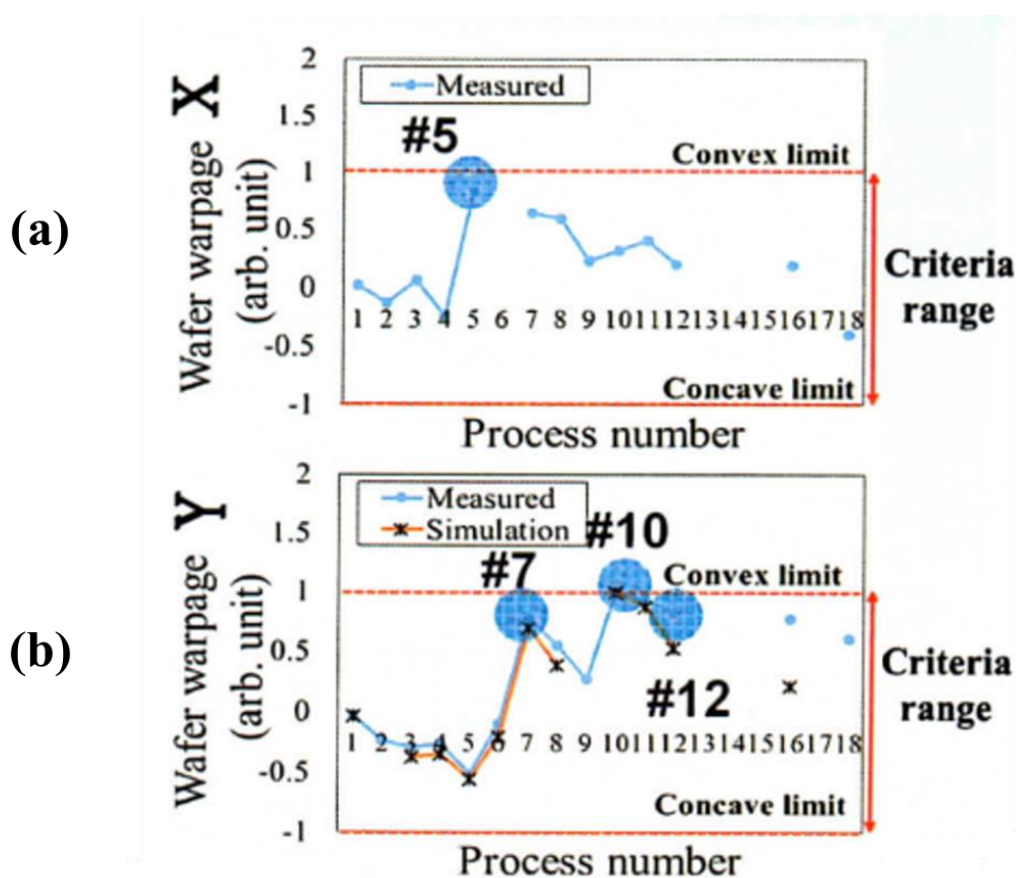


図 2.5. ウェーハ反り対策実施後のウェーハ反り実測結果とシミュレーション結果 (a) X方向 (b) Y方向

2.6 まとめ

2Dのウェーハ反り予測モデルを Sentaurus-Interconnect で構築した。反り予測方法はチップの小片を切り出して、シミュレーションで構造を作成し小片の片側を固定端とし、もう

一方を自由端にした。応力シミュレーションの結果出力される、自由端の変位量と実測でのウェーハ反り量が比例関係にあると想定して係数を求めた。そしてその係数を全工程に適用する手法を採用しウェーハ反り予測モデルを構築した。

このモデルを作成したことにより、Y方向のみウェーハ反りを予測できるようになった。なお、X方向はカットする面により構造が変わるため第2章で作成した2Dシミュレーションでは予測困難という課題が残っている。

第2章の参考文献

- [1] 西口俊史, 小林研也 "応力シミュレーションを活用したトレンチ MOSFET のウェーハ反り予測モデルの開発", 電気学会 電子デバイス・半導体電力変換合同研究会資料, EDD-15-068, SPC-15-150, pp. 23-28, 2015.
- [2] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Mechanism and control technique of wafer warpage in process integration for trench field plate power MOSFET", IEEE Trans. Semicond. Manuf., vol. 32, no. 4, pp. 417-422, Nov. 2019.
DOI: 10.1109/TSM.2019.2937391
- [3] <https://www.toho-tec.co.jp/products/inspection/flx/>
- [4] Synopsis TCAD, Sentaurus Manuals, Version J-2014.09, Sep 2014.
- [5] S. Shimomura, H. Kato, T. Shiraishi, T. Ohno, T. Nishiguchi, K. Miyashita, et al., "ProcessControl Technique to Dramatically Reduce Voids in Phosphorus-Doped Poly-Silicon for Trench Field-Plate MOSFETs", Proc. of eMDC'19, no. 5, 2019.
DOI: 10.23919/eMDC/ISSM48219.2019.9052086
- [6] S. P. Murarka and T. F. Retajczyk, "Effect of phosphorus doping on stress in silicon and polycrystalline silicon", J. Appl. Phys. Lett., vol. 54, no. 4, pp. 2069-2072, 1983.
- [7] K. G. Lyon, G. L. Salinger, C. A. Swenson and G. K. White, "Linear thermal expansion measurements on silicon from 6 to 340 K", J. Appl. Phys., vol. 48, no. 865, pp. 865-868, 1977.
- [8] W. Weiss, "A rapid torsion method for measuring the viscosity of silica glasses up to 2200°C", J. Amer. Ceramic Soc., vol. 67, no. 3, pp. 213-222, 1984.
- [9] M. Kawata and T. Katoda, "Characterization of Stress generated in polycrystalline silicon with laser Raman spectroscopy", vol. 52, pp. 89-97, 1993.
- [10] E. P. EerNisse, "Stress in thermal SiO₂ during growth", Appl. Phys. Lett., vol. 35, no. 1, pp. 8-10, 1979.

第3章 ウェーハ反り3次元モデルへの拡張

3.1 はじめに

前章で述べたようにY方向断面はどこをカットしても同じ構造になるため、2Dシミュレーションでウェーハ反りが予測できる。それに対してX方向はカットする面により構造が変わるため2Dシミュレーションでは予測が困難である。X方向もウェーハ反り予測出来るようにするにはシミュレーションを2Dから3Dへ拡張することが必要である。本章では反りシミュレーションの3D化を行った。また基礎検討1で実施していた変位モデルと、本研究で新たに提案する表面応力モデルの2つの方法について、比較評価を行った。なお、プロセスフローはトレンチ RIE 加工を行い FP 酸化するところまでを対象とし、200 mmで取得した実測結果との比較によりどちらの予測手法が実測に近くなるかを調べた。

3.2 応力シミュレーションによる三次元構造解析

1.4 で説明した基礎検討1では、X方向の断面はカットする位置によって構造が変わる。そのため、X方向のシミュレーションは2Dでは難しいという問題があった。シミュレーションの3D化が必要であり、COMSOL [1]の3Dシミュレーションを使用して3次元化を行った。

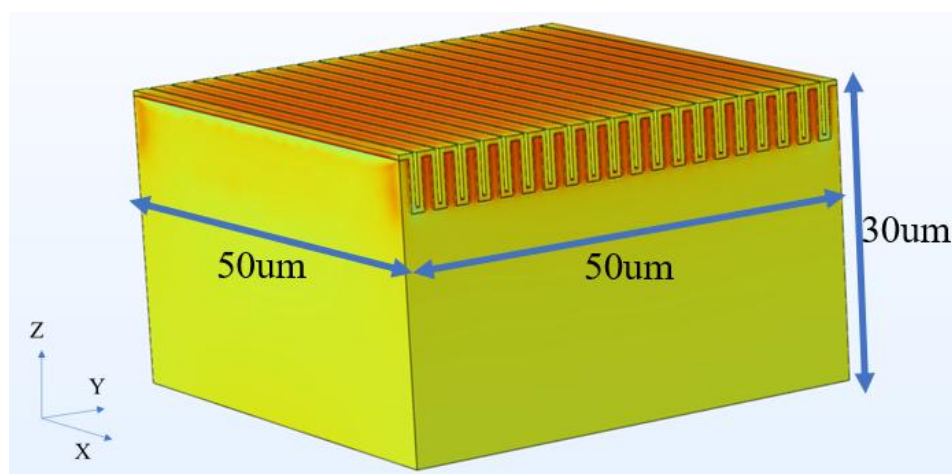
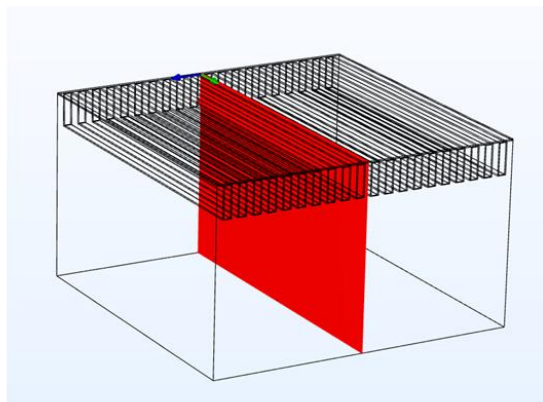


図 3.1.シミュレーションした構造体の大きさ (COMSOL)

(a)



(b)

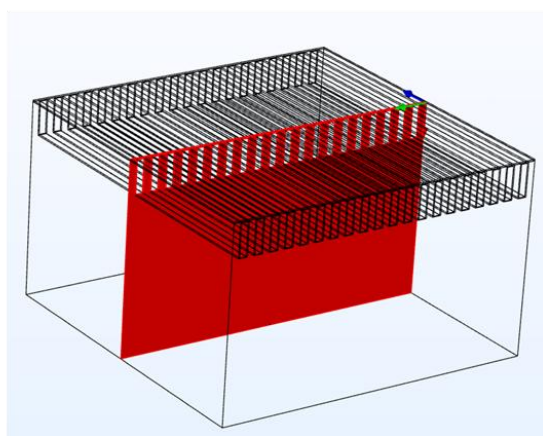


図 3.2. 3D 構造でのカット面(赤色)

(a)X 方向のカット面 (b)Y 方向のカット面

シミュレーションした構造体は図 3.1 に示すように X 方向にトレンチが伸びているストライプトレンチ構造であり、大きさは X 方向と Y 方向に $50\mu\text{m}$ 、Z 方向に $30\mu\text{m}$ に設定した。Z 方向に厚みを持たせ過ぎるとシミュレーションした変位量が小さくなりすぎて予測精度が落ちるため有意差が見えるような厚さに設定している。X、Y 方向も大きすぎると計算時間がかかり、小さすぎると変位量が小さくなりすぎる。適度な大きさにする必要があり $50\mu\text{m}$ に設定した。

なお 3D 構造の応力シミュレーションの結果から以下の説明では必要に応じて X 方向、Y 方向それぞれカット面で切った応力や変位の分布を表示する(図 3.2)。X 方向についてはメサ部にかかる応力がウェーハ反りに影響を与えるため、メサの中央部をカット面に設定する。なお断面カットするメサに、この図の立方体の端部付近のメサを選ぶと境界条件の影響で正しいメサ部の応力が出力されていない可能性があるため、立方体の中心付近のメサを選ぶこととした。同様に Y 方向に関しても立方体中心付近で断面カットしている。

3.3 変位量からのウェーハ反り予測モデル(変位モデル)

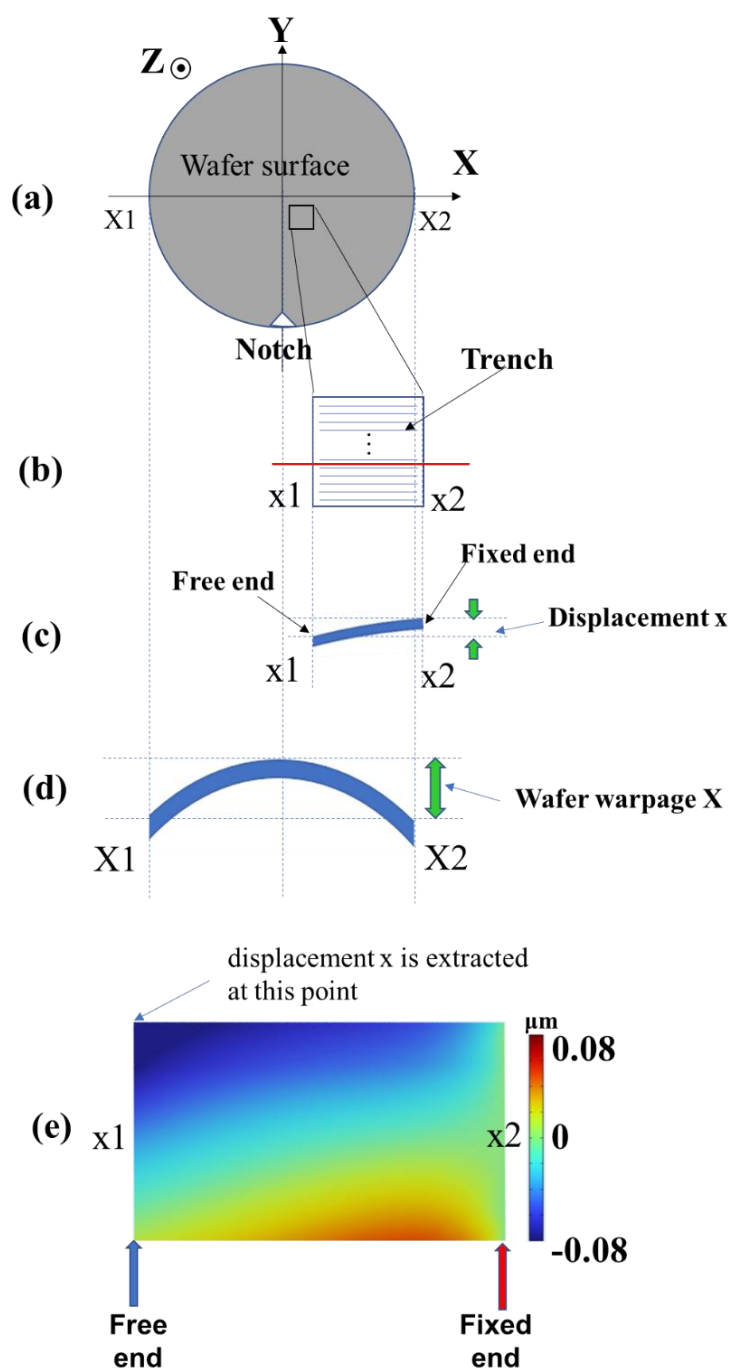


図 3.3. 変位量を使ったウェーハ反り予測モデル

(a)X,Y,Z 方向の定義 (b)シミュレーション対象の小片イメージ

(c)x1 と x2 でカットしたときの小片の断面イメージ

(d)X1 と X2 でカットした時のウェーハの断面イメージ

(e)シミュレーションした変位量の結果(小片を x1 と x2 でカットした断面)

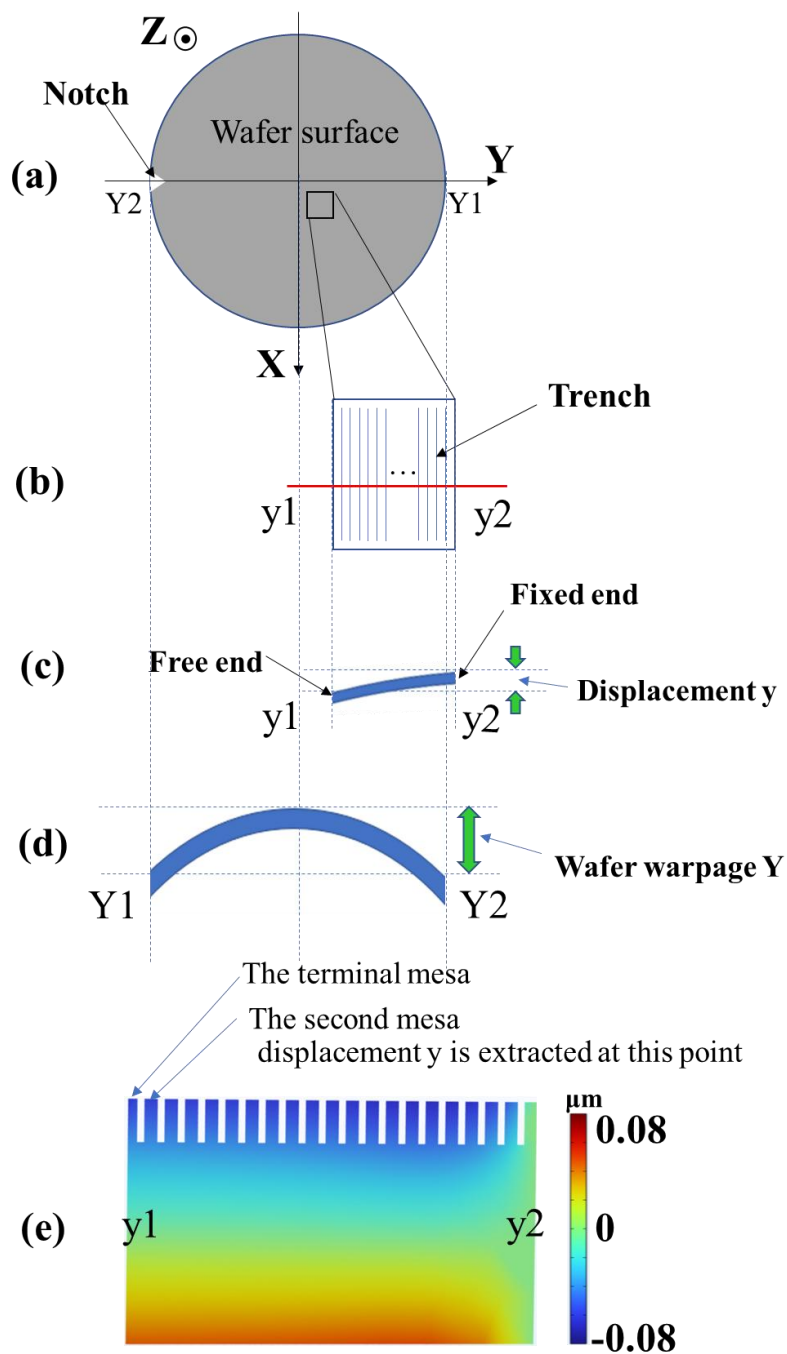


図 3.4. 変位量を使ったウェーハ反り予測モデル

(a)X,Y,Z 方向の定義 (b)シミュレーション対象の小片イメージ

(c) y_1 と y_2 でカットしたときの小片の断面イメージ

(d) Y_1 と Y_2 でカットした時のウェーハの断面イメージ

(e)シミュレーションした変位量の結果(小片を y_1 と y_2 でカットした断面)

変位モデルは基礎検討 1 と同様の手法である。今回はシミュレーションツールをシノプシス社の S-Inter connect [2] から COMSOL に変更している。図 3.3. (b) がウェーハ上の一部を切り出したシミュレーション対象の小片を表面側から見た図である。トレンチは X 方向に向かって伸びるストライプセル構造である。次に図 3.3. (c) は $x1-x2$ 断面で小片をカットした場合の断面イメージ図を示している。固定端を $x2$ とし自由端を $x1$ と設定し、自由端側の変位量 x (図 3.3. (c) に記載の Displacement x) を抽出する。図 3.3. (d) に $X1-X2$ 断面でウェーハをカットした場合の断面イメージ図を示している。この図にしめす Wafer warpage X のことを X 方向の反りと呼ぶ。上に凸の反りが発生しているときにウェーハ反りがプラスと定義し、下に凸の場合にウェーハ反りはマイナスとする。

図 3.3. (e) には $x1-x2$ 断面で小片をカットした場合の変位量シミュレーション結果を掲載した。自由端 $x1$ における変位量 x は図中左上の角の部分での値の Z 成分を抽出した。この小片の変位量 x はウェーハ表面のデバイス構造にかかる応力から発生したものであり、ウェーハ反り X と比例関係にあるだろうという推定である。その比例係数をある工程におけるウェーハ反り X の実測結果から調べる。そこで求めた比例係数をほかの工程でも使用することで小片をシミュレーションした結果出てくる変位量 x からウェーハ反り X を予測できるようになる。

一方、Y 方向のウェーハ反りも X 方向の場合と同様に求める。図 3.4 (c) のように固定端を $y2$ とし自由端を $y1$ と設定し、自由端側の Z 成分の変位量すなわち変位量 y (図 3.4 (c) に記載の Displacement y) を求める。図 3.4 (d) に $Y1-Y2$ 断面でウェーハをカットした場合の断面イメージ図を示している。この図にしめす Wafer warpageY のことを Y 方向の反りと呼ぶ。図 3.4 (e) には $y1-y2$ 断面で小片をカットした場合の変位量シミュレーション結果を掲載した。

自由端 $y1$ における変位量 y は図 3.4. (e) のターミナルメサにすると、ターミナルメサだけ幅が他のメサとは異なるので異常な応力が発生し変位量も異常値が抽出されてしまうことが判明した。そこで、 $y1$ 側の終端から 2 本目のメサの左上端の変位量 y を抽出した。この変位量 y はウェーハ反り Y と比例関係にあるだろうという推定で、その比例係数をある工程におけるウェーハ反り Y の実測結果から調べる。そこで求めた比例係数をほかの工程でも使用することで小片をシミュレーションした結果出てくる変位量 y からウェーハ反り Y を予測できるようになる。

ここで、固定端と自由端の設定に関して図 3.3, 図 3.4 では片側を固定端、反対側を自由端としているが、もう 1 案検討した上でその方法を採用している。以下ではその検討を実施した結果を説明する。

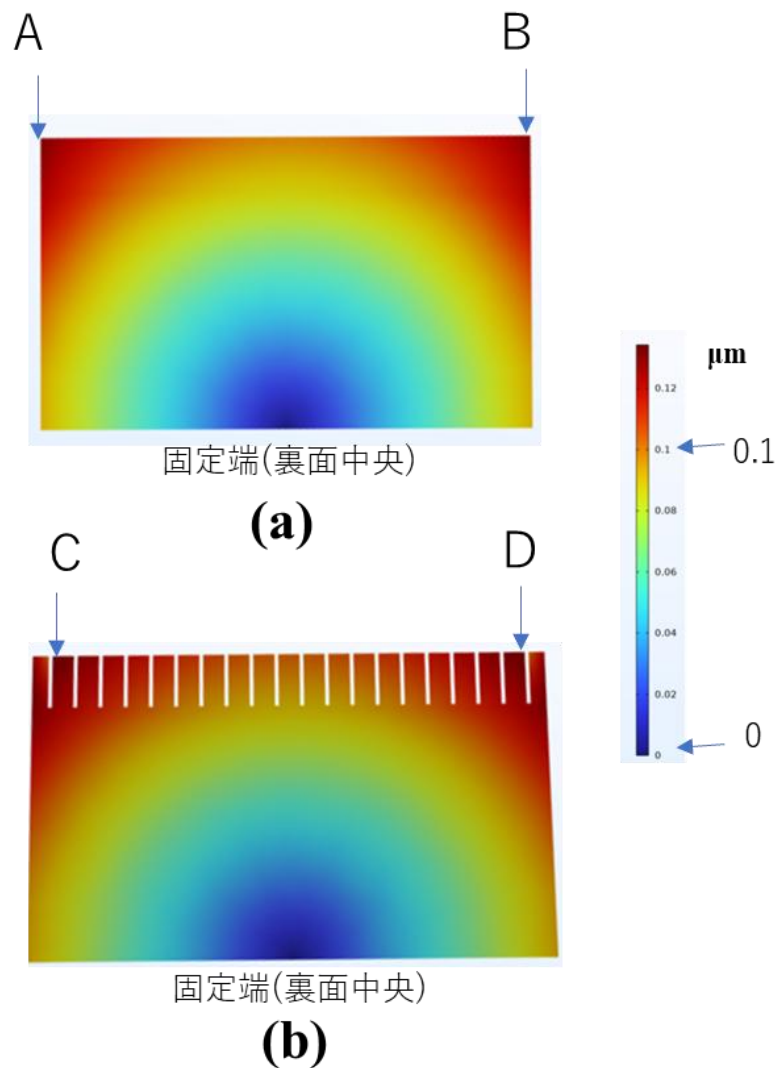


図 3.5. 固定端を裏面中央に設定した場合の
FP 酸化後変位量 (a)X 方向 (b)Y 方向

図 3.5 に示すように固定端を裏面中央に設定し検討した。シミュレーションは FP 酸化後の工程でデータ抽出を行った。表 3.1 に示すように固定端を裏面中央に設定すると、各点で変位量は $+0.14\mu\text{m}$ 付近の値になった。特に X 方向はトレンチ内部に酸化膜が形成されると大きく上に凸になるはずであり[3]、マイナスの結果が出るはずである。この結果は想定していた結果とは異なっている。この方法ではデバイス部にかかる応力による変位量が正しく抽出できないと判断した。

一方で図 3.6 に示すように固定端を片側の面に設定した場合は表 3.1 で確認すると固定した A 点と C 点の変位量ゼロとなっている。また X 方向の B 点変位量がマイナスで大きい値になっていること、トレンチが深くなるにつれてそのマイナス値が大きくなっていることから正常に依存性が出ていると考えられる[4]。以上の確認結果を踏まえて図 3.3, 図 3.4 では片側を固定端、反対側を自由端に設定した。

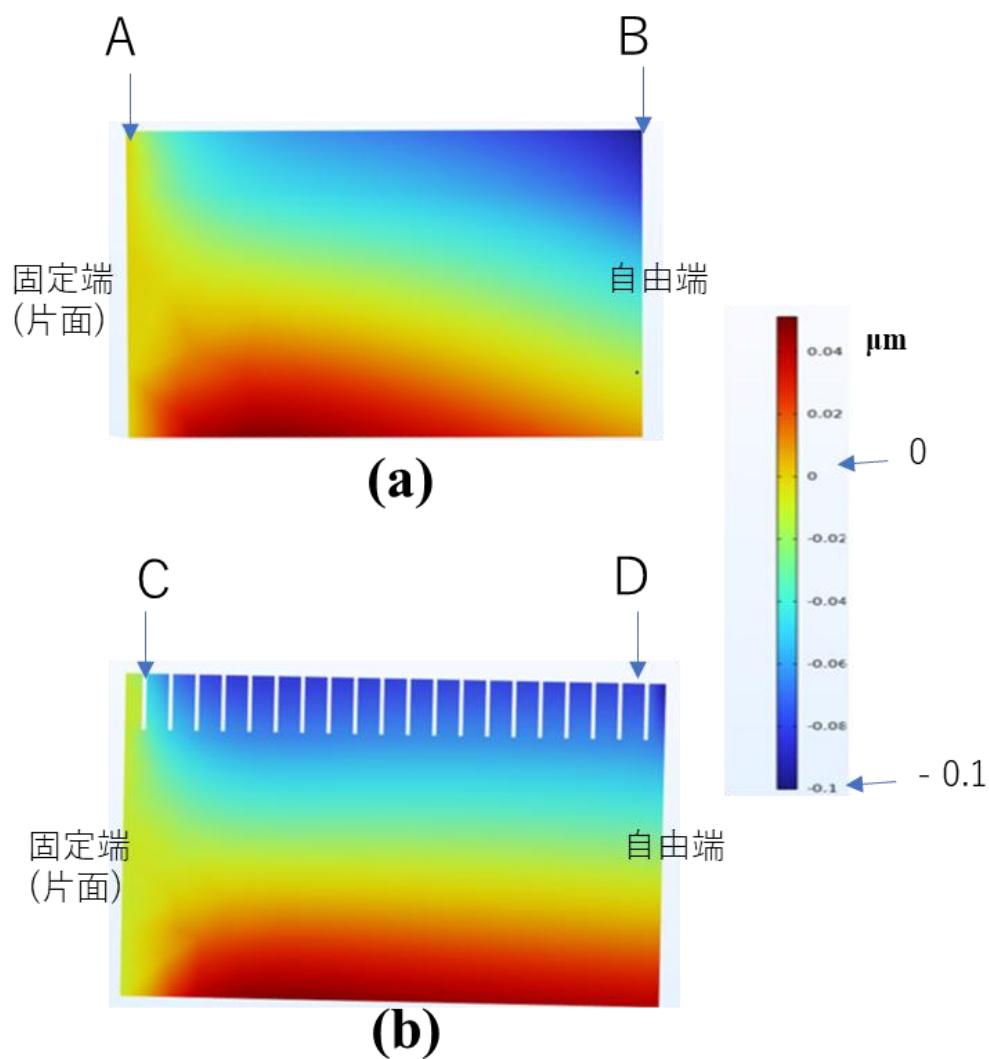


図 3.6. 固定端を左側片面に設定した場合の
FP 酸化後変位量 (a)X 方向 (b)Y 方向

表 3.1. 図 3.5, 図 3.6 の各ポイントにおける変位量
トレンチ深さ振り (FP 酸化膜 530nm)

固定端 裏面中央	トレンチ深さ	2.0 μm	5.3 μm	7.5 μm
	A点変位量 (μm)	0.142816	0.139472	0.136823
	B点変位量 (μm)	0.144713	0.140924	0.139796
	C点変位量 (μm)	0.143125	0.130196	0.127269
	D点変位量 (μm)	0.142541	0.128495	0.120411
固定端 左側片面	トレンチ深さ	2.0 μm	5.3 μm	7.5 μm
	A点変位量 (μm)	0.000000	0.000000	0.000000
	B点変位量 (μm)	-0.080508	-0.100109	-0.111338
	C点変位量 (μm)	0.000000	0.000000	0.000000
	D点変位量 (μm)	-0.068732	-0.033653	-0.079672

3.4 表面応力からのウェーハ反り予測モデル(表面応力モデル)

2つ目のアプローチは3Dシミュレーションで計算した表面応力を使用して、ウェーハの反りを1.3.2で記載したストーニーの式(1)から計算する手法である。3.1で説明した変位モデルは基礎検討1で使用しているが、小片の変位量とウェーハの反りが比例していることが前提となっている。一方、2.2で記載したように基礎検討1においてポリシリコンへのリン拡散プロセスではウェーハ反りの挙動が変位モデルでは説明がつかず、熱膨張係数を調整して対応している。つまり複雑な応力がかかるときは比例にならない可能性がある。

また小片はウェーハの厚みが30 μm と薄くなっているため、例えば小片の厚みに対するトレンチ深さの割合と、ウェーハの厚みに対するトレンチ深さの割合は、トレンチの大きさによって変化すると推測でき、耐圧展開を想定してトレンチサイズを変えた反り量を予測するには比例係数をそれぞれの耐圧で実測して求めなければならない可能性が考えられる。

こういった問題がないと思われる手法として表面応力モデルを提案する。表面応力モデルではウェーハ厚に依存せずにシミュレーションを実施することが出来る。以下で変位モデルと表面応力モデルの2つの方法を比較する。

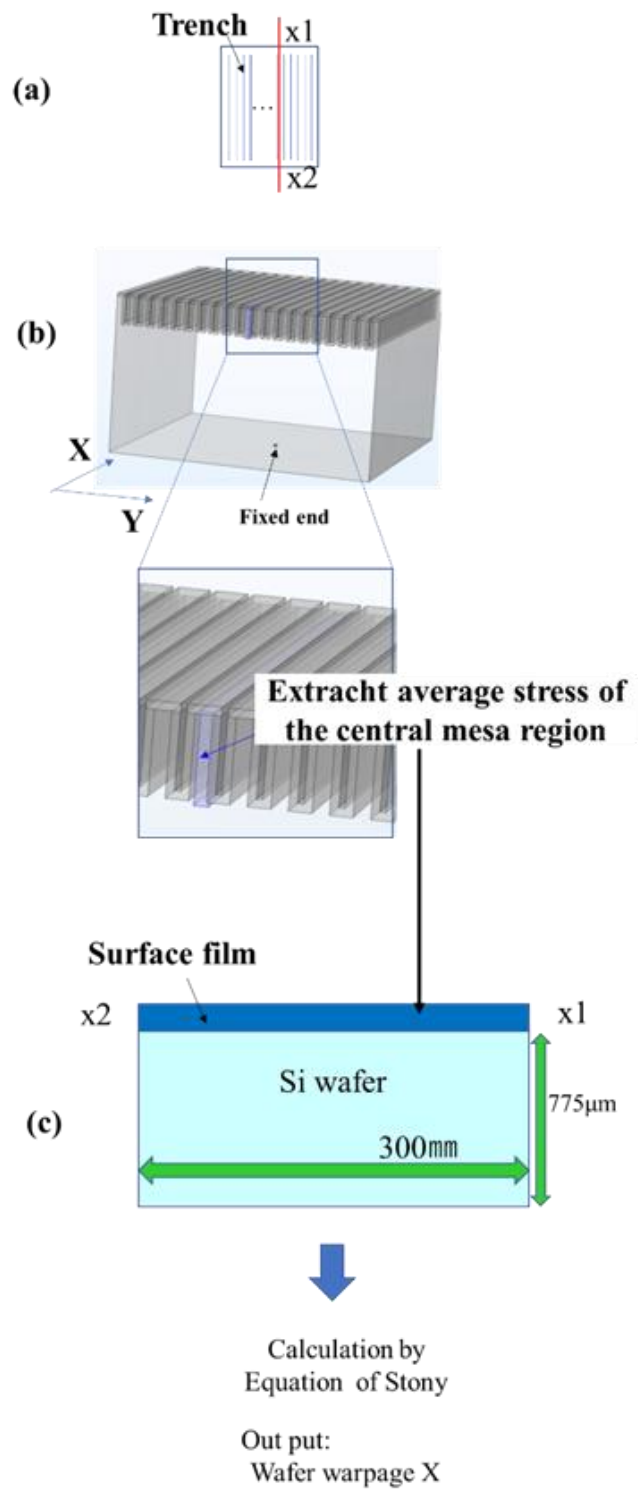


図 3.7. 表面応力を使ったウェーハ反り予測モデル

(a)シミュレーション対象の小片イメージ

(b)3D 形状およびセンターメサでのデータ抽出

(c) $X1$ と $X2$ でカットした時のウェーハの断面イメージ

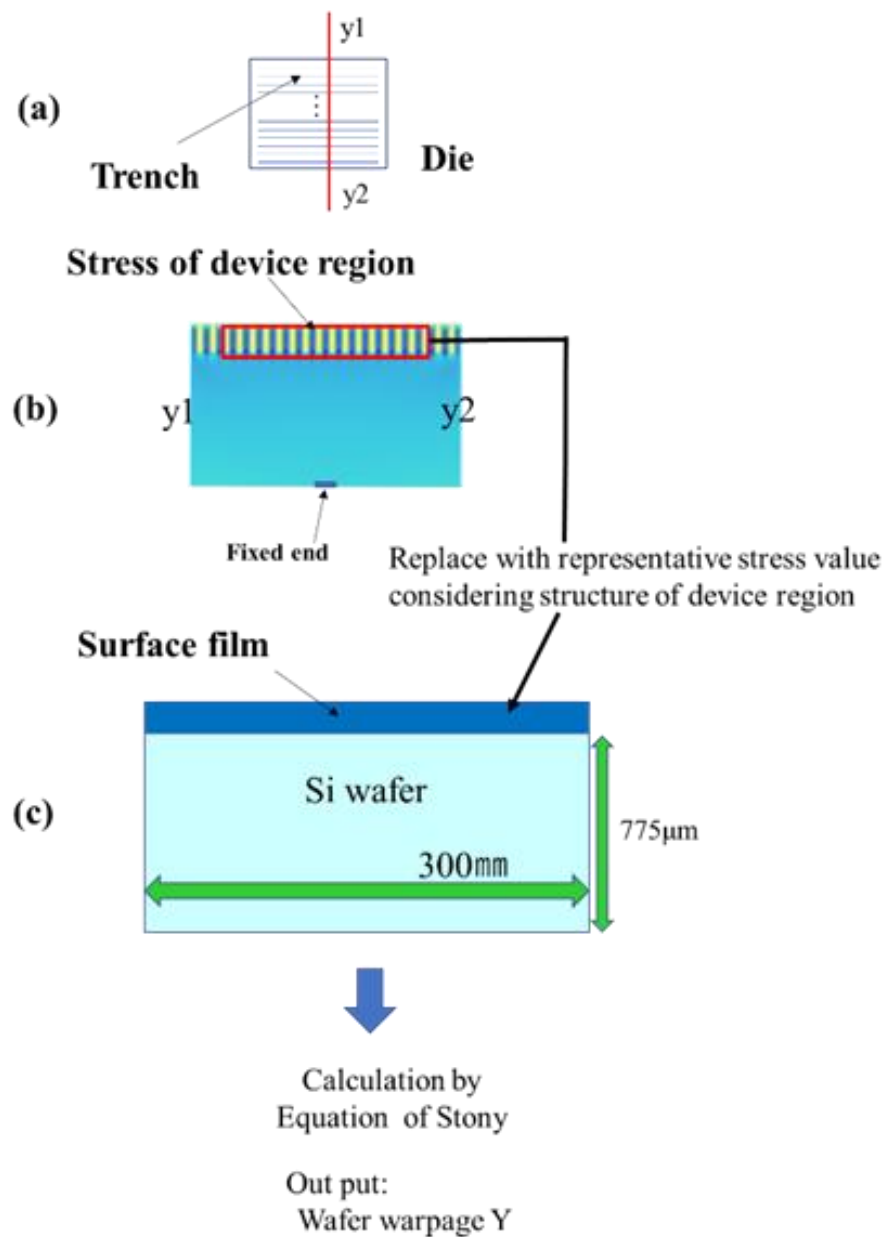


図 3.8. 表面応力を使ったウェーハ反り予測モデル

- (a) シミュレーション対象の小片イメージ
- (b) $y1$ と $y2$ でカットしたときの小片の断面イメージ
- (c) $Y1$ と $Y2$ でカットした時のウェーハの断面イメージ

表面応力モデルについてX方向のウェーハ反り計算方法を図 3.7 にY方向のウェーハ反り計算方法を図 3.8 に示した。いずれも表面応力モデルと同じように図 3.1 の構造を使用して計算する。このアプローチでは、デバイス領域での応力を正確に出すことが重要であり変

位の情報は不要である。仮に図 3.3(e), 図 3.4(e)のように左右どちらかの面を固定すると、その影響が内側数セルまで及んでしまい、正確なデバイス領域の応力が得られない可能性がある。したがってデバイス領域の正確な応力情報を得るために図 3.7(b), 図 3.8(b)に示すように小片の裏面側の中央部を固定端に設定した。

シミュレーションプロセスはまず 3D 構造全体の応力を計算する。そして、3D 構造体の中央付近からメサを 1 本選定し、そのメサ内の応力データの特に X 方向の応力を平均化して出力する。このデータを X 方向の応力データとして使用する。(図 3.7(b))。このような平均化が必要な理由はメサ内でも酸化膜に近いところと、遠いところでは応力の大きさが異なるためである。

ここで X 方向の応力を取り扱う場合に必要になるメサ比率について説明する。ウェーハの反りは 1.3.2 で記載したストーニーの式(1)から求めることが出来るが、X 方向に関しては、メサ部が存在する領域と、存在しない領域が交互に現れる構造になっている。したがって、ストーニーの式に入力する表面応力にメサの応力をダイレクトに入れると、ウェーハ表面全体にその応力がかかっているかのような過剰な見積になってしまう。実際にはトレンチが存在する領域にはその応力がかかっていない。そこでメサの存在比率を応力値にかけると計算処理を追加する。

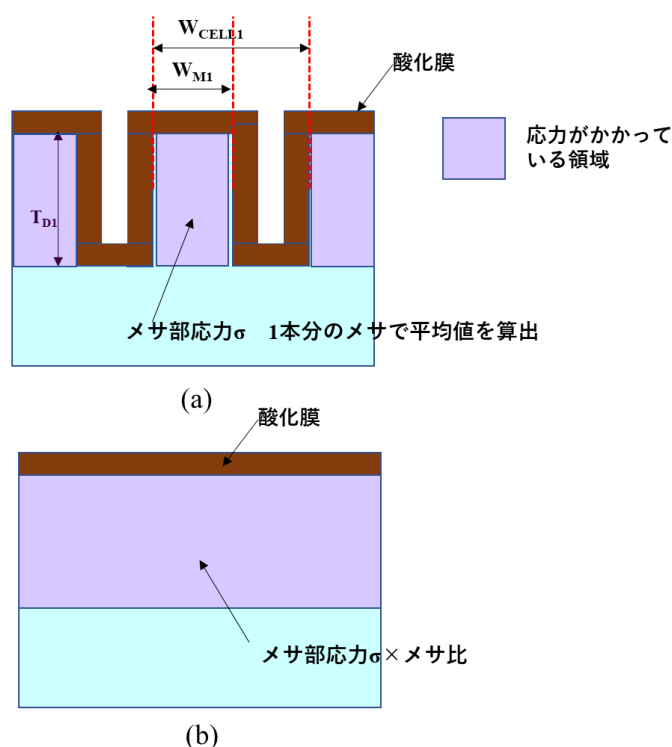


図 3.9. メサ比の説明図 (a)構造と寸法の定義 (b)メサ比をかけて応力は均一になっていると仮定した結果のイメージ図

$$\text{MESA}_{\text{RATIO}} = \frac{W_{M1}}{W_{\text{CELL}}} \quad (1)$$

図 3.9 に示すようにメサ幅 W_{M1} とセルピッチ W_{CELL} の比を求め、それ式(1)に示すメサ比 ($\text{MESA}_{\text{RATIO}}$) とする。図 3.7(c) のウェーハ表面の応力はこのメサ比をかけた値とし、そのとき応力はトレンチの深さまでかかっているものと考え計算する。

次に 1.3 の式(3)を用いて、横方向の応力 σ からウェーハの反りを計算する。直径 L は 200 mm、ウェーハの厚さ T は $725 \mu\text{m}$ 、ウェーハのヤング率 E は 130 GPa、ウェーハのポアソン比 ν は 0.27、表面膜の厚さ t はトレンチ深さ（なぜならトレンチの底部までの領域に応力が発生しているから）、ウェーハの反りは W である。このようにして X 方向のウェーハの反り量を計算する。

一方 X 方向の計算と基本的に同様の考え方で図 3.8(b)に示すように Y 方向断面のデバイス領域応力を計算する。 y_1 と y_2 の間には複数のトレンチがある。図 3.8(c)に示すウェーハ表面における横方向の応力は均一な値であると仮定し、デバイス領域の平均的応力を求めて使用している。

トレンチが埋まっていない状態では基本的には Y 方向の応力はいかからない。しかしながら、トレンチが酸化膜やポリシリコンで埋まっている場合はメサおよびトレンチ内部が一体になったかのように応力が発生する。その応力を平均化して抽出する。なお図 3.8(b)に記載しているようにターミナルメサ付近の横方向応力は、境界条件により小片中央付近のメサにおける横方向応力とは値が異なっている。したがって、ターミナルメサ近傍の応力はデバイス領域の値とは異なるとみなし除外した。

なおウェーハに垂直な方向すなわち Z 方向の応力についてはシリコンウェーハに横方向の力を加えないためウェーハ反りには寄与していない。しかし、 Z 方向は電流の流れる経路に当たるため、後述するオン抵抗とひずみの関係を議論する際に重要になる。

3.5 シミュレーション結果

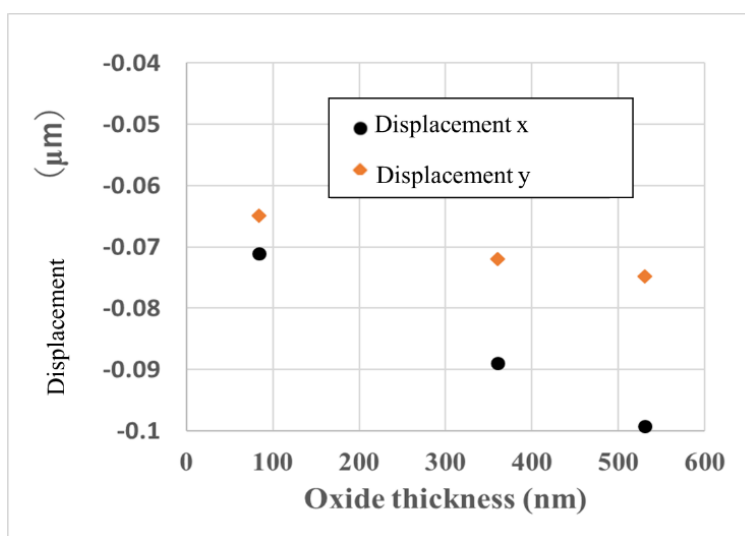


図 3.10. FP 酸化後の変位モデルによるシミュレーション結果
トレンチ深さ 5.3μm での FP 酸化膜厚と変位量の関係

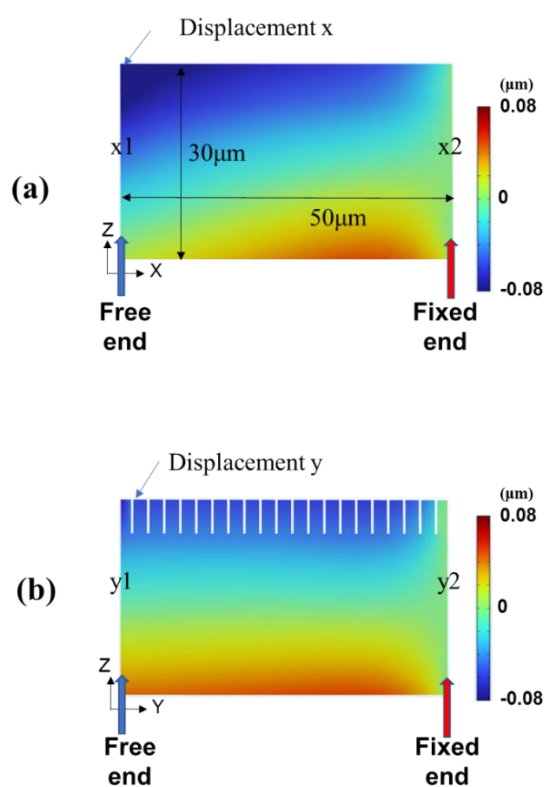


図 3.11. FP 酸化後の変位モデルによるシミュレーション結果
FP 酸化膜厚さ 530nm, トレンチ深さ 5.3μm
(a) x1 と x2 でカットしたときのメサ中央部変位量 Z 方向
(b) y1 と y2 でカットしたときの変位量 Z 方向

変位モデルと表面応力モデルの精度に関してはウェーハ反りの実測値とシミュレーション値を比較することによってどちらが優れているかを評価する。トレンチ FP 構造の MOSFET で 100V クラスの耐圧を得るためにこの実験ではトレンチ深さと FP 酸化膜厚はそれぞれ $5.3\mu\text{m}$ と 530nm に設計した。FP 酸化膜厚は耐圧に比例して設計されるため、より低い電圧クラスを想定し、 360nm と 84nm の条件も同時に検討した。

変位モデルのシミュレーション結果を図 3.11 に示した。図 3.11(a)と図 3.11(b)はトレンチ加工し、FP 酸化膜を形成した後の Z 方向変位量 (displacement x と displacement y) を示している。いずれも変位の値は負である。また図 3.10 に示すように、その絶対値は変位 y よりも変位 x の方が大きくなっている。ウェーハの反り量はこれらの変位に比例すると仮定した。

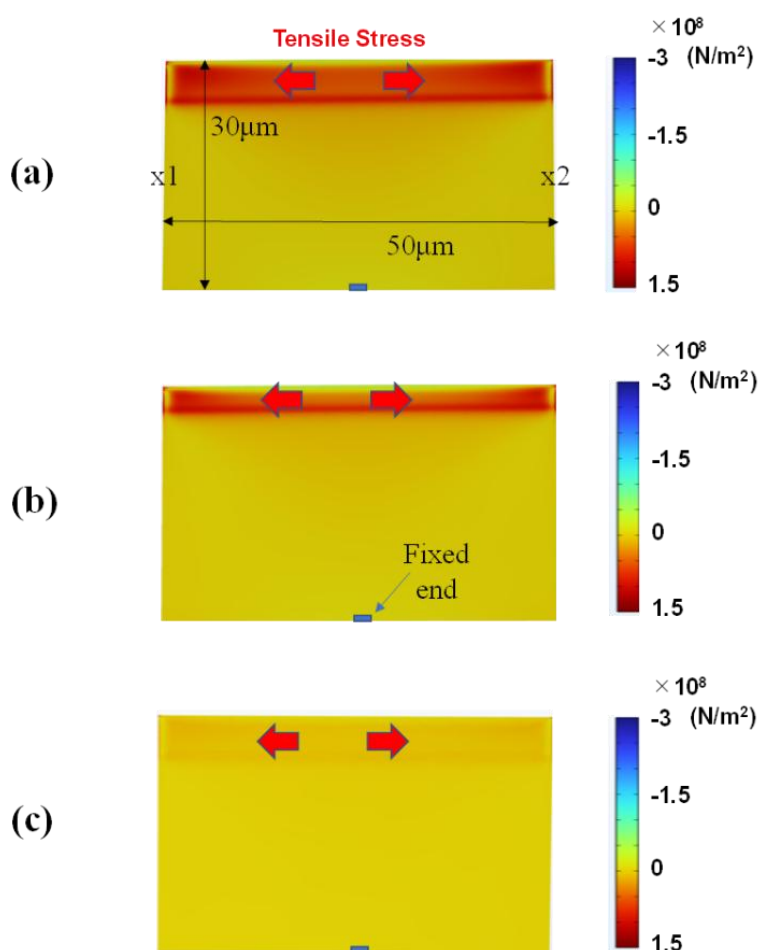


図 3.12. FP 酸化後の表面応力モデルによるシミュレーション結果

- メサ中央における X 方向の応力 (a)FP 酸化膜厚 530nm , トレンチ深さ $5.3\mu\text{m}$
- (b) FP 酸化膜厚 530nm , トレンチ深さ $3.0\mu\text{m}$
- (c) FP 酸化膜厚 84nm , トレンチ深さ $5.3\mu\text{m}$

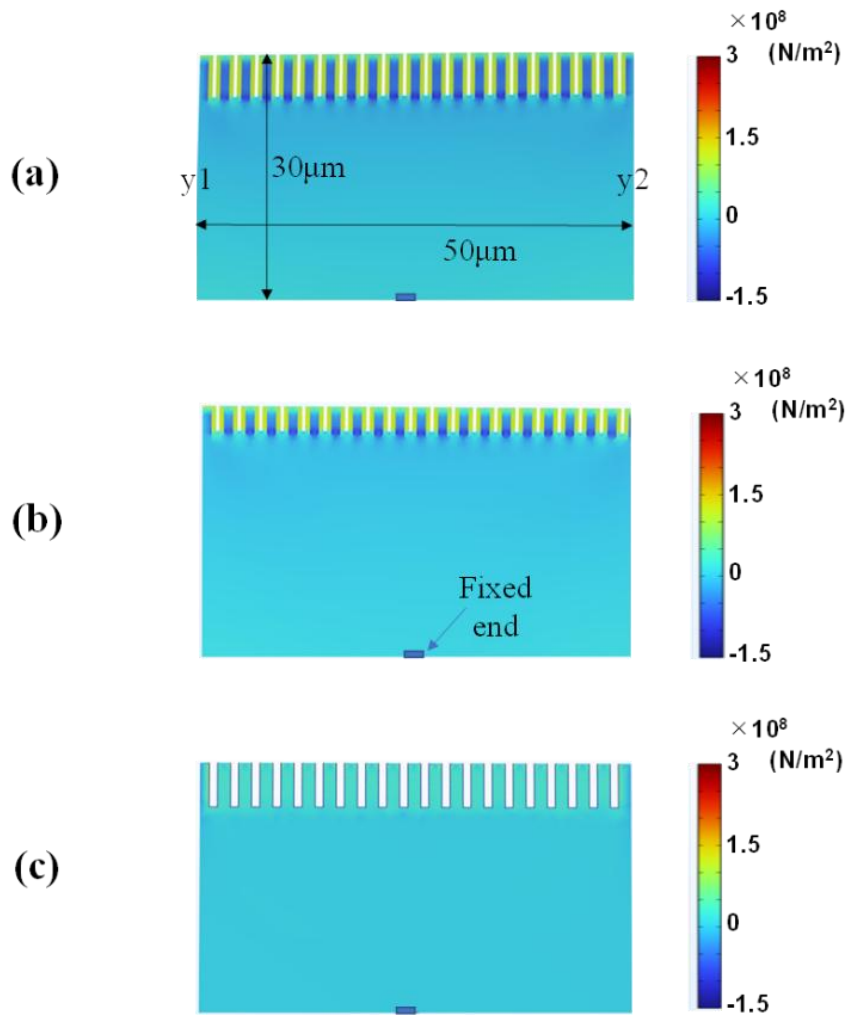


図 3.13. FP 酸化後の表面応力モデルによるシミュレーション結果

Y 方向の応力 (a)FP 酸化膜厚 530nm, トレンチ深さ 5.3 μm

(b) FP 酸化膜厚 530nm, トレンチ深さ 3.0 μm

(c) FP 酸化膜厚 84nm, トレンチ深さ 5.3 μm

次に表面応力モデルによるシミュレーション結果を示す。図 3.12 はメサ中央での $x1-x2$ 断面における X 方向の応力（図中では横方向の応力）を表示している。メサ領域には表層付近に引張応力が均一に発生している。図 3.12 (a)と図 3.12 (b)を比較してわかるように引張応力の発生領域はトレンチの深さによって変化する。さらに図 3.12 (a)と図 3.12 (c)を比較すると引張応力の強さは FP 酸化膜の厚さに応じて変化していることがわかる。

一方、図 3.13 は $y1-y2$ 断面における Y 方向の応力（図中では横方向の応力）を表示している。メサ領域には圧縮応力が発生している。X 方向と同様に図 3.13(a)と図 3.13(b)を比較するとメサ領域での圧縮応力発生領域はトレンチの深さによって変化する。さらに図 3.11(a)と図 3.11(c)を比較するとメサ領域の圧縮応力の強さは FP 膜厚に依存している。

この FP 酸化後の Y 方向断面構造ではメサには酸化膜から横方向に応力がかかっているもののトレンチで分断されている。ウェーハ反りへの影響はほぼ無いのではないかと推測できる。

3.6 実験結果との比較

本章では実験データとの照合も行う。実験サンプルは 200 mm ウェーハを用いている。厚さは $725\mu\text{m}$ 、抵抗率は $1\sim 100\Omega\cdot\text{cm}$ である。X 方向に伸びるようにトレンチをレイアウトし、セルピッチは $2.5\mu\text{m}$ に設定した。ダイシングライン幅は $60\mu\text{m}$ で形成した。サンプルの作製フローは図 3.14 に示した。トレンチ加工は深さが仕上がりで $5.3\mu\text{m}$ 株式会社アイテスへの外注加工で作成した(図 3.14(b))。

FP 酸化工程は福岡 ist 3 次元半導体研究センターの酸化設備 VF-1000 を用いて純水バブリング手法で 1100°C の酸化を行った。入炉と出炉はいずれも 700°C に設定した。膜厚は 530nm, 360nm, 84nm の 3 条件を作成した(図 3.12(c))。ウェーハ反りは裏面の酸化膜を除去したあと、大塚電子製の光学式厚さ計 OPTM-A1 を使用して測定した。

実測結果とシミュレーション結果を合わせて図 3.15 に X 方向の結果を示し、図 3.16 に Y 方向の結果を示した。実測とシミュレーション両方において X 方向の反りは酸化膜厚とともに増加することがわかった。変位モデルでのシミュレーション結果はオフセットを持っているため実測と一致しなかった。この結果から、小片での変位量とウェーハ反りの関係性について、ある比例係数で表現できるという方法では不十分であると考えられる。プロセスステップの変更、プロセス条件の変更などの変化でウェーハ反り予測が正しくできない問題があることを示唆している。なお、ここで FP 酸化 530nm 条件での実測の値と変位モデルによるシミュレーションの値が一致しているのは、その条件で合うように、小片の変位量からウェーハの反りを求める係数を設定したためである。FP 酸化 360nm と 84nm については、530nm 条件で求めた係数を使用してウェーハ反り量を予測している。

一方で、表面応力モデルで予測した結果はいずれの FP 酸化条件においても実測とシミュレーションで近い値が得られており精度の高い予測ができていることがわかった。

また実測の Y 方向の反りは酸化膜厚に応じてわずかに増加しているが、シミュレーションの Y 方向の反りはほぼ変化はないという結果となった。シミュレーションでウェーハ反りが増加しない理由はウェーハ表面の応力がかかっているエリアをトレンチで分断しているためと考えることが出来る。それに対して実測データでは 3D シミュレーションで考慮していないダイシングラインがウェーハ上に存在する。このダイシングラインの酸化膜が原因で Y 方向の反りが膜厚に応じて上昇するものと推測する。すなわち、膜厚が厚くなると、ダイシングライン上の膜厚が厚くなり上に凸の方向にウェーハが反る。この現象が見えている可能性が考えられる。

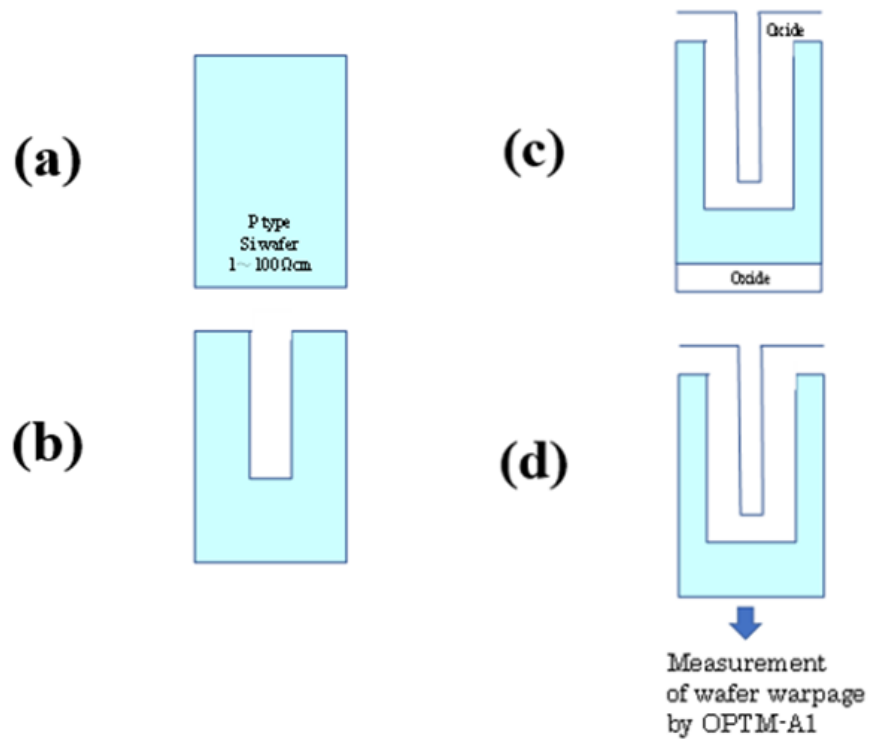


図 3.14. ウェーハ反り実測サンプルの作製フロー
 (a)ウェーハの準備 (b) トレンチエッチング後
 (c) FP 酸化後 (d) 裏面膜除去後

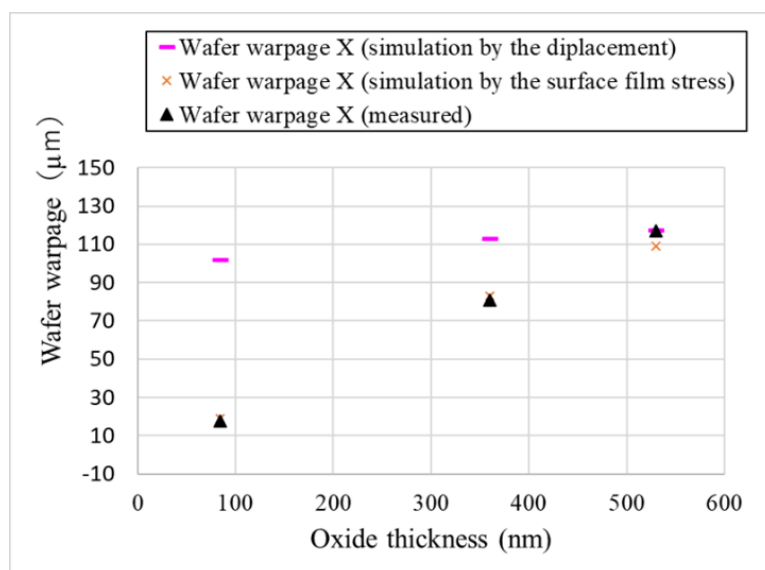


図 3.15. 裏面酸化膜除去後の X 方向ウェーハ反り

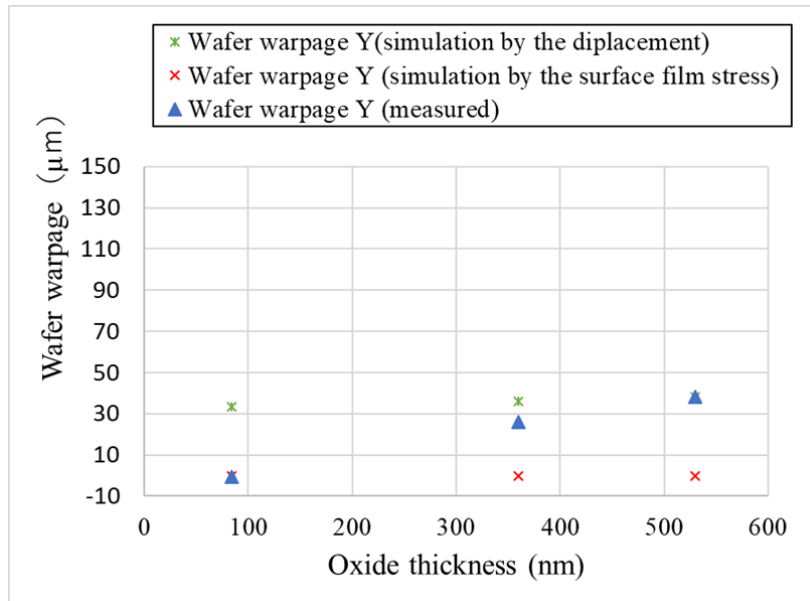


図 3.16. 裏面酸化膜除去後の Y 方向ウェーハ反り

3.7 まとめ

基礎検討 1 では 2D シミュレーションを使用しており Y 方向のウェーハ反りだけしか予測できていなかった。第 3 章では X 方向もシミュレーションできるようにするために COMSOL を使い 3D 化を行った。

また、ウェーハの反り予測モデルについて、基礎検討 1 では変位モデルを使用していたがポリシリコン形成後のアニール工程のような複雑な応力が発生する場合に予測精度が落ちるのではないかと考え、表面応力モデルを新規に考案した。

この章では変位モデルと表面応力モデルを比較検討した。特にトレンチ FP 構造の主要工程である FP 酸化工程について酸化膜厚を振りどちらのモデルが良いかを調査した。その結果表面応力モデルの方が実測結果と良好な一致を示した。今後のウェーハ反り予測は表面応力モデルを使う方がより正しく予測できることがわかった。

第 3 章の参考文献

- [1] 計測エンジニアリングシステム株式会社 名古屋営業所 COMSOL Multiphysics セミナースタートアップコース 1 形状/メッシュモデリング
- [2] Synopsis TCAD, Sentaurus Manuals, Version J-2014.09, Sep 2014.
- [3] 西口俊史, 小林研也 "応力シミュレーションを活用したトレンチ MOSFET のウェーハ反り予測モデルの開発", 電気学会 電子デバイス・半導体電力変換合同研究会資料,

EDD-15-068, SPC-15-150, pp. 23-28, 2015.

- [4] 内田哲也 "半導体製造における酸化・拡散行程のシミュレーションに関する研究", 博士(工学)論文, 大阪大学, 2001. DOI: 10.11501/3184410

第4章 ウェーハ大口径化対応とポリシリコン成膜モデルの検討

4.1 はじめに

3 章までは反り予測モデルを 200 mm ウェーハで検証している。一方パワー半導体で 300 mm ウェーハを扱う企業が近年急激に増えている[1]-[3]。ウェーハ反りはウェーハの口径により変わり、大口径ウェーハの方が反り量は大きくなる。よって今後さらにウェーハ反り制御は求められる。この章では 300 mm ウェーハでこれまで作ったモデルがただしく適用できるかどうかを実験で検証し、特にモデルと一致しないと考えられるポリシリコンをトレンチ内に形成したあとの熱処理工程についてモデルを作成する。200 mm ウェーハと 300 mm ウェーハ共通で使えるモデルを作成する。

なお基礎検討 1 ではポリシリコンをトレンチ内に形成したあとの熱処理工程はポリシリコン単膜の応力値を入力しただけであり小片の変位量と相関が合わない挙動が確認されている[4]。熱膨張係数を調整して合わせこんでいるが、シミュレーション可能な Y 方向のみしか合わせおらず、X 方向、Z 方向は合っていない可能性がある。さらに基礎検討 2 についても単膜の応力値を入力していると記載されている[5] [6]。したがって基礎検討 1、2 ともにこのポリシリコンの応力についてのモデル化が解決できていないと考えている。

4.2 実験方法

4.2.1 パターン無しウェーハでのデータ取得

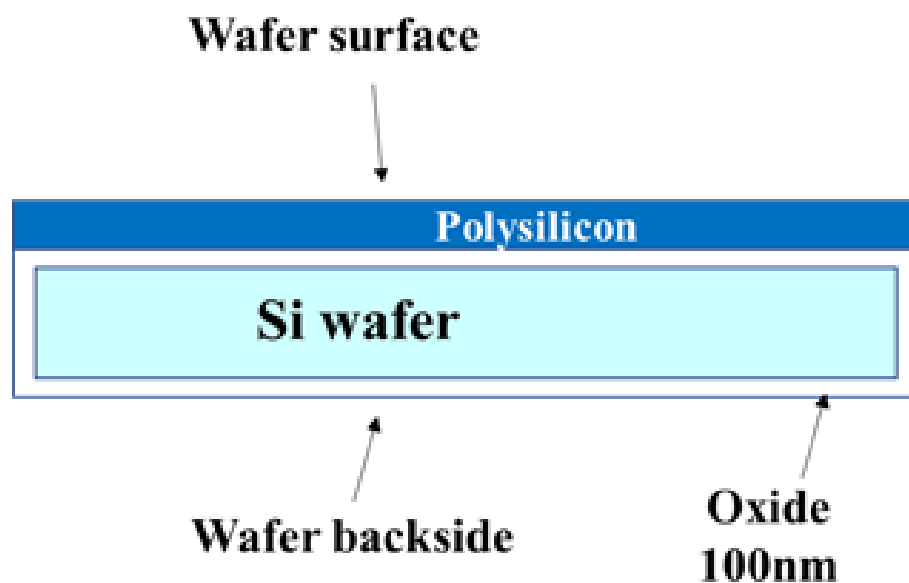


図 4.1. ポリシリコン単膜のウェーハ反り測定構造

ポリシリコンは、成膜条件によりグレインサイズが異なる。またグレインサイズにより応力が異なることが考えられるため、図 4.1 の構造でサンプルを作成し、ポリシリコンのウェーハ反りを測定する。この構造の形成フローは最初にウェーハ 100nm 酸化し、次に、ポリシリコンを CVD で形成する。この時ウェーハの表だけでなく、裏側にもポリシリコンが形成される。表も裏も同じ膜が形成されているとウェーハは反らないので、応力を調べることはできない。そこで、裏側のポリシリコンだけを選択的に除去している。

またアニールを行うことでそのグレイン状態が変わるためアニールを行った場合についても同様にウェーハ反りを確認する。アニールは実際のスループロセスにおける FP 酸化以降の工程を想定して実施している。なおウェーハの反りは、レーザー変位計 (DY3000-RC) を使用した非接触形状測定システムを使用して測定した。

4.2.2 TEG 構造とプロセスフロー

TEG サンプルのユニットセル構造を図 4.2 に示す。直径 300 mm の Si ウェーハ表面に X 方向に沿ってトレンチ構造を形成し、セルピッチは $2.0\text{ }\mu\text{m}$ 、メサ幅は $1.22\text{ }\mu\text{m}$ 、酸化膜厚は 100 nm、トレンチ深さは $5.5\text{ }\mu\text{m}$ に設定した。セルピッチに関しては 1 ショットに 24 チップの TEG となっており、ほとんどが $2.0\text{ }\mu\text{m}$ のセルピッチでレイアウトされているが、一部にセルピッチ $1.6\text{ }\mu\text{m}$ と $2.8\text{ }\mu\text{m}$ のパターンが盛り込まれている(図 4.3)。トレンチ幅はすべてのセルピッチで統一しており、セルピッチはメサ幅を変化させて調整している。ウェーハ反りについてはこの TEG で作成したウェーハを使用して測定している。

セルピッチ違いのパターンが混載されているが大多数がセルピッチ $2\text{ }\mu\text{m}$ であるから $2\text{ }\mu\text{m}$ ピッチとして取り扱っている。大多数がセルピッチ $2\text{ }\mu\text{m}$ であるため寸法振りの影響は軽微で、大セルピッチと小セルピッチは相殺されるため、結果的にウェーハ全体の反りにはほとんど影響しないと判断している。

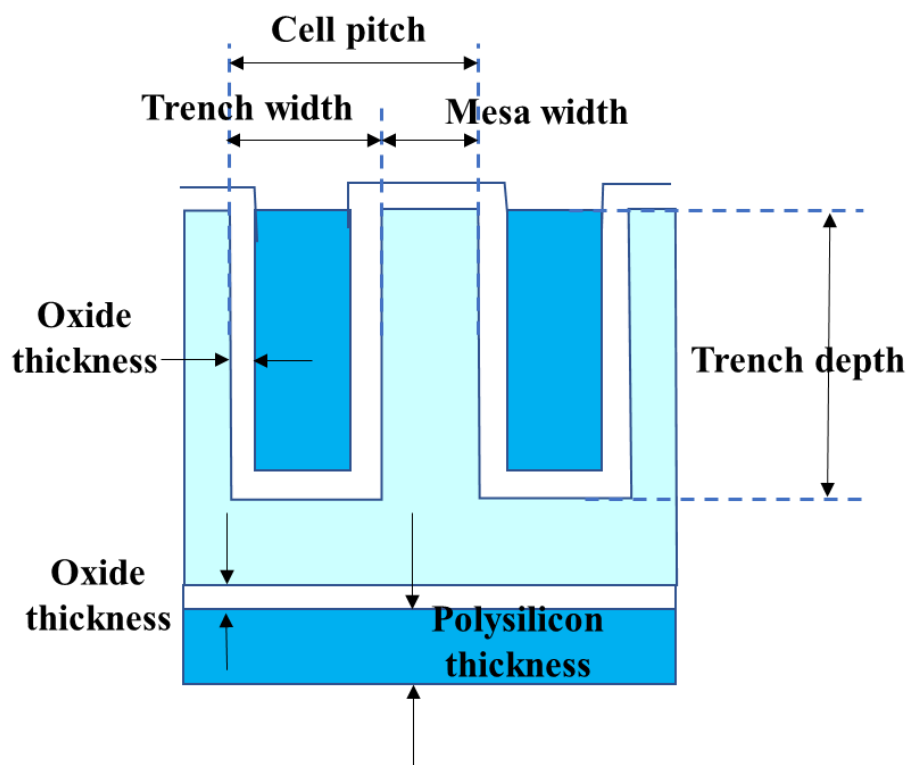


図 4.2. TEG サンプルのセル構造

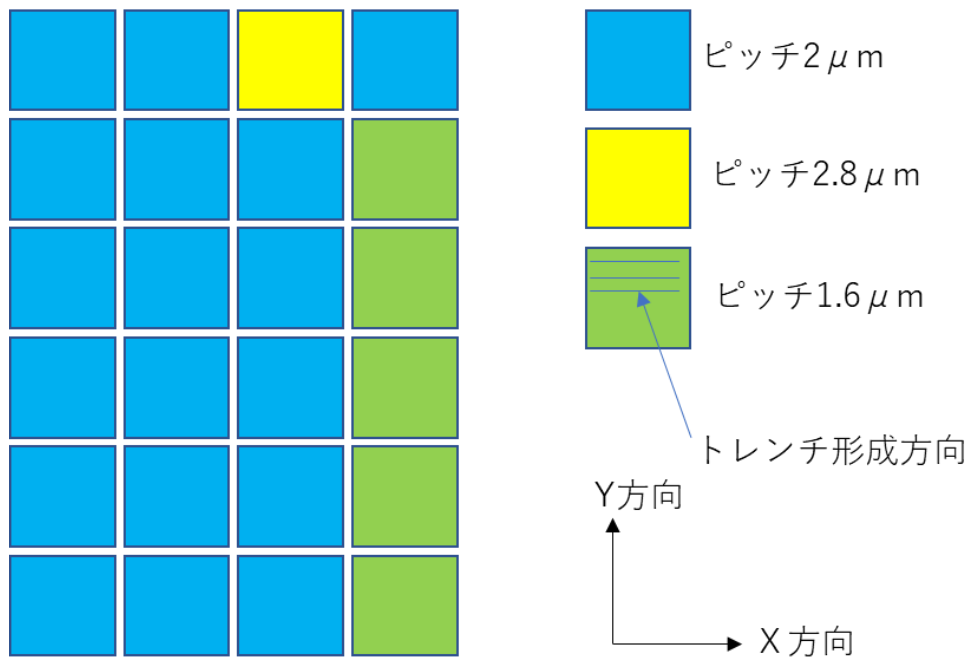


図 4.3. TEG のショット配置

次に図 4.4 にサンプル作製のフローを示した。最初に、RIE を使用してトレンチを形成し (図 4.4 (b))。続いて、酸化プロセスを実行した (図 4.4 (c))。次に、リンドープポリシリコンを堆積し (図 4.4 (d))、前面のポリシリコンを除去した (図 4.4 (e))。最後にアニール工程を実施した (図 4.4 (f))。

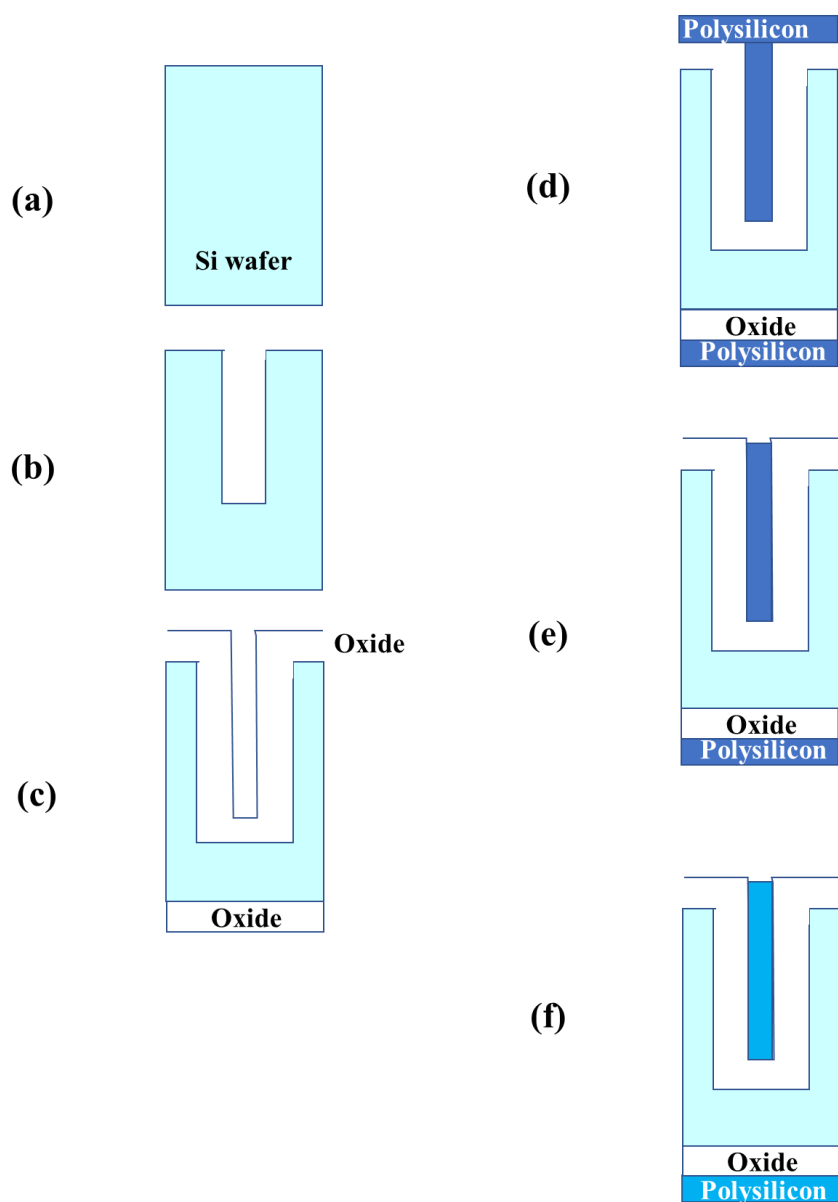


図 4.4. サンプル作製のフロー (a)ウェーハの準備 (b) トレンチエッチング後 (c) FP 酸化後 (d) ポリシリコン成膜後 (e) 表面ポリシリコンエッチング後 (f)アニール後

4.2.3 TEG 構造での断面からのラマン分光測定方法

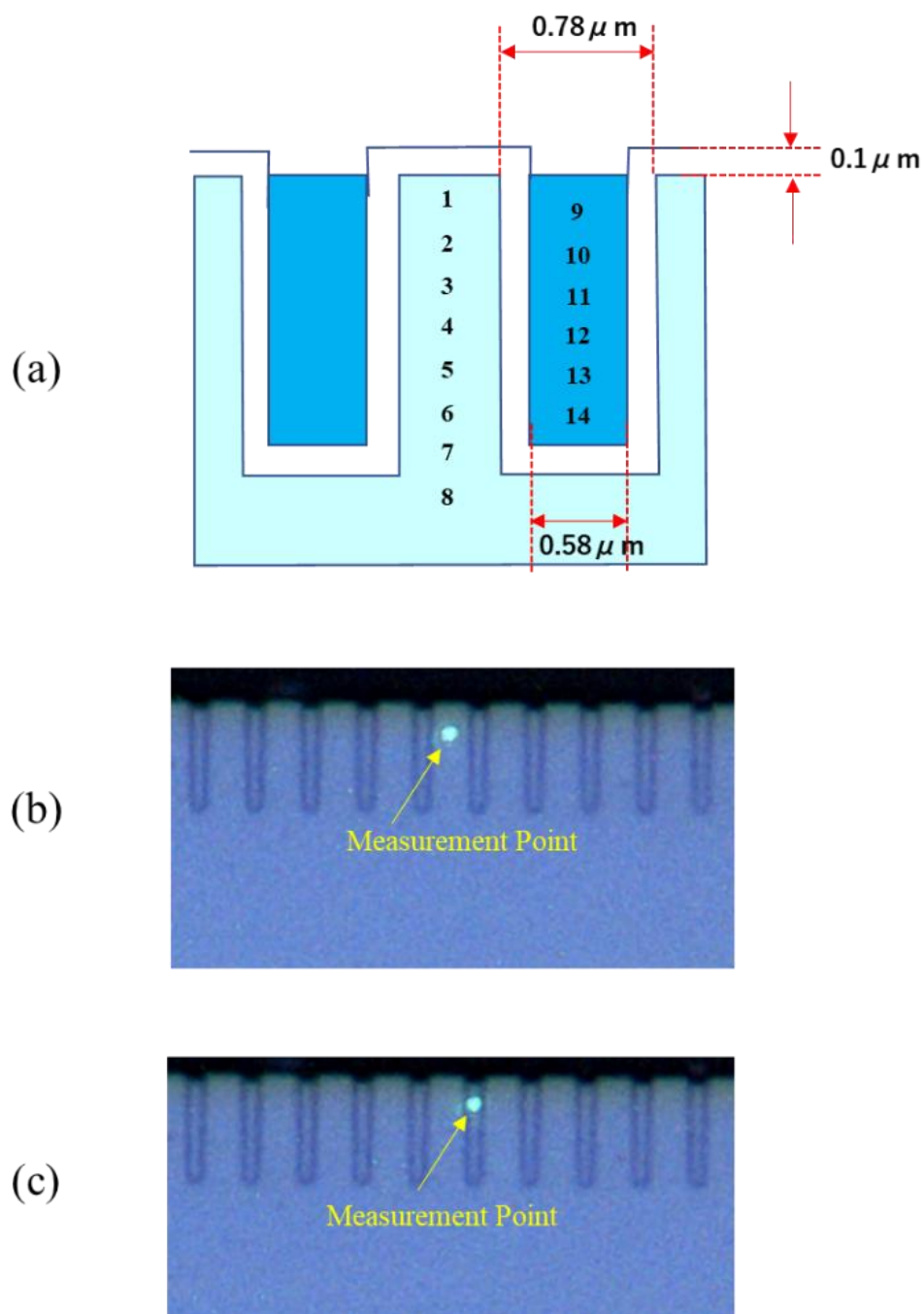


図 4.5. 断面からのラマン分光測定の測定箇所 (a)断面イメージとすべての測定 Position (b)メサ領域を測定しているときの写真 (セルピッチ 2.8 μm) (c)トレンチ内部を測定しているときの写真 (セルピッチ 2.8 μm)

※ref 測定はバルク中央付近でデバイスから十分に離れた箇所

シミュレーションを微細化や高耐圧化の検討で活用できるようにするためシミュレーションで得られる応力値を実測の応力値に合わせる計画である。そのためデバイス領域における応力を断面からのラマン分光測定で測定する。Renishaw 社製の inVia ラマン分析装置を使用して測定を行った。この装置は焦点距離 250 mm のモノクロメータが搭載されており、励起源として波長 532 nm、グレーティング 1800 lines/mm の Nd:YAG レーザーが使われている。図 4.5(a)に示すように Y 方向の断面について、メサ上の 8 か所とトレンチ内のポリシリコン上を 6 か所の合計 14 か所でラマンシフトを測定した。

なお、倍率 100 で測定しておりレーザスポット径は $0.764\mu\text{m}$ である。公称出力 150mW のレーザーは、ラマンシフト測定中に 5%のパワーに設定した。ラマンシフト値は文献 [7],[8]で提供されている変換係数を使用して応力に変換する

4.3 測定結果

4.3.1 パターン無しウェーハでのウェーハ反り測定結果

図 4.1 のように形成されたポリシリコンのウェーハ反りを測定し、そのデータを用いて 1.3.2 で記載したストーニーの式(1)から表面応力を計算した結果を表 4.1 に掲載した。ポリシリコン形成後にアニールを行うと、応力の方向が反転することが確認できる。

表 4.1. ポリシリコンパターン無しウェーハのウェーハ反りと表面応力

	Wafer warp page (μm)	Surface stress (MPa)
after deposition	47	302
after annealing	-24	-154

4.3.2 TEG 構造でのウェーハ反り測定結果

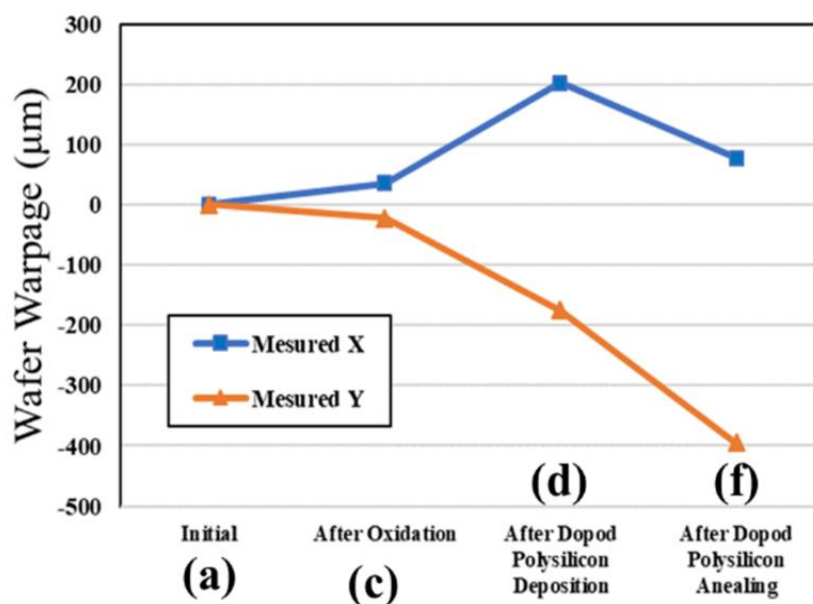


図 4.6. TEG 構造でのウェーハ反り測定結果 セルピッチ $2\mu\text{m}$

(a)ウェーハの準備 (c) FP 酸化後 (d) ポリシリコン成膜後 (f)アニール後

図 4.5 に示した構造のサンプルについて図 4.4 に示した工程フローでウェーハを作成し各プロセスステップ(a)、(c)、(d)、(f)におけるウェーハの反りのデータをグラフ化した(図 4.5)。ポリシリコン堆積後、ウェーハの X 方向と Y 方向の反りの差が拡大した。さらにアニール後には X 方向の反りが減少し、Y 方向のウェーハの反りはさらに大きなマイナス値となった。

4.3.3 TEG 構造での断面からのラマン分光測定結果

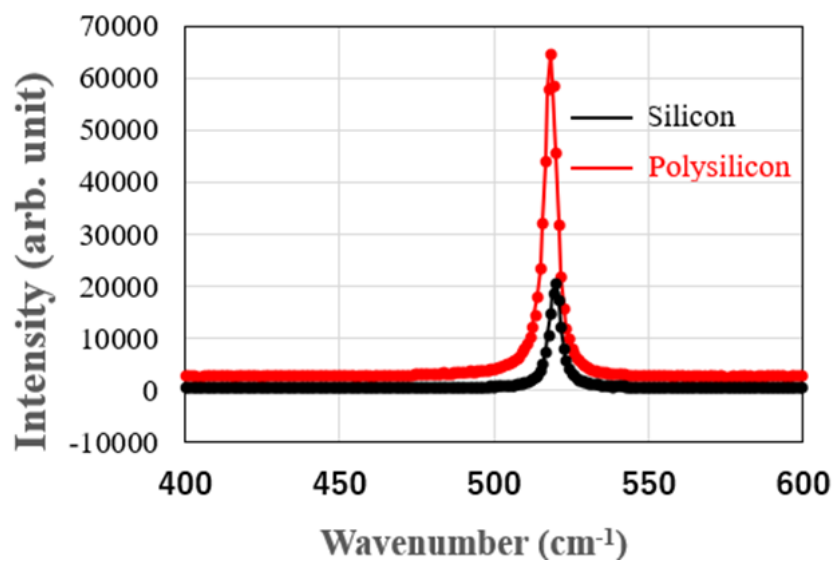


図 4.7. ポリシリコン成膜後のアニール実施後サンプルに対する断面からのラマン分光測定結果
(シリコンとポリシリコンのスペクトル比較)

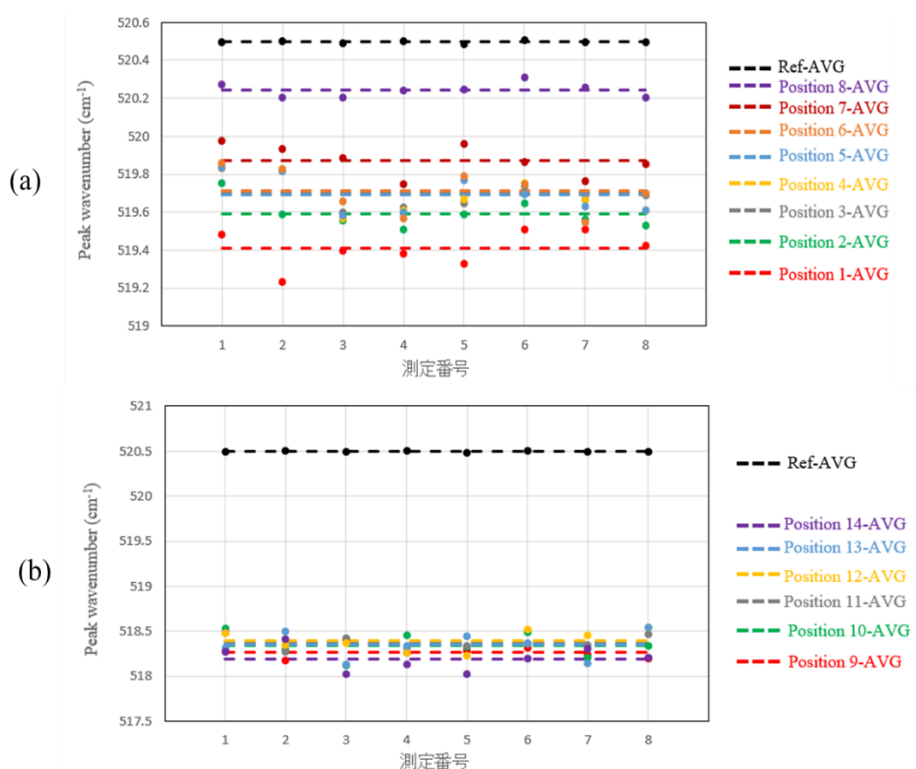
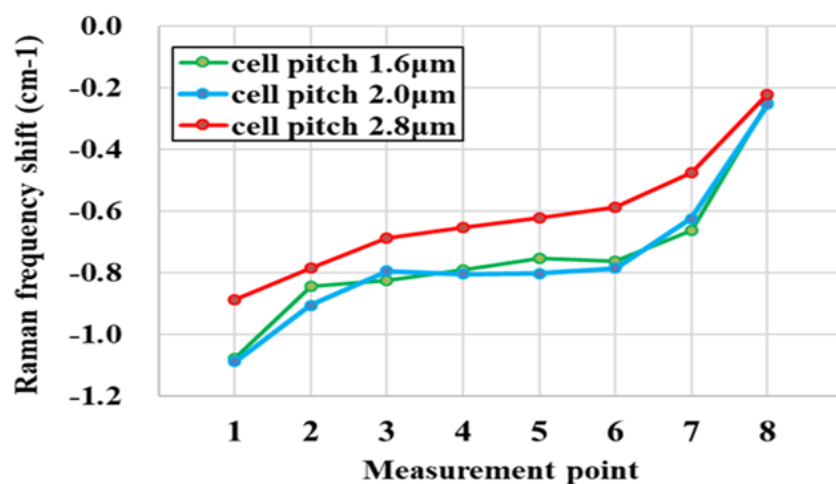
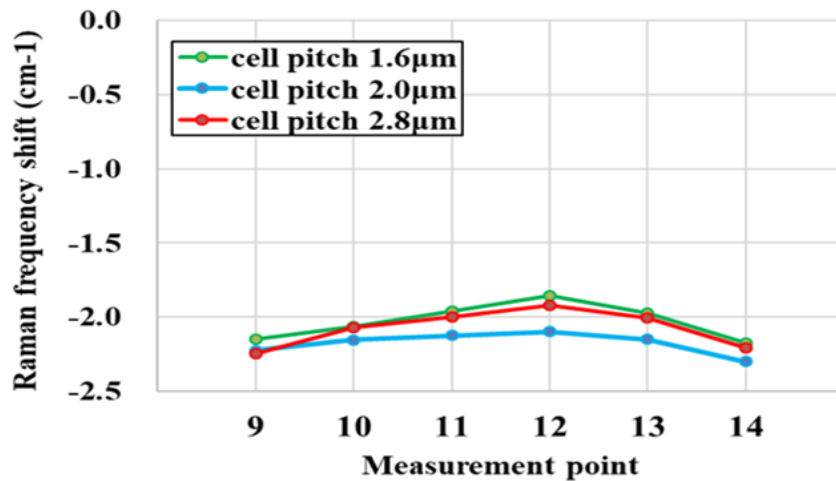


図 4.8. ポリシリコン成膜後のアニール実施後サンプルに対するラマン分光測定の繰り返し測定結果(2 μ m ピッチ)
(a)メサ中央部 (b)トレンチ中央部

図 4.7 は $2\mu\text{m}$ セルピッチのポリシリコン成膜後のアニール実施後サンプルに対するラマン分光測定結果で図 4.4 における Position 1(シリコンメサ)と Position 9(ポリシリコン=トレンチ中央)でのスペクトルを示している。結晶性の悪いポリシリコンの方がスペクトルの幅が広がっている。またポリシリコンのほうがピーク位置は低い側にシフトしており引張応力がかかっているものと考えられる。



(a)



(b)

図 4.9. ポリシリコン成膜後のアニール実施後サンプルに対する
ラマンシフト測定結果(図 4.8 の平均値) (a)メサ中央部 (b)トレンチ中央部

ラマン分光測定の精度を確かめるため $2\mu\text{m}$ ピッチのメサ中央部とトレンチ中央部における各測定 Position のラマンシフト値をそれぞれ 8 回測定した結果を図 4.8 に示した。比較的安定した結果が出ていることが確認できた。 $1.6\mu\text{m}$ ピッチ、 $2.8\mu\text{m}$ ピッチも同様の繰

り返し測定を行ったが、結果は同様であり、安定した測定ができていることを確認した。

次に、図 4.8 の各測定 Position のラマンシフト値の 8 回分の平均値を出し、図 4.9 にラマンシフト値の Position 依存性グラフを作成した。

メサ中央部のラマンシフトはセルピッチが広がると減少していることが確認できる。トレンチ幅固定でセルピッチを広げているので、セルピッチの値が大きくなることはメサ幅が広がることと同じである。メサ幅が広いと周囲からの応力がメサの中心に向かう途中で減衰するために、このような現象が見えているものと推定できる。一方で、トレンチ中央部でのラマンシフトはセルピッチに依存しない。トレンチ幅が一定であることから、トレンチ内部での応力減衰は発生しなかったと考えられる。

4.4 シミュレーション結果

シミュレーションを実施した構造体は図 3.1 に示すように X 方向にトレンチが伸びているストライプトレンチ構造であり、第 3 章と同様に大きさは X 方向と Y 方向に $50\mu\text{m}$ 、Z 方向に $30\mu\text{m}$ に設定した。また、ウェーハの直径 L は 300mm 、ウェーハの厚さ T は $775\mu\text{m}$ 、ウェーハのヤング率 E は 130GPa 、ウェーハのポアソン比 ν は 0.27、表面膜の厚さ t はトレンチ深さ、ウェーハ反りは W とする。

4.4.1 パターン無しウェーハのポリシリコン応力を用いたシミュレーション結果

表 4.2. ポリシリコンパターン無しウェーハのウェーハ反りと表面応力、熱膨張係数

	Wafer warpage (μm)	Surface stress (MPa)	Coefficient of Thermal expansion $\times 10^{-6}$ (1/K)
after deposition	47	302	2.1
after annealing	-24	-154	4.5

表 4.2 は図 4.1 のように形成されたポリシリコンのウェーハ反りを測定し、そのデータを用いてストーニーの式(3)から表面応力を計算した結果掲載している。さらにその表面応力に合うように単膜のシミュレーションで熱膨張係数を調整した結果も追記した。

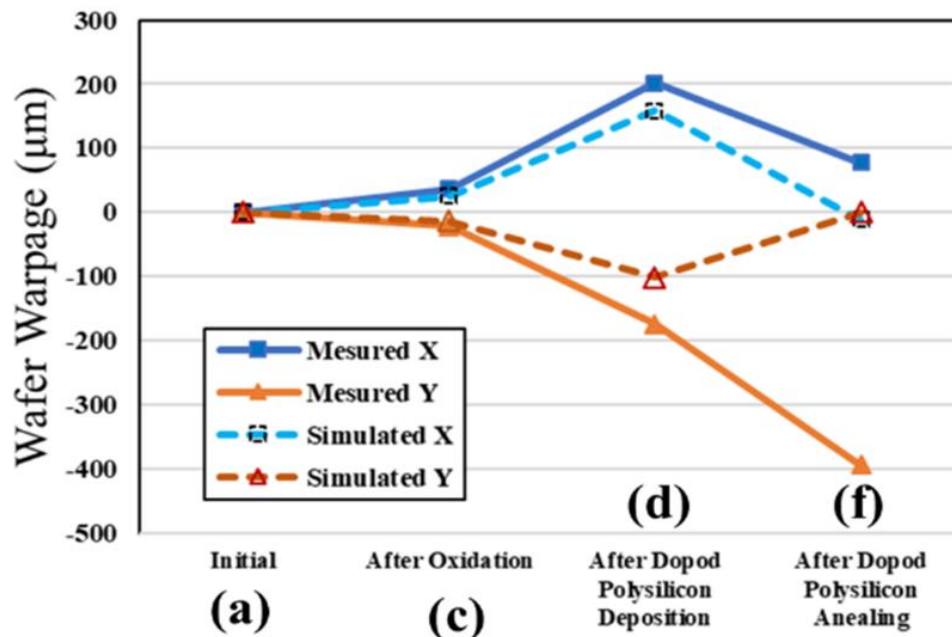


図 4.10. TEG 構造でのウェーハ反り測定結果とポリシリコンに関してパターン無しウェーハからもとめた熱膨張係数を使用した場合のシミュレーション結果 セルピッチ $2\mu\text{m}$
 (a) ウェーハの準備 (c) FP 酸化後 (d) ポリシリコン成膜後 (f) アニール後

各プロセスステップでのウェーハの反りを図 4.10 に示した。さらに各プロセスステップでのシミュレーションによる応力分布図を図 4.11 に示した。シミュレーションによる応力は、X、Y、Z の 3 方向をそれぞれ示した。前述しているように X と Y は各方向のウェーハの反り量に関係するが、Z はウェーハの反りには影響しない。

図 4.10 からプロセスステップ(c)(FP 酸化)とプロセスステップ(d)(ポリシリコン成膜後)では、測定値とシミュレーションは比較的近い値を示している。第 3 章において 200mm ウェーハで FP 酸化工程までを表面応力モデルで構築している上記の結果は表面応力モデルが FP 酸化工程までに限っては 300mm ウェーハに拡張しても精度を保っていることを意味している。

しかしながらプロセスステップ(f)(アニール後)では、差が大きくなっている。特に、Y 方向の実測との乖離は $400\mu\text{m}$ となっている。トレンチパターン無しのウェーハから得られたアニール後のポリシリコン熱膨張係数を使用しているが、この方法ではポリシリコンにアニールを行った時の挙動が説明できないと考えられる。単一の熱膨張係数では周囲に対して等方性に応力が働くと仮定している。今回のプロセスステップ(f)(アニール後)における測定結果とシミュレーション結果の乖離は、アニールステップでトレンチ内のポリシリコンに異方性応力が発生していると考えた。

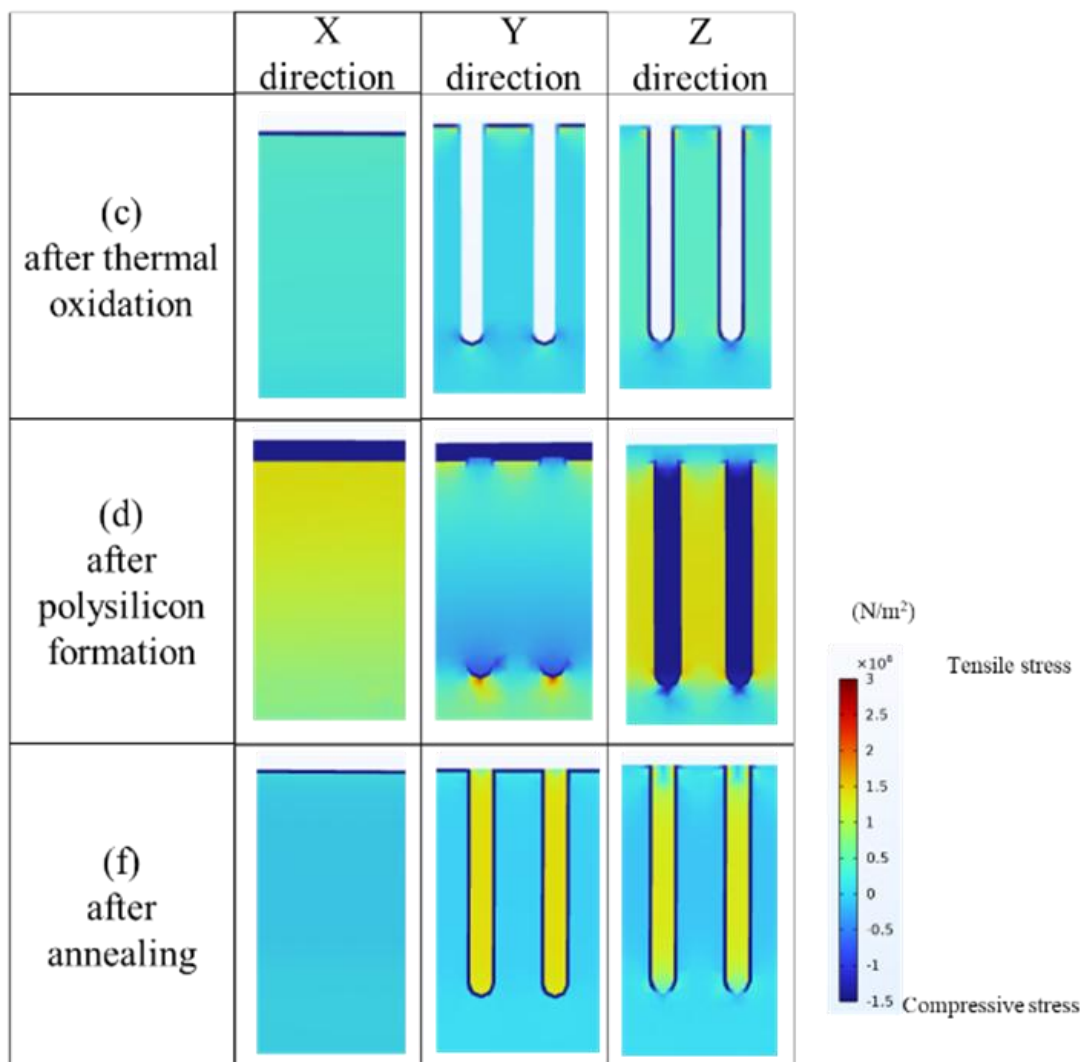


図 4.11. ポリシリコンに関してパターン無しウェーハからもとめた熱膨張係数を使用した場合のシミュレーション結果 X、Y、Z 各方向の応力 セルピッチ $2\mu\text{m}$ (c) FP 酸化後 (d) ポリシリコン成膜後 (f) アニール後

4.4.2 ポリシリコンに発生する異方性応力に関する仮説とシミュレーション結果

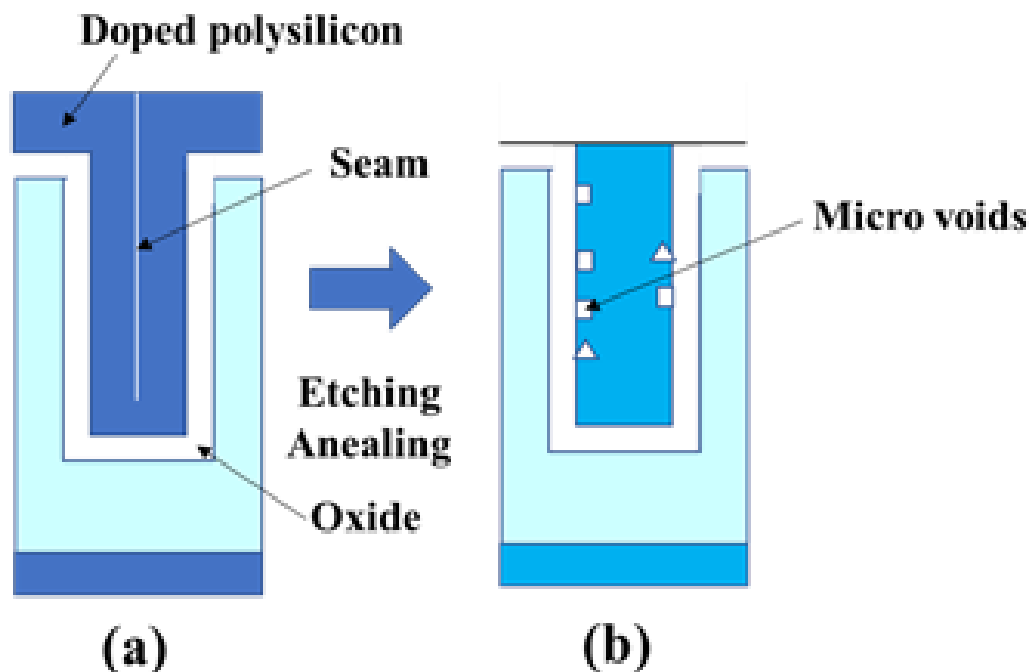


図 4.12. シームとボイドのイメージ図

(a) ポリシリコン成膜後 (b) アニール後

ポリシリコンにアニールを行う工程でポリシリコンの応力異方性が発生するという仮説を立てた理由を説明する。

図 4.12 (a)に示すように、トレンチにポリシリコンを充填すると、トレンチの中央に微細なシームが形成される。表面のポリシリコンをエッチングしてアニールすると、図 4.12 (b)に示すように、シームはグレイン成長して体積収縮しマイクロボイドが形成される [9],[10]。

ストライプ状のトレンチパターンでこの現象が起きると、体積変化量の異方性が誘発されると考えた。この異方性応力をどのように表現するかについては、今回作成したモデルではポリシリコンに異方性熱膨張係数を持たせる方法を採用した。図 4.13 に示すように、異方性熱膨張係数を導入すると、アニール後のウェーハの反りを実測値に近づけることができた。

なお基礎検討 1 は 2D シミュレーションで、ポリシリコンへのリン拡散でポリシリコンに等方性応力が発生すると仮定している。その方法に問題があることが確認できた。また基礎検討 2 でも単膜での物性値を使用していると記載されている。モデルに同様の問題があると考えられ、今回の提案モデルはその問題を解決するものであると言える。

表 4.3. トレンチ内ポリシリコンの熱膨張係数

	Coefficient of Thermal expansion $\times 10^{-6} \text{ (1/K)}$
(d) After polysilicon formation	Isotropic 2.1
(f) After annealing	Anisotropic X: 5.0 Y: -8.5 Z: -1.0

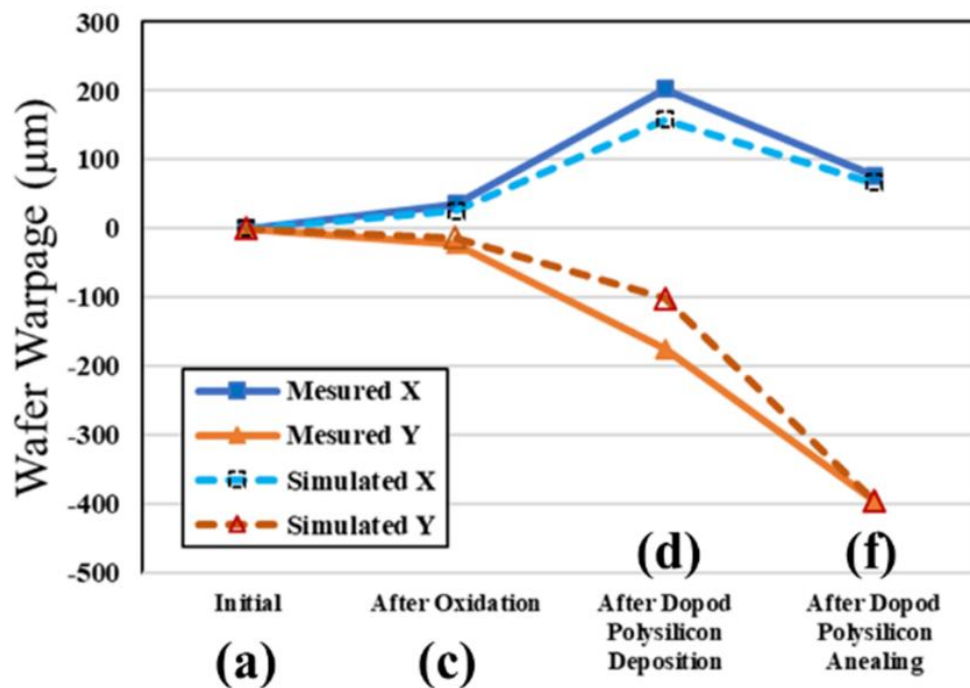


図 4.13. TEG 構造でのウェーハ反り測定結果とポリシリコンに関して異方性熱膨張係数を使用した場合のシミュレーション結果
セルピッチ $2 \mu\text{m}$ (a)ウェーハの準備 (c) FP 酸化後
(d) ポリシリコン成膜後 (f)アニール後

ポリシリコン形成後のアニール後反り量を実測結果に近づけるために異方性応力を導入して調整した結果の熱膨張係数を表 4.3 に示す。デバイス形成領域における X 方向および

Y方向の応力は、ウェーハの反りと大きく関係している。まず、実測したウェーハの反りと一致するように、X方向およびY方向の熱膨張係数を決定した。

一方、Z方向の応力は、基本的にウェーハの反りとは関係がない。Z方向の熱膨張係数を決定する方法は次のようにした。ラマン分光測定結果では、応力の方向を分解できない。そのため、応力はすべてのベクトルを合成した値が出力されている。シミュレーションでも、ラマン分光測定結果と同様に、すべての応力ベクトルの合成値を計算できる。最終的に、図4.14に示すように、ラマン分光測定結果とシミュレーションの応力ベクトルの合成値が近くなるように、Z方向熱膨張係数を変えて合わせこんだ。その結果得られた熱膨張係数を表4.3に示している。

4.4.3 ラマン分光測定結果への合わせこみ

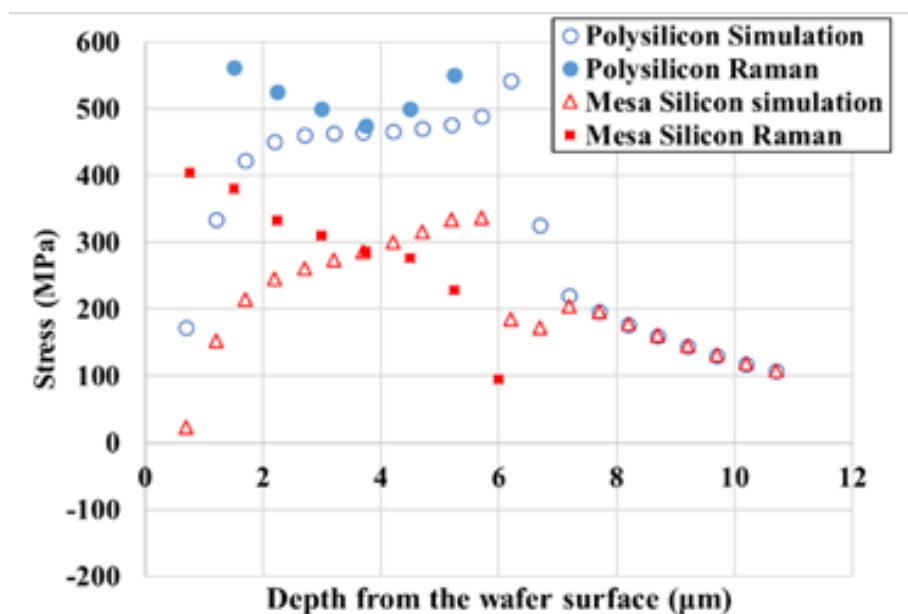


図 4.14. ラマン分光測定結果とシミュレーションで得られる
応力の比較 セルピッチ $2\mu\text{m}$

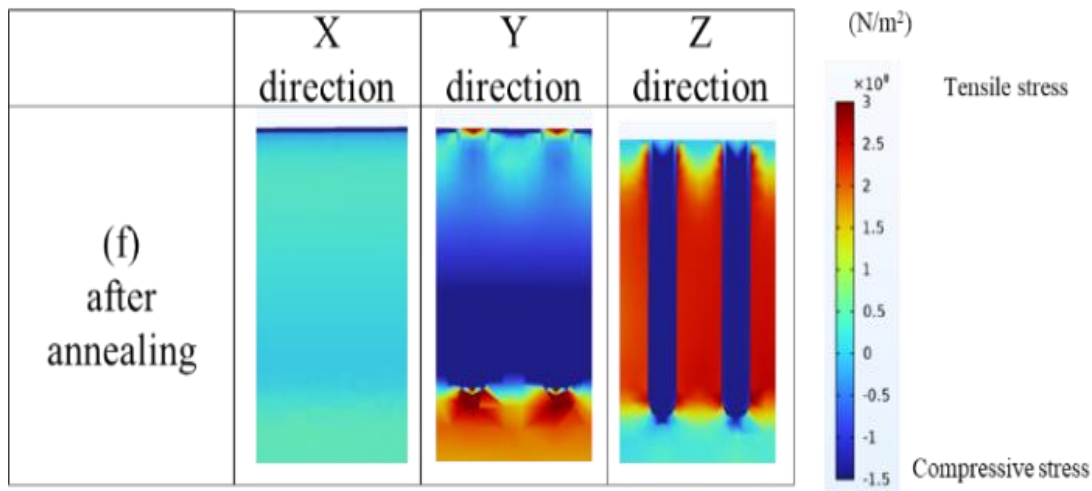


図 4.15. デバイス領域における X、Y、Z 各方向の応力
((f) アニール後) セルピッチ $2\mu\text{m}$

図 4.15 は異方性熱膨張係数を用いて計算したアニール後の応力を示している。Z 方向に着目するとメサを垂直に引っ張る力が確認できる。トレンチパワー MOSFET では、オン電流はメサを垂直に流れる。この Z 方向のメサを縦に引っ張る引張応力が強くなれば移動度が向上し、オン抵抗低減効果が出てくる。今後は、この応力を増加させてオン抵抗を低減できるようなポリシリコン形成条件や酸化膜形成条件を検討する必要がある。

4.5 まとめ

トレンチ フィールド プレート (FP) MOSFET のプロセスインテグレーション設計向けに、200 mm および 300 mm ウェーハ対応の反り予測モデルを提案した。このモデルはポリシリコンがトレンチに充填され、アニール処理された後の挙動に対応できるモデルである。

基礎研究 1,2 のように単膜の熱膨張係数をポリシリコンに与えた場合、アニール後の X 方向と Y 方向のウェーハの反りは実測に対して大きい乖離が見られた。これはアニール処理中にグレイン成長による体積収縮が発生しトレンチ内のポリシリコンに異方性応力が発生したためであると考えた。

アニール後のウェーハの反りの実測からの乖離は、ポリシリコンに異方性熱膨張係数を導入することで、実測の反り値に近づけることができた。またラマン分光測定結果の値に合うように Z 方向の熱膨張係数を調整した。このモデルを用いると、ウェーハ反りの予測だけでなく、Z 方向の応力を含めたオン抵抗特性の予測が可能となる。

第 4 章の参考文献

- [1] <https://global-net.co.jp/archives/9403>

- [2] <https://eetimes.itmedia.co.jp/ee/articles/2405/24/news102.html>
- [3] <https://news.mynavi.jp/techplus/article/20241001-3035604/>
- [4] 西口俊史, 小林研也 "応力シミュレーションを活用したトレンチ MOSFET のウェーハ反り予測モデルの開発", 電気学会 電子デバイス・半導体電力変換合同研究会資料, EDD-15-068, SPC-15-150, pp. 23-28, 2015.
- [5] 伊藤和幸, 織田達広, 菊地拓雄, 北原義之, 藪原秀彦, 西口俊史, 加藤浩朗, 下村紗矢, 西脇達也 "マルチスケール応力解析手法を用いた Si トレンチ MOSFET のウェーハ反り予測", 第 81 回応用物理学会秋季学術講演会 講演予稿集, pp. 1921-1921, 2020.
DOI: 10.11470/jsapmeeting.2020.2.0_1921
- [6] 伊藤和幸, 菊地拓雄, 織田達広, 西口俊史, " Si パワーMOSFET の設計を効率化するオン抵抗予測技術", 東芝レビュー, vol. 78, no. 1, pp. 46-50, 2023.
- [7] F. Cerdeira, C. J. Buchenauer, Fred H. Pollak, and Manuel Cardona, "Stress-Induced Shifts of First-Order Raman Frequencies of Diamond- and Zinc-Blende-Type Semiconductors", Journal of Applied Physics, vol. 5, 1972. DOI: <https://doi.org/10.1103/PhysRevB.5.580>
- [8] Ingrid De Wolf, " Relation between Raman frequency and triaxial stress in Si for surface and cross-sectional experiments in microelectronics components ", Journal of Applied Physics, vol. 118, Issue 5, 2015. DOI: <https://doi.org/10.1063/1.4927133>
- [9] K. Tomita, T. Shiraishi, H. Kato, H. Kishimoto, K. Miyashita and K. Kobayashi, "New Process Integration of Sequential Phosphorus-Doped Silicon for Trench Field Plate Power MOSFETs", IEEE Transactions on Semiconductor Manufacturing, vol. 34, Issue 3, 2021, pp. 317-322.
DOI: 10.1109/TSM.2021.3073781
- [10] S. Shimomura, H. Kato, T. Shiraishi, T. Ohno, T. Nishiguchi, K. Miyashita, et al., "Process Control Technique to Dramatically Reduce Voids in Phosphorus-Doped Poly-Silicon for Trench Field-Plate MOSFETs", Proc. of eMDC'19, no. 5, 2019.

第5章 反りシミュレーションによるピッチ微細化限界とオン抵抗低減効果の見積

5.1 はじめに

第5章では4章までで構築したウェーハ反り予測モデルを用いて、セルピッチ微細化の限界、FP酸化膜形成のプロセス差、デバイス構造差（最新構造であるドットセル構造とトレンチFP構造の主流となっているストライプセル構造の差異）、高耐圧化を検討した結果を示す。さらに簡易数学モデルからのオン抵抗計算を行い、ウェーハ反り限界とオン抵抗の挙動を考慮して今後のトレンチFP構造パワーMOSFETの方向性に関して議論を行う。なお、オン抵抗計算では、応力計算から得られたメサでのひずみを考慮してピエゾ効果有りの場合の値も見積もった。

5.2 ストライプセル構造とドットセル構造

この章ではトレンチFP構造のMOSFETとして近年研究開発が進められてきたストライプセル構造のMOSFET[1], [2]と、2023年以降に報告が増えているドットセル構造のMOSFET[3]-[5]をとりあげ、比較検討した。図5.1(a)はストライプセル構造のトレンチ垂直方向断面図、図5.1(b)はストライプセル構造の平面断面図(図5.1(a)のA1-A2断面をカットし、カット面を表面側から見た図)である。

一方、図5.2(a)はドットセル構造の断面図、図5.2(b)はドットセル構造の平面断面図(図5.2(a)のB1-B2断面をカットし、カット面を表面側から見た図)である。ドットセル構造のトレンチは円筒形に設計されている。図5.2(b)に示すように平面断面図で見ると各円の中心は、図中に赤い破線で示した正三角形の頂点に配置され、セルピッチを効果的に縮小している[6]。

ストライプセル構造は所望の耐圧を得るためのトレンチサイズが大きいため、そのトレンチが電流経路を阻害する存在になってしまう。出来るだけトレンチを減らし、それでもなおかつ耐圧を維持できるドットセル構造が、近年着目されている。トレンチをドット状にすることで電流経路は従来よりも確保されオン抵抗を低減できる可能性がある。さらにドット形状によりフィールドプレート酸化膜は従来よりも薄く設計できるため電流経路はなおさら確保できる[6]。

このような理由でドットセル構造はストライプ構造よりも有利ではないかとみられている。しかしながらこのストライプセル構造とドットセル構造の反り制御や、オン抵抗に影響を及ぼすZ方向の応力についてはこれまで報告されていない。また、特性についても、体系的にまとめた報告はなされていない。この章では、これらのことを詳細に検討していく。

なお図5.1(b)と図5.2(b)に記載したユニットセルのセルピッチは W_{CELL} である。FP電

極の幅は W_P である。FP 酸化膜の厚さは W_{OX} である。メサの幅は W_M である。トレンチの深さは T_D である。各記号の末尾の数字は、1 がストライプセル構造、2 がドットセル構造であることを示すものとする。

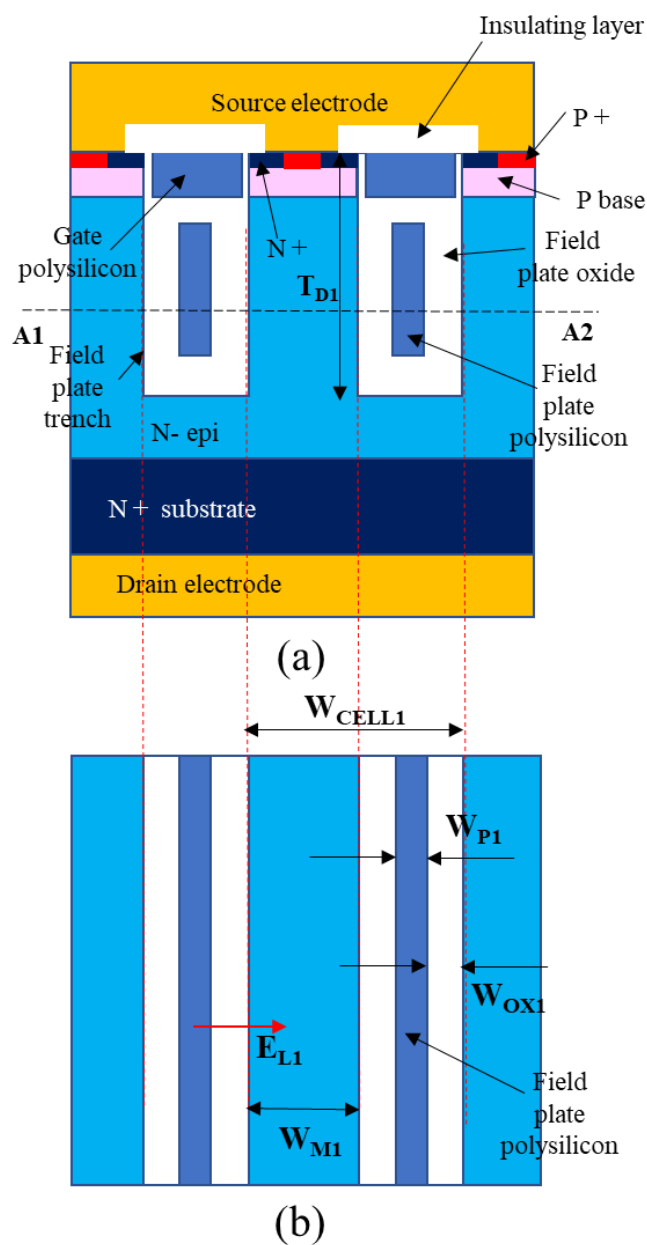


図 5.1. (a)ストライプセル構造のトレンチ垂直方向断面図
(b)ストライプセル構造の平面断面図

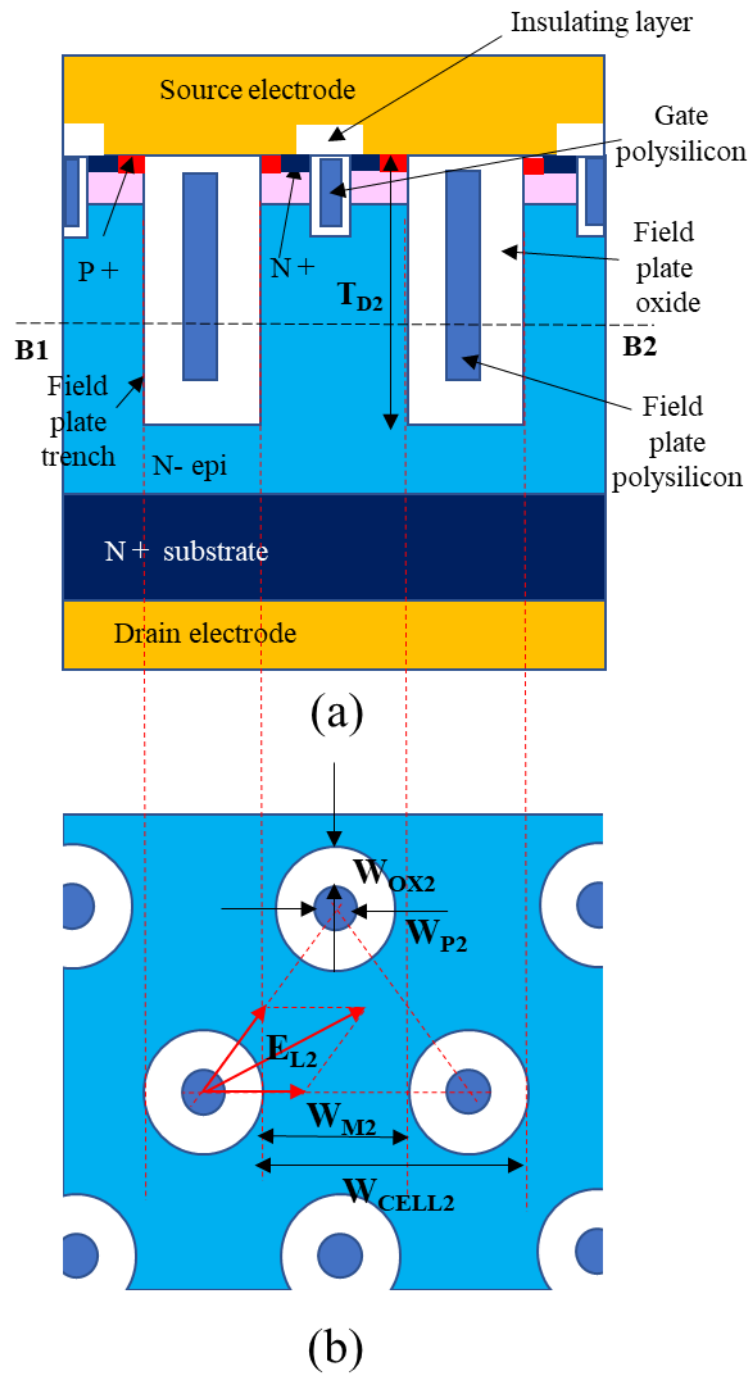


図 5.2. (a) ドットセル構造のトレンチ垂直方向断面図
(b) ドットセル構造の平面断面図

5.3 応力計算に関する補足説明

ここでドットセル構造の応力計算については本論文では初めて述べることになるので本

節で、説明を補足する。

5.3.1 ドットセル構造における表面応力（メサ部応力）

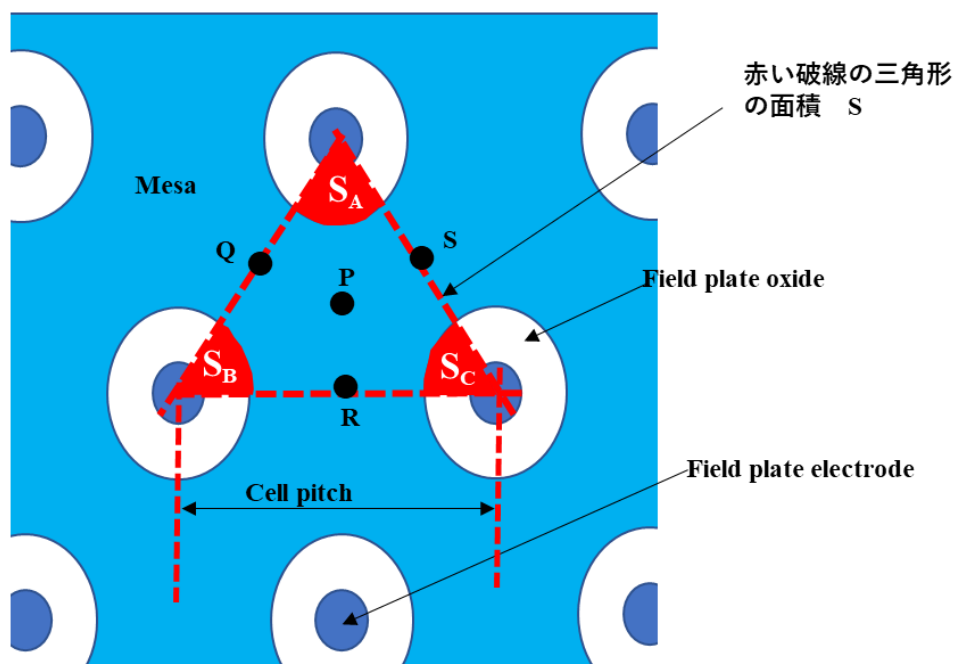


図 5.3. ドットセル構造における応力抽出ポイント

ドットセル構造においては、応力の抽出を図 5.3（ドットセル構造の平面断面図）に記載した P 点、Q 点、R 点、S 点の 4 点についてトレンチ深さ方向(Z)方向にデータ抽出を行い、トレンチの上部(シリコン表面位置)からトレンチ底部までの応力を含めて全データを平均化した値を使用した。

なお P 点は赤い破線で示した正三角形の中心、Q 点、R 点、S 点は正三角形の各辺の中点となっている。

5.3.2 ドットセル構造におけるメサ比率とウェーハ反りの計算

シミュレーションでメサ領域の応力を計算すれば、ウェーハの反りは 1.3.2 で記載したストーニーの式(1)から求めることが出来るが、メサ領域の応力はウェーハ表面全域にかかっているわけではなく、トレンチがあるところはそのような応力がかかっていない。したがって、下記のメサの比率(4)を求め、その値をシミュレーションで得られたメサ部の応力にかける計算処理を実施した。

$$MESA_{RATIO} = \frac{S - (S_A + S_B + S_C)}{S} \quad (1)$$

ここで図 5.3 に示したとおり S は赤破線で記載した三角形の面積、 S_A , S_B , S_C はそれぞれ図中に示した扇形部（赤色）の面積である。

シミュレーションで求めたメサ部応力の値に対して、上記のメサ比率をかけ、1.3.2 で記載したストーニーの式(1)から裏面膜が無い状態でのウェーハ反りを求める。

その後、裏面膜の構成成分を追加考慮することでウェーハ反り量（裏面膜込み）を計算している。裏面膜のポリシリコンの応力は、パターン無しウェーハで測定した時の値すなわち表 4.2 に掲載したデータを使用する。

5.3.3 ドットセル構造におけるポリシリコン熱膨張係数の取り扱い

表 5.1. ドットセル構造のポリシリコン形成時、形成後の熱膨張係数比較

Coefficient of Thermal expansion ×10 ⁻⁶ (1/K)	A	B	C
(d) After polysilicon formation	Isotropic 2.1	Isotropic 2.1	Isotropic 2.1
(f) After annealing	Anisotropic X: -1.75 Y: -1.75 Z: -1.0	Anisotropic X: 5.0 Y: -8.5 Z: -1.0	Isotropic 4.5

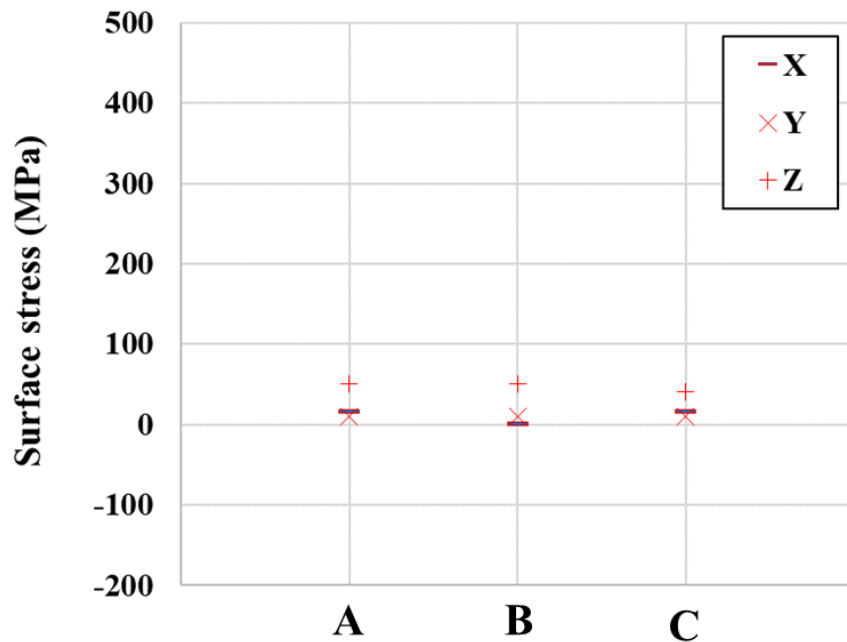


図 5.4. 100V 系ドットセル構造(セルピッチ $1.8\mu\text{m}$)の
ポリシリコン熱膨張係数を変化させた場合の表面部応力
(シリコンメサ部) A, B, C は表 5.1 参照

4 章ではトレンチ内に形成したポリシリコンにアニールを実施する際に発生する応力を議論してきた。パターン無しウェーハでのポリシリコンの熱膨張係数を使ってウェーハ反りを予測しても実測には合わないことがわかり、ポリシリコンが異方性熱膨張係数を持っていると考える必要があることを述べた。さらに異方性熱膨張係数を想定して、X、Y 方向はウェーハ反りの実測に合うように熱膨張係数を設定し、Z 方向はラマン分光分析結果に合うように熱膨張係数を設定した。5 章のストライプセル構造ではこの異方性熱膨張係数を使用しシミュレーションを行う。

一方、5 章では新たにドットセル構造の挙動も解析を行うことを予定している。このドットセル構造においてはレイアウト構造そのものが X、Y で異方性にはなっていない。したがって、ポリシリコンの熱膨張係数をどう扱うかをここで確認しておく。表 5.1 のアニール後の欄に A, B, C 3 種類の熱膨張係数を記載した。B が 4 章でストライプセル構造を用いて定めた異方性の熱膨張係数である。その他にドットセル構造で検討する熱膨張係数として、A と C を挙げた。B の X、Y の熱膨張係数を平均化した値が $-1.75 \times 10^{-6} (1/K)$ であり、この平均化した値を使って計算する場合を A とした。また、パターン無しウェーハの反り量から求めた等方性熱膨張係数 $4.5 \times 10^{-6} (1/K)$ を使う場合を C とした。

100V 系ドットセル構造(セルピッチ $1.8\mu\text{m}$)に対して、表 5.1 に記載した A, B, C 3 種類

の熱膨張係数を使った場合の表面部応力（シリコンメサ部）を図 5.4 に示した。この結果からドットセル構造において、どのポリシリコン形成後のアニール工程での熱膨張係数として A に記載した熱膨張係数値を使用しても結論に大きな違いは発生しないものと考えられることがわかった。したがって、以降のデータではドットセル構造では A に記載した熱膨張係数値を使用する。

5.3.4 ウェーハ反りの規格

ウェーハの反りによるウェーハ搬送エラーやバキュームエラーの基準は装置により異なる。仮に比較的小さい反り量でも搬送エラーが出てしまう装置があれば、その装置を使う直前だけ、反り量を下げおけば、その工程の次の工程で反り量が増えても、インテグレーションは可能である。このように明確にある値で規格が統一されているわけではなく、工程によって装置の規格はことなる。その規格を 1 つ 1 つ調べるのは莫大な実験が必要であり、困難である。ただし、半導体装置の搬送エラー発生やバキュームエラーはおおよそ近い値で発生することが多く、参考文献では 200 mm ウェーハでの反り規格が掲載されており[7]、そこから、300 mm ウェーハの反り量の規格を見積もると約 300 μm 以上と推測できる。

エラーが発生して次の工程に進めなくなってしまうと、その工程で対策ができればエラーを回避できるが、工程によっては対策ができない場合もある。そのような場合は再度プロセスインテグレーションをやりなおし最初の工程からやりなおしになってしまう。このような問題を回避するために、事前に予測して該当工程にウェーハが来る前に裏面に膜を形成するなどの方法があり、参考文献から規格の 1.5 倍程度であればその対策で対処できる実績がある[8]。そこで 300 μm の 1.5 倍である 450 μm を限度として基準を設定する(150 μm 相当の対策適用前提の値)。

5.4 モデル式と耐圧系の FP パラメータ値の算出

5.4.1 ストライプセル構造のモデル式[9]

図 5.1 の構造での DS 間に逆バイアスを印加したときの耐圧 V_B は

$$V_B = E_C L_{D1} \beta \quad (2)$$

ここで L_{D1} は Z 方向の空乏層の長さである。なお X、Y、Z の各方向についての定義は図 3.1 と同様であるものとする。 E_C は臨界電界である。本論文で議論する DS 間耐圧が 100 V を超えるトレンチ FP パワー MOSFET の場合、チャンネル部の抵抗が $R_{on, sp}$ (単位面積あたりのオン抵抗) に占める割合が小さいため L_{D1} はトレンチ深さと同等とみなす。

β は電界分布の平坦度合いであり、 $0 < \beta < 1$ である [10]。酸化膜厚が均一な FP-MOS であるため、 $\beta=0.5$ と仮定する [11]

臨界電界 E_c は、耐圧が低いほど高くなるため、

$$E_c = 8.2 \times 10^5 \cdot V_B^{-0.2} \text{ (V/cm)} \quad (3)$$

で表される [12]。

式(2)よりドリフト層 L_D は、

$$L_D = \frac{V_B}{E_C \beta} \quad (4)$$

となる。ドリフト層は耐圧時に完全空乏化するため、最適なドリフト層濃度 N_D は、

$$N_{D1} = \frac{2\epsilon_0\epsilon_{Si}E_C}{qW_{M1}} \quad (5)$$

となる。但し、 ϵ_0 は真空の誘電率、 ϵ_{Si} は Si の比誘電率、 q は電子電荷、 W_m はメサ幅である。FP 酸化膜厚は、100V 系の試作結果より 580nm において耐圧 110V が得られており [11]、耐圧に対してスケーリングを仮定すると、

$$W_{OX1} = 5.27 V_B \quad (6)$$

FP 電極幅を W_p とすると、セルピッチ W_{cell} は、

$$W_{CELL1} = W_{M1} + 2W_{OX1} + W_{P1} \quad (7)$$

となる。

オン抵抗 R_{onA} は、ドリフト抵抗で決まるとすると、

$$R_{ON, SP} = \frac{L_{D1}W_{CELL1}}{q\mu N_{D1}W_{M1}} \quad (8)$$

となる。但し、 μ は電子移動度であり、

$$\mu = \frac{5.10 \times 10^{18} + 92N_{D1}^{0.91}}{3.75 \times 10^{15} + N_{D1}^{0.91}} \quad (9)$$

となる。式(8)に式(4)、(5)を代入して、 L_D と $N_D W_m$ を消去すると、

$$R_{ON, SP} = \frac{V_B W_{CELL1}}{2\mu\epsilon_0\epsilon_{Si}E_C^2\beta} \quad (10)$$

となる。式(2)を用いて、式(10)から E_c を消去すると、

$$R_{ON, SP} = \frac{V_B^{1.4} W_{CELL1}}{2\mu\epsilon_0\epsilon_{Si}\beta \times (8.20 \times 10^5)^2} \quad (11)$$

となる。

5.4.2 ドットセル構造のモデル式

図 5.2 に示すように、ドットセル構造ではストライプセル構造に比べて空乏層が横方向に伸びにくく、ベクトル合成により横方向の電界がストライプセル構造の $\sqrt{3}$ 倍になる。横方向の電界を揃えるため、式(5)のドリフト層濃度を $1/\sqrt{3}$ に設定する。

$$N_{D2} = \frac{2\epsilon_0\epsilon_{Si}E_C}{\sqrt{3}qW_{M2}} \quad (12)$$

通電領域となるメサが全体の面積占める割合の逆数 α_A は、全体の面積から FP 電極と FP 酸化膜の面積を差し引くことで求まり、

$$\alpha_A = \frac{W_{CELL2}^2}{W_{CELL2}^2 - (W_{P2} + 2W_{OX2})^2} \quad (13)$$

となる。これを用いて、式(8)を変形すると、

$$R_{ON, SP} = \frac{L_{D2}\alpha_A}{q\mu N_{D2}} \quad (14)$$

さらに、 W_{OX1} と W_{OX2} の間には次のような関係がある[6]。

$$W_{OX1} = (W_P + W_{OX2}) \ln(1 + \frac{W_{OX2}}{W_P}) \quad (15)$$

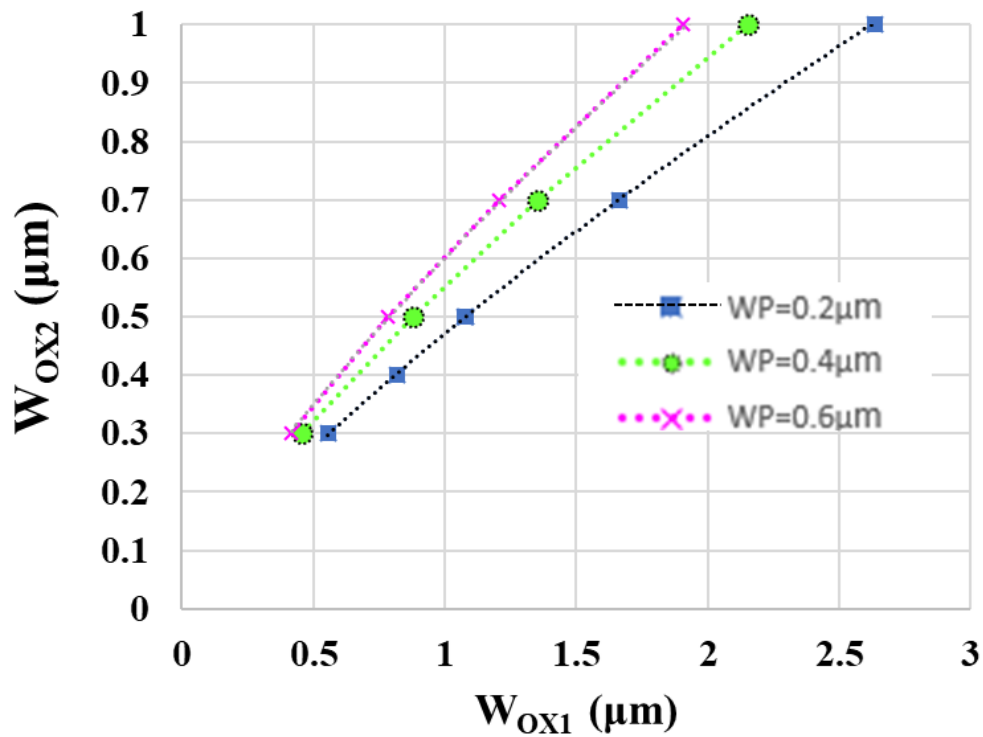


図 5.5. W_{OX1} と W_{OX2} の関係

図 5.5 から W_P に関しては、ソース FP 電極の幅であり、この値の設定次第で FP 酸化膜の厚さが変わることがわかる。この幅を細くするほどセルピッチは狭くなる。しかし、プロセス面でのばらつき等で限界が存在する[13]。

本論文では議論が複雑にならないよう $0.2\mu\text{m}$ が実現できるものという前提で以下の計算ではすべて $W_P=0.2\mu\text{m}$ に設定して計算している。

5.5 ピエゾ係数に関する取扱い

Z 方向の応力はウェーハの反りには寄与しないが、メサ内の Z 方向の引張応力によって生じるひずみは電子移動度を増加させる。移動度の増加はオン抵抗の低減につながる[14]-[16]。本論文では、Z 方向の応力をラマン分光分析結果に合わせこみをおこなっている。

ここでひずみの変化率と電子移動度の変化率の関係は、以前の研究で確認されている[17]。この関係を使用すると、シミュレーションから求めた Z 方向のひずみを利用して移動度の相対的な変化を計算することができる。

本論文ではセルピッチ $1.8\mu\text{m}$ の 100V ドットセル構造にかかるひずみを基準値 (σ_{REF}) として相対的に計算を行った。

$$\frac{\Delta\mu}{\mu} = 0.03 \frac{\sigma_X}{\sigma_{\text{REF}}} \quad (15)$$

σ_X は、ある条件下でのドリフト領域の Z 方向のひずみの値。 σ_{REF} は、基準条件下での Z 方向のひずみの値。 $\Delta\mu$ は電子移動度の変化量。 μ は基準条件下での移動度である。

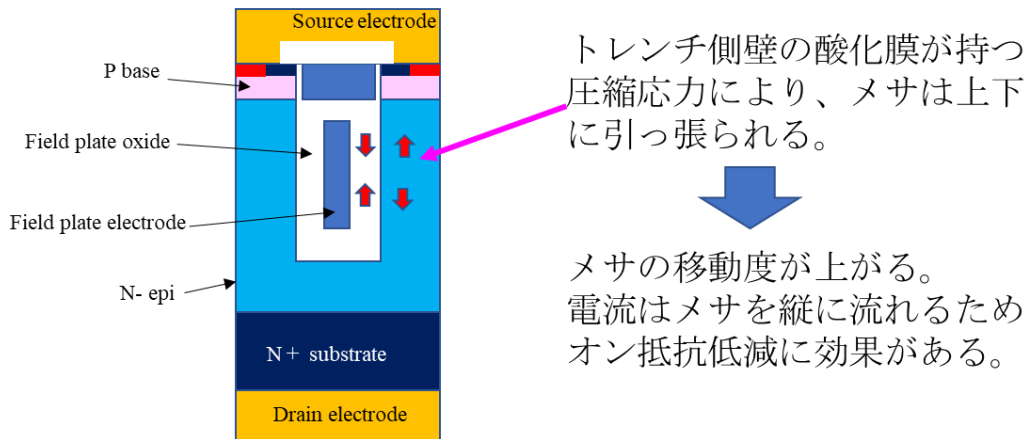


図 5.6. メサ部にかかる応力の方向(イメージ図)

5.6 微細化、構造差、高耐圧化のシミュレーション検証

5.6.1 100V 系での微細化限界検討

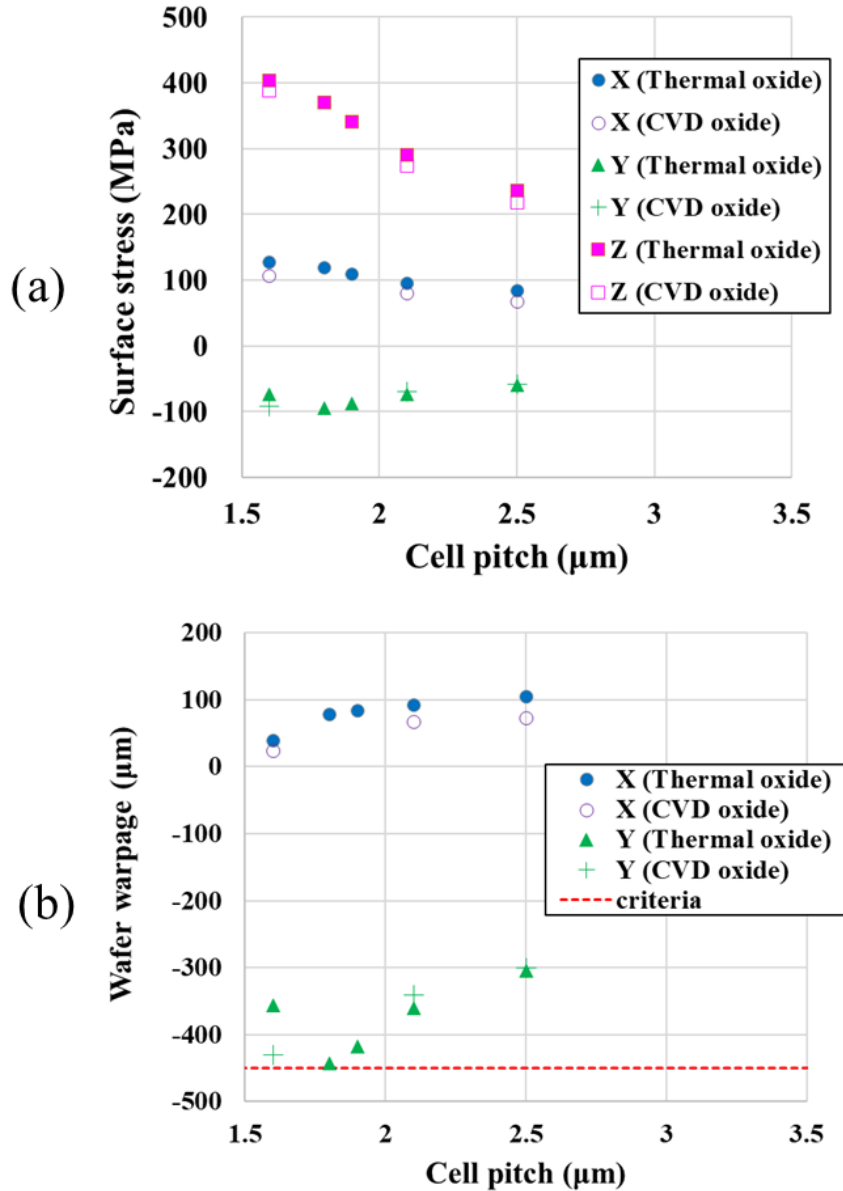


図 5.7. 100V 系デバイスにおける FP 酸化膜形成プロセス差比較

(a)セルピッチと表面応力の関係 (b)セルピッチとウェーハ反りの関係

前章の式を用いて 110V のブレイクダウン電圧を得るための設計パラメータを計算し、セルピッチごとに応力シミュレーションを行った。なお 110V に設定した理由は 100V の耐圧に対して設計マージンとして 10%を取ったためである。図 5.7 (a)に、ウェーハ表面の応力を X、Y、Z 方向に分けたグラフを示す。また、FP 酸化膜の形成には熱酸化と CVD 酸化膜

の2つのプロセスを検討している。FP 酸化膜を熱酸化膜で形成する場合に対して CVD 酸化膜で形成することのメリットは、プロセスインテグレーション上の熱履歴を減らすことが出来る点が大きい。その他、条件を適正化すれば CVD 膜の場合トレンチ内部の酸化膜をコンフォーマルに形成することも可能である。さらに応力として差があれば、メリットとなり得る可能性があるために検討を行った。

CVD 膜の応力計算のためには参考文献[18]の CVD 酸化膜のヤング率を使用した。熱酸化膜のヤング率 70 に対して今回 CVD 酸化膜を 53 に設定している。

Z 方向の表面応力はピッチ収縮によって増加する傾向がある。X 方向と Y 方向の表面応力は符号が異なり、応力の絶対値はいずれもピッチ収縮によって増加する。

また、ウェーハの反りは表面応力から 1.3.2 で記載したストーニーの式(1)で算出される(図 5.7 (b))。ウェーハの反りには、図 4.4 で示されるプロセスフローで形成された裏面膜も含まれる。

Y 方向のウェーハ反りは基準を超えていないが、基準に近い値であるため、ウェーハ反りを抑制する対策が必要である。CVD 酸化膜は熱酸化膜よりも応力が小さくなるため、ウェーハ反りに対して若干有利となる(図 5.7)。

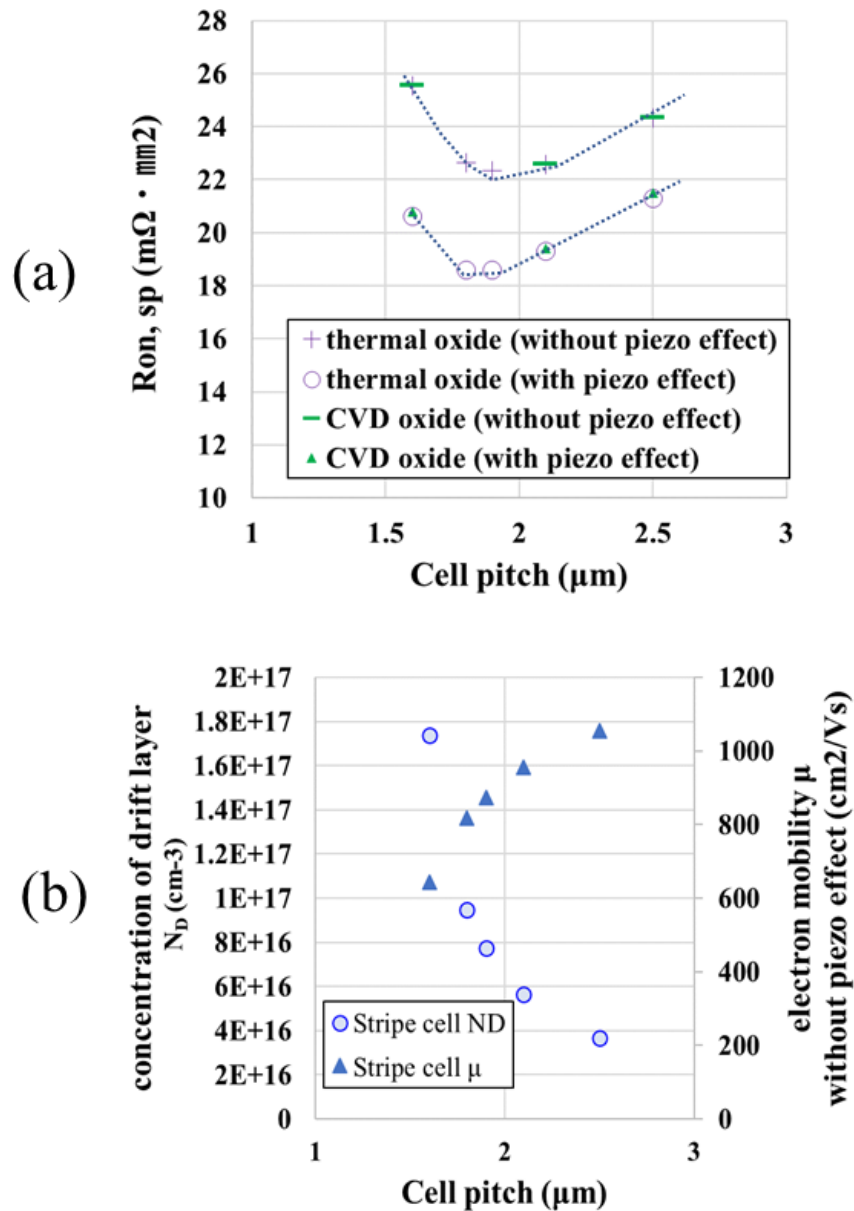


図 5.8. 100V 系デバイスにおける FP 酸化膜形成プロセス差比較
(a)セルピッチと $R_{on, sp}$ の関係 (b)セルピッチと N_D , μ の関係

図 5.7 では CVD 酸化膜と熱酸化膜の応力差は確認できていたが、図 5.8(a)を確認するとその差は $R_{on, sp}$ にほとんど影響を与えていない。CVD 膜は低温で形成できるため、熱設計プロセスインテグレーションを考えたときに CVD 膜を使うことは有利な選択肢になると考えられる。

一方、ピッチシュリンクによる $R_{on, sp}$ の改善は、セルピッチ $1.7 \mu m$ 程度で飽和していることがわかる。メサの幅が細くなるにつれてひずみが増加し、ピエゾ効果により $R_{on, sp}$ が減少する。一方、ドリフト層濃度設計値は増加し移動度が減少する(図 5.8 (b))。このよ

うなトレードオフが生じているため、ピッチシュリンクを進めて行くとオン抵抗の飽和現象が発生するものと考えられる。

5.6.2 100V 系でのデバイス構造差検証

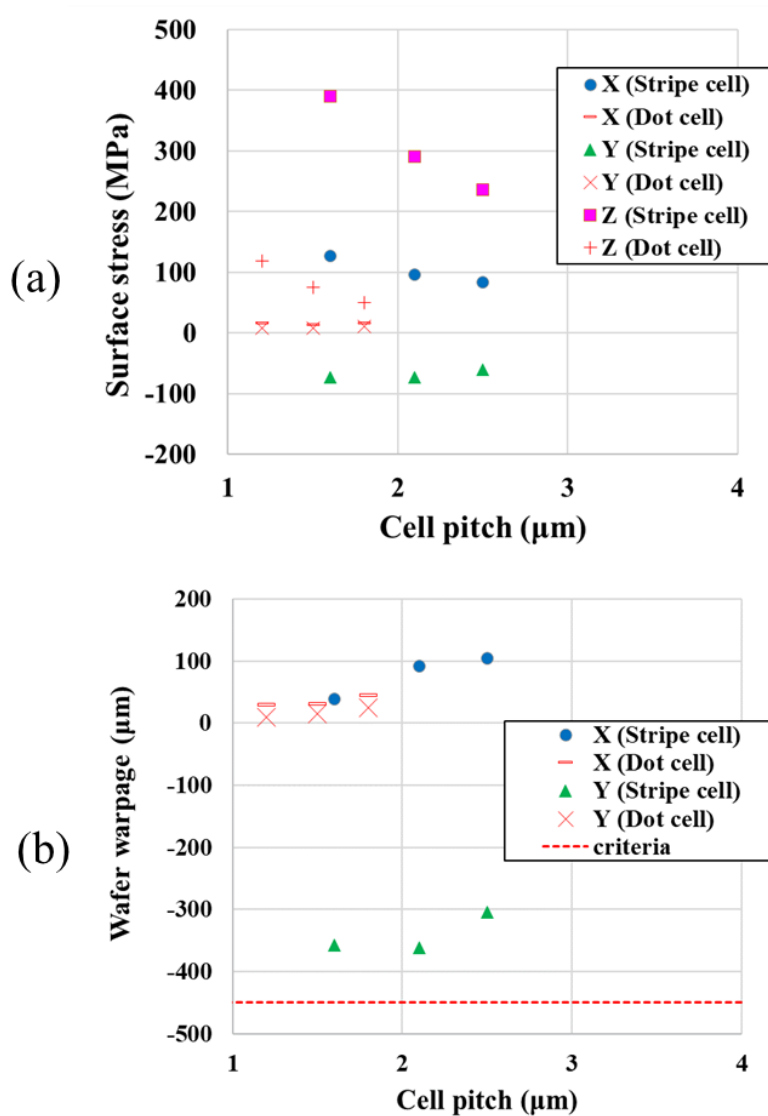


図 5.9. 100V 系デバイスにおけるストライプセル構造とドットセル構造の比較 (a)セルピッチと表面応力の関係 (b)セルピッチとウェーハ反りの関係

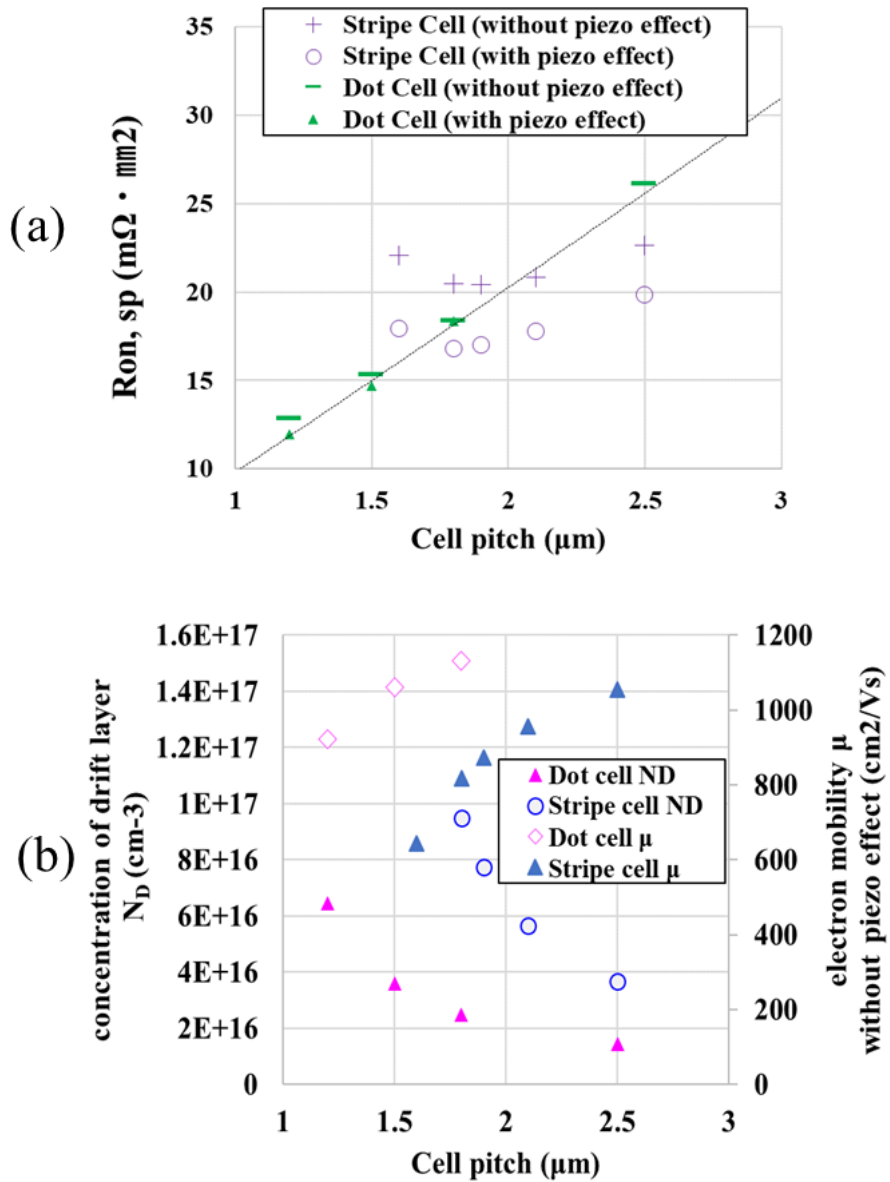


図 5.10. 100V 系デバイスにおけるストライプセル構造とドットセル構造の比較 (a)セルピッチと $R_{on, sp}$ の関係 (b)セルピッチと N_D , μ の関係

ドットセル構造はストライプセル構造と異なり、応力が小さく (図 5.9(a))、ウェーハ反りも十分基準内に収まっている (図 5.9(b))。ドットセル構造の Z 方向応力はセルピッチが微細化するにつれて増加する (図 5.9(a))。しかし、ストライプセル構造の Z 方向応力に比べるとはるかに小さい。

一方、ストライプセル構造の $R_{on, sp}$ は $1.7 \mu m$ 付近で飽和するが、ドットセル構造の場合はピッチが縮小するにつれて $R_{on, sp}$ をさらに低減できる (図 5.10(a))。ただしドットセ

ル構造では Z 方向の応力が小さいため、piezo 効果による $R_{on, sp}$ の低減率は非常に小さい (図 5.10(a))。

ドットセル構造の利点は、100V 系ではセルピッチが $1.7\mu m$ より微細にならないと発揮できない。なお、ドットセル構造においてピッチの縮小に伴って確認した範囲内で $R_{on, sp}$ の減少が飽和していない理由は、メサが広い (図 5.11) ため ND が小さい (図 5.10(b)) ことであると考えられる。

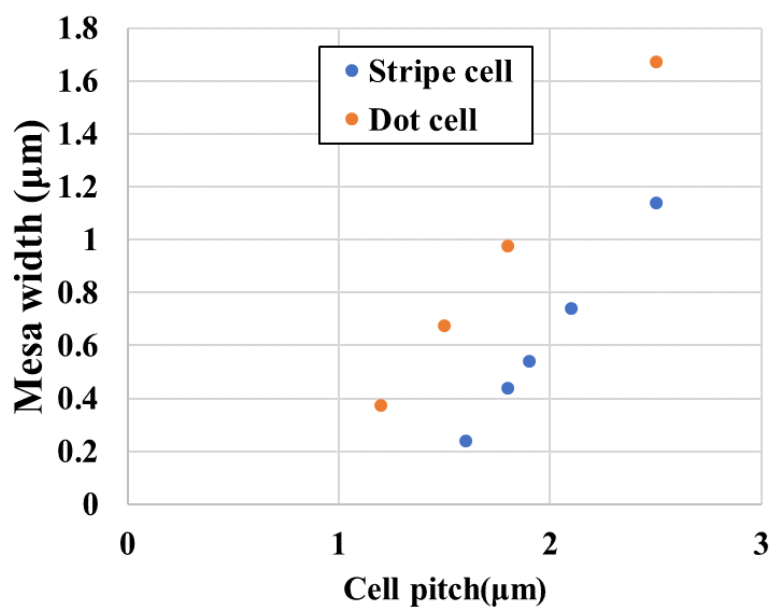


図 5.11. 100V 系デバイスにおけるストライプセル構造とドットセル構造のメサ幅比較

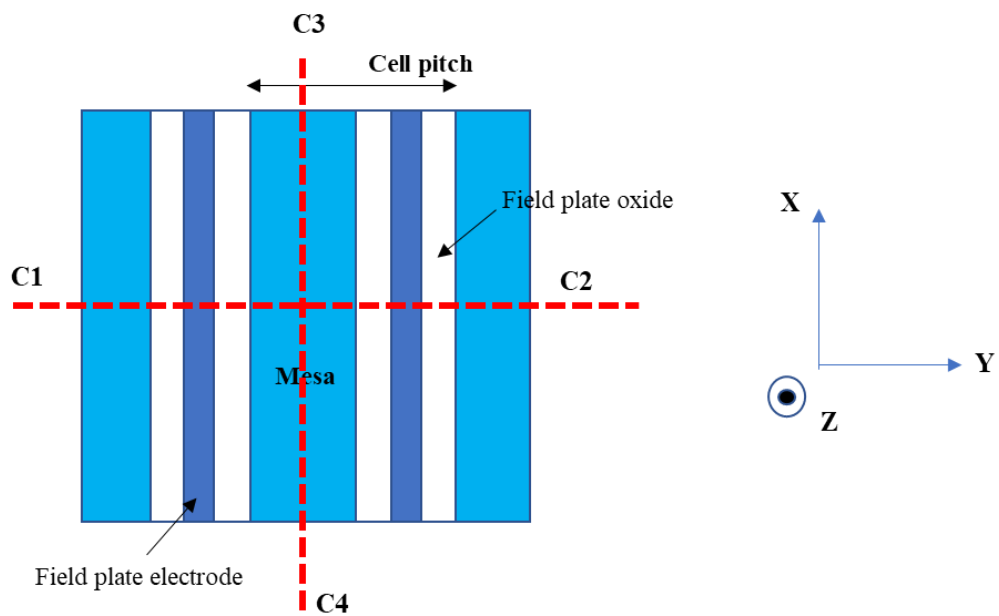


図 5.12. 3D応力シミュレーションのカット面（ストライプセル構造）

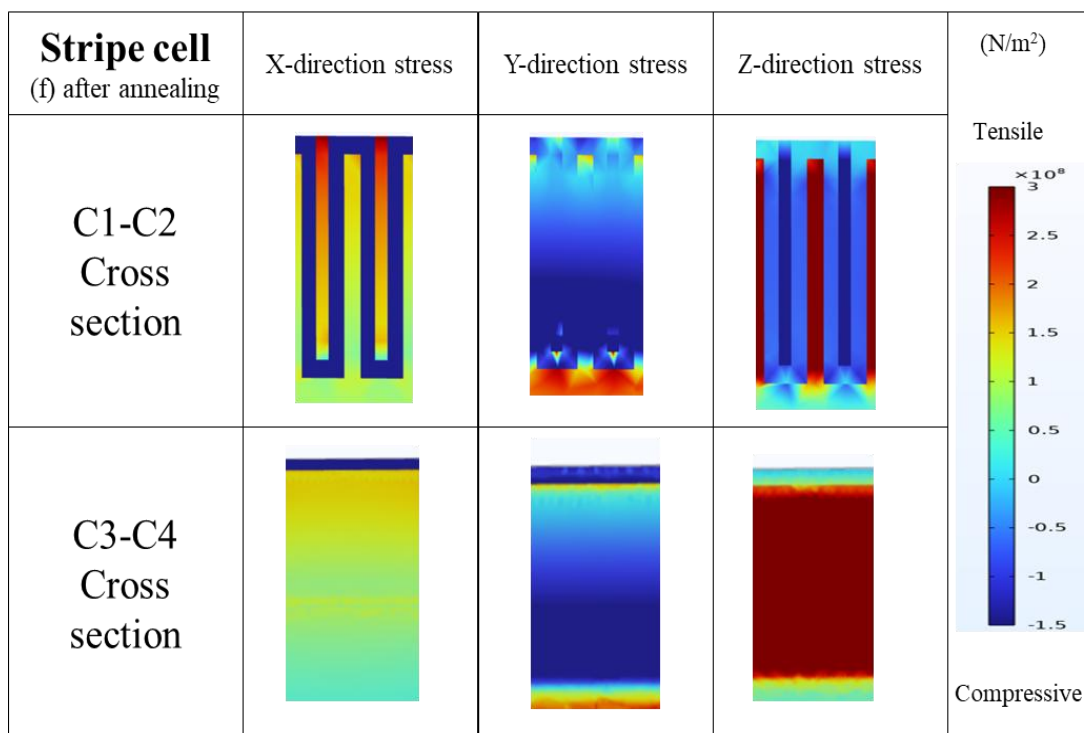


図 5.13. ストライプセル構造の 3D応力シミュレーション結果
 100V 耐圧セルピッチ $1.8\mu\text{m}$ FP 酸化膜 $0.58\mu\text{m}$
 ポリシリコン形成後のアニール実施後

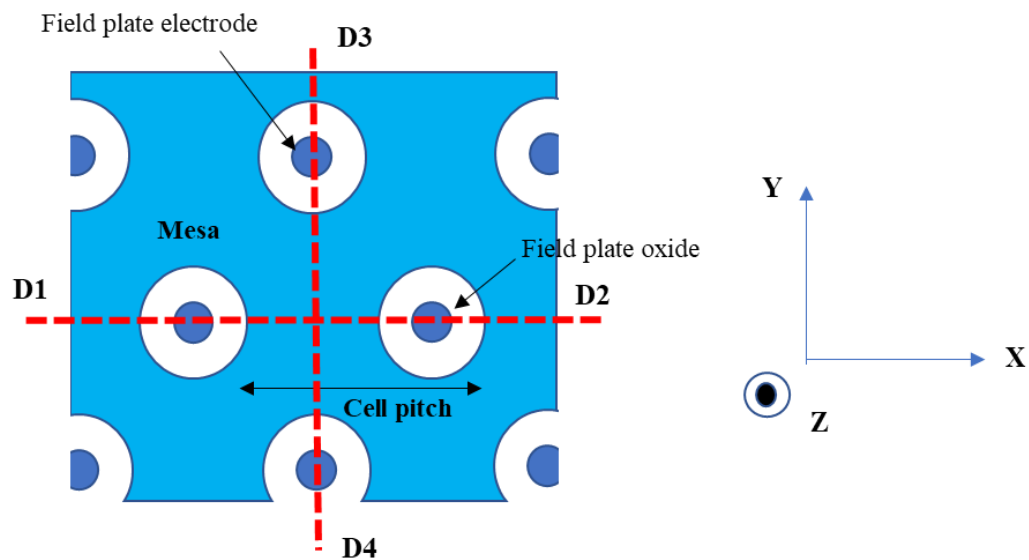


図 5.14. 3D応力シミュレーションのカット面（ドットセル構造）

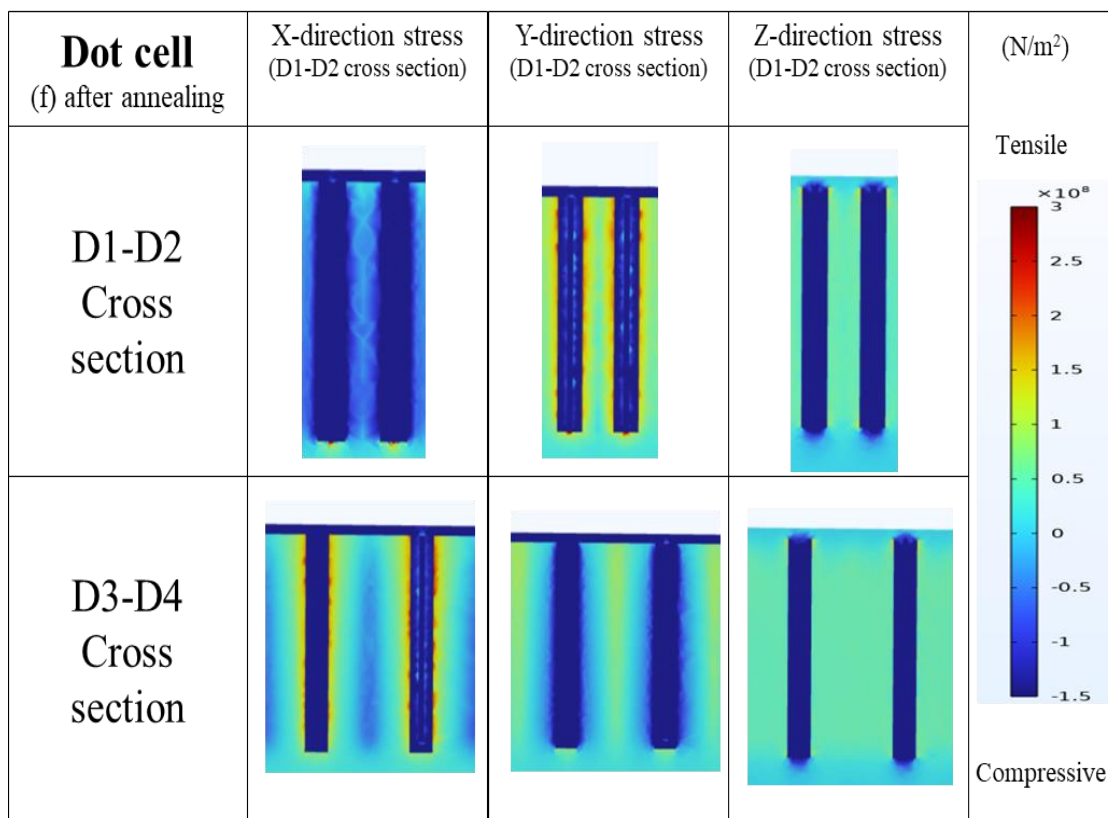


図 5.15. ドットセル構造の 3D応力シミュレーション結果
 100V 耐圧セルピッチ $1.8\mu\text{m}$ FP 酸化膜 $0.31\mu\text{m}$
 ポリシリコン形成後のアニール実施後

ここで、ドットセル構造で応力が小さいことについて、より詳細に確認を実施する。
 図 5.12、図 5.14 にストライプセル構造とドットセル構造の応力シミュレーションにおけるカット面を赤破線で図示した。そのカット面における 3D 応力シミュレーションの結果をそれぞれ図 5.13、図 5.15 に示した。ドットセル構造の X、Y、Z 各方向における応力は同じセルピッチ $1.8\mu\text{m}$ で比較してみても (図 5.13 の C1-C2 断面と、図 5.15 の D1-D2 断面の比較) ドットセル構造の方が小さい値になっていることが確認できる。特に Z 方向の応力差は大きいことがわかる。

ただし、この同一ピッチでの比較において、ストライプセル構造とドットセル構造では酸化膜の厚さが異なり、ストライプセル構造は $0.58\mu\text{m}$ 、ドットセル構造は $0.31\mu\text{m}$ と約 2 倍ストライプセル構造の方が厚い。ドットセル構造の応力が小さくなっていることの原因はトレンチが分断されてまばらになっている構造的な問題によるものか、膜厚差が関係しているのかをここで明らかにしておく。

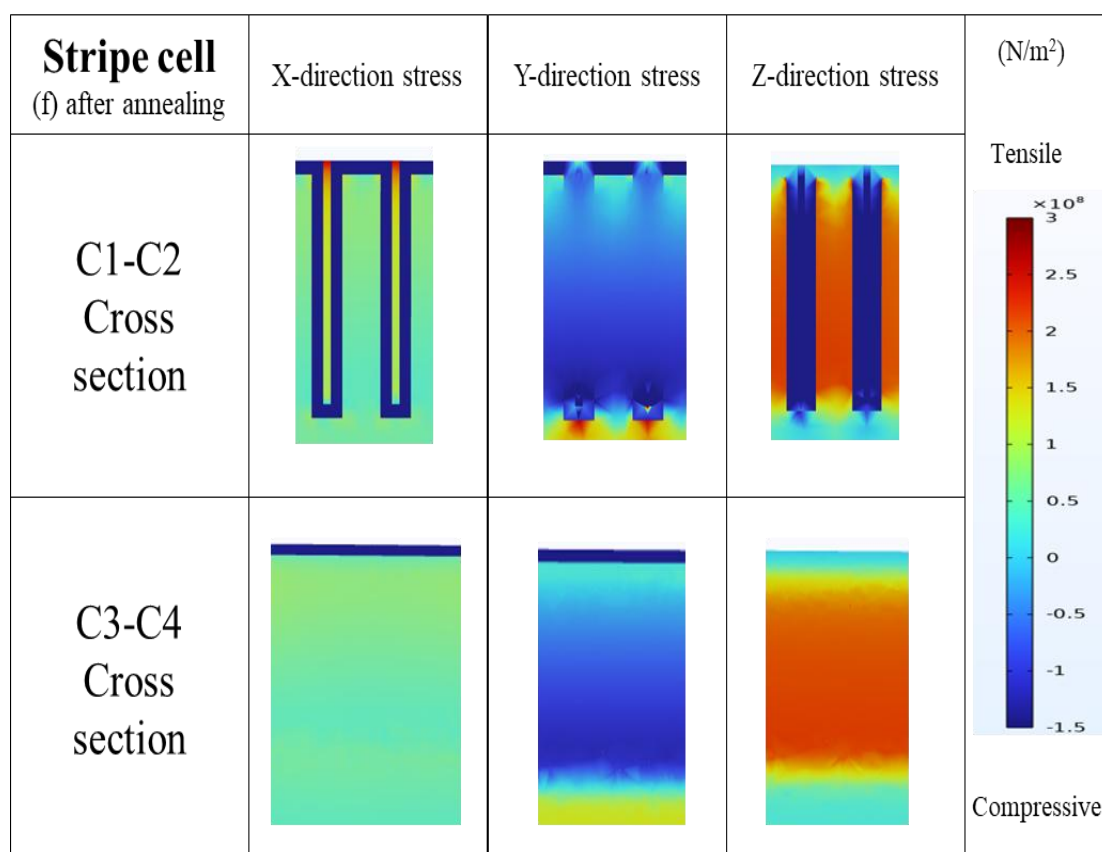


図 5.16. ストライプセル構造の 3D 応力シミュレーション結果
 100V 耐圧セルピッチ $1.8\mu\text{m}$ FP 酸化膜 $0.31\mu\text{m}$
 ポリシリコン形成後のアニール実施後

そこでストライプセル構造の FP 酸化膜を図 5.13 の $0.58\mu\text{m}$ から $0.31\mu\text{m}$ に修正して応力を出力した結果を図 5.16 に示す。図 5.13 と図 5.16 で同じストライプ同士で FP 酸化膜を約半分にした結果を見比べると、たしかに X、Y、Z いずれの方向も膜厚を減らすと応力は減少している。

ただし、図 5.15 と図 5.16 で同じ FP 膜厚同士をドットセル構造とストライプセル構造を見比べると、同じ FP 膜厚、同じセルピッチ（ドットセル構造の場合、カット面でピッチは異なるが、D1-D2 断面を見るとストライプセル構造と同じセルピッチとなっている）であるにもかかわらず、応力の強さはドット FP の方が圧倒的に低い値になっていることが確認できる。これらの結果からドットセル構造は構造的な問題で応力がかかっていないということがわかった。

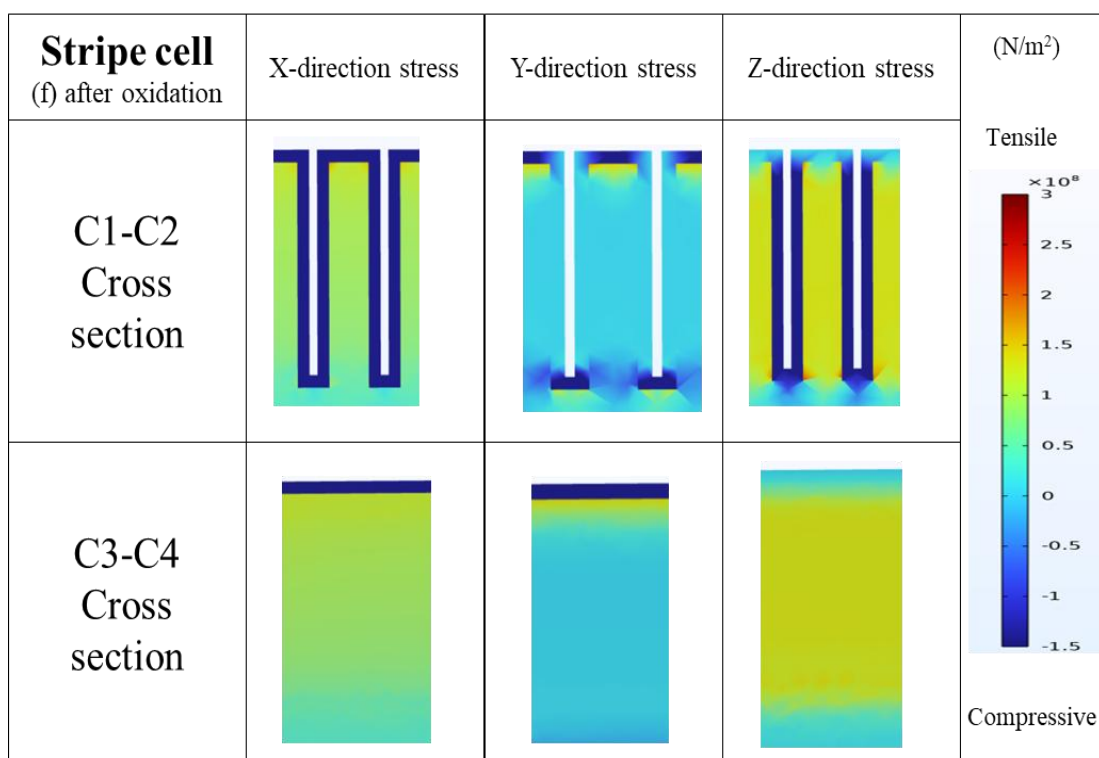


図 5.17. ストライプセル構造の 3D 応力シミュレーション結果
 100V 耐圧セルピッチ $1.8\mu\text{m}$ FP 酸化膜 $0.31\mu\text{m}$
 FP 酸化膜形成後

さらに、FP 酸化工程での応力の状態とポリシリコンを形成し、アニールした後の状態での差を比較するため、ストライプセル構造の FP 酸化膜をドットセル構造の $0.31\mu\text{m}$ に合わせた状態での 3D 応力シミュレーションの結果を図 5.17 に示す。

Z 方向のメサを上下に引っ張る応力は図 5.16 に比べて小さくなっている。ストライプ構造では FP 酸化工程でも Z 方向の応力がかかるが、さらにポリシリコンを形成してアニー

ルすればその応力は増加していることが確認できる。ポリシリコン工程における応力制御はオン抵抗の設計に対して重要であることを示唆している。

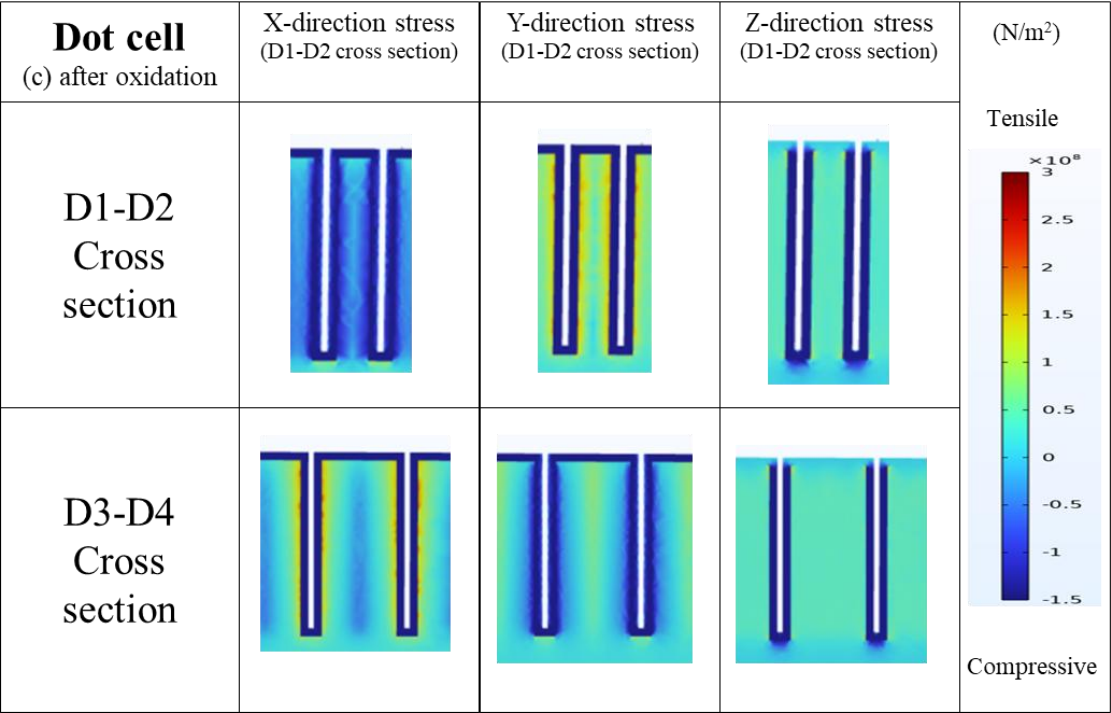


図 5.18. ドットセル構造の 3D 応力シミュレーション結果
100V 耐圧セルピッチ 1.8 μm FP 酸化膜 0.31 μm
FP 酸化膜形成後

一方、図 5.18 にはドットセル構造で FP 酸化膜後の状態をシミュレーションした結果を掲載している。Z 方向の引張応力に着目すると、FP 酸化後の応力と図 5.14 で示したポリシリコン形成後のアニール後でほとんど差が見られない。

ドットセル構造でストライプセル構造と比較して大幅に応力が小さくなっている現象はポリシリコン形成後のアニール後だけではなく、酸化工程からであることが確認できた。

5.6.3 高耐圧化での限界検討

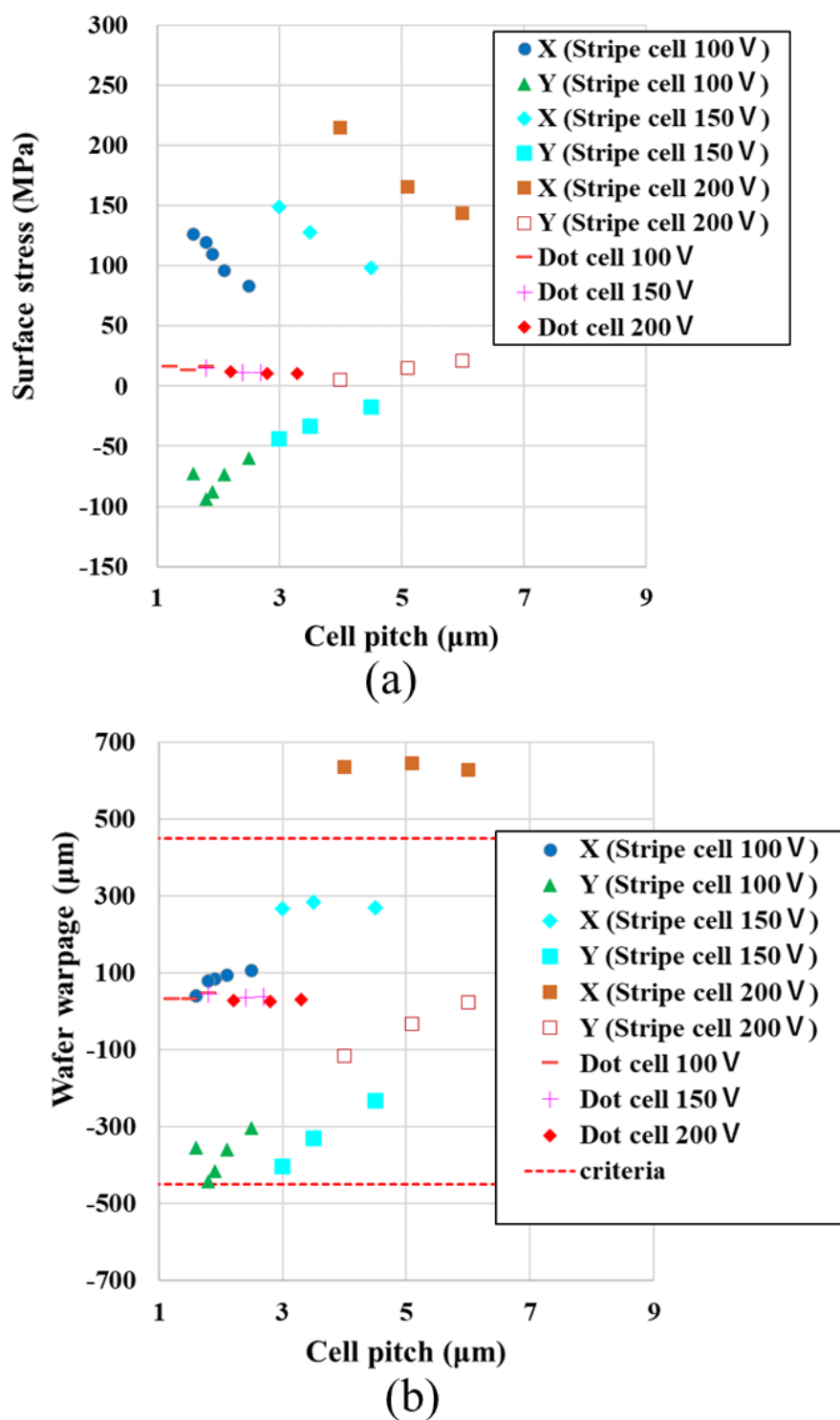


図 5.19. 高耐圧化時の表面応力とウェーハ反り (a)セルピッチと表面応力の関係 (b)セルピッチとウェーハ反りの関係

高耐圧設計では 150 V、200V のセルピッチ振りを行った。またストライプセル構造とド

ットセル構造の違いをここでも検討した。各耐圧系の設計パラメータに関しては5.3で述べた方法で計算し、応力シミュレーションもそれぞれ行った。なお100Vの耐圧系ではブレークダウン電圧を100Vに対して設計マージンとして10%を取り110Vに設定したことを前述した。150V、200Vにおいても10%のマージンを取った値を狙いの耐圧として計算し、それぞれ165V、220Vで計算した。図5.19(a)から高耐圧設計時の表面応力シミュレーション結果を確認すると、ドットセル構造のX方向、Y方向の応力は100V耐圧系の時と変わらず小さいままになっている。

一方、ストライプセル構造では、耐圧が高くなるにつれて、X方向の応力が増加する。Y方向の応力(絶対値)は減少する(図5.19(a))。X方向に伸びるメサは、その側壁に形成された厚い酸化膜に引っ張られる。高耐圧設計ではFP酸化膜が厚くなるためメサ側壁の酸化膜が厚くなる。膜厚が厚いほど応力が強まるためにX方向の応力は強くなるのではないかと考えられる(図5.20)。一方、Y方向は、耐圧が高くなるにつれて、メサ幅が広がる。メサが広がるとメサ側壁の酸化膜からの応力がメサ中央に届きにくくなり、メサ全体を平均化した応力は低下する。だからウェーハの反りが減少するのではないかと推測でき、メサ幅との相関が見えていと推定する(図5.21)。FP酸化膜の厚さとの相関は疑似相関ではないかと考えられる(図5.20)。

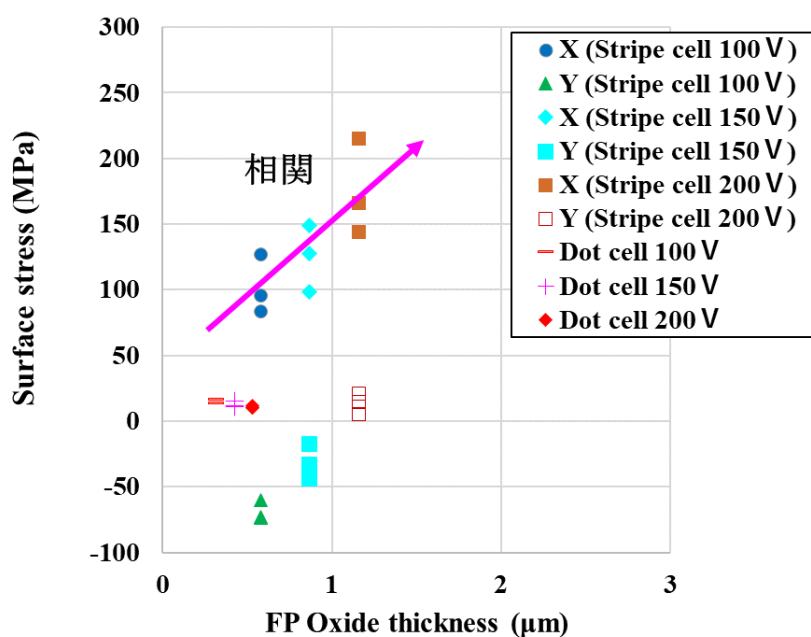


図 5.20. 高耐圧化時の FP 酸化膜厚さと応力の関係

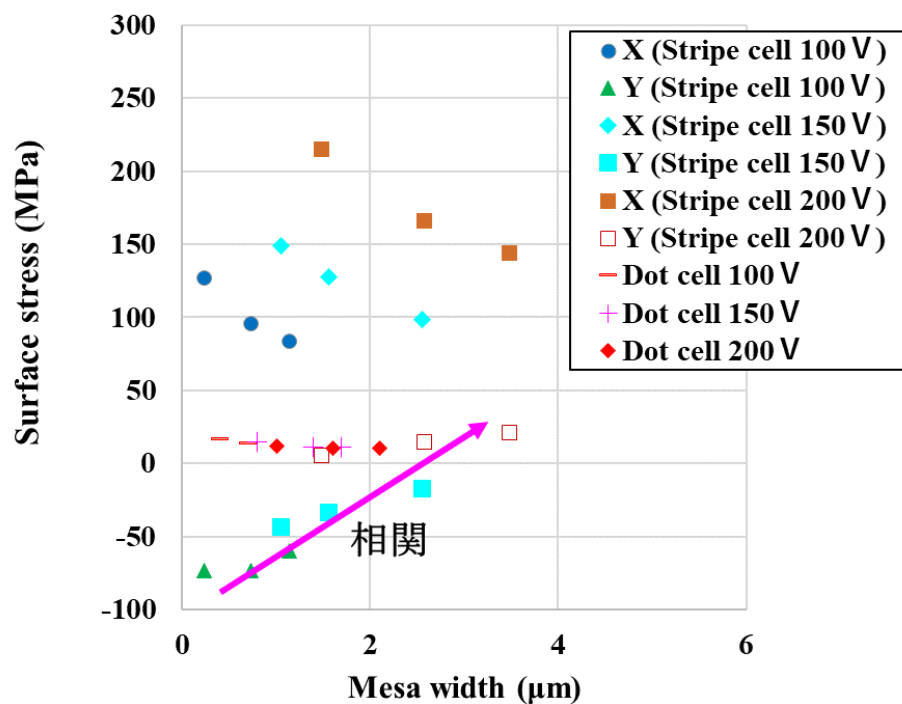


図 5.21. 高耐圧化時のメサ幅と応力の関係

なお 200V デバイスでは、X 方向のウェーハ反りが完全に基準を超えている (図 5.19(b))。600 μm を超えるような大きなウェーハ反りは、実際には発生しない可能性が高い。そのようなウェーハ反りになる前にデバイス形成部の応力により Si 欠陥が発生する可能性がある。今回のシミュレーションでは欠陥の発生を考慮していないため、このような大きい値が出力されており、このデータに関しては参考値として扱う必要がある。

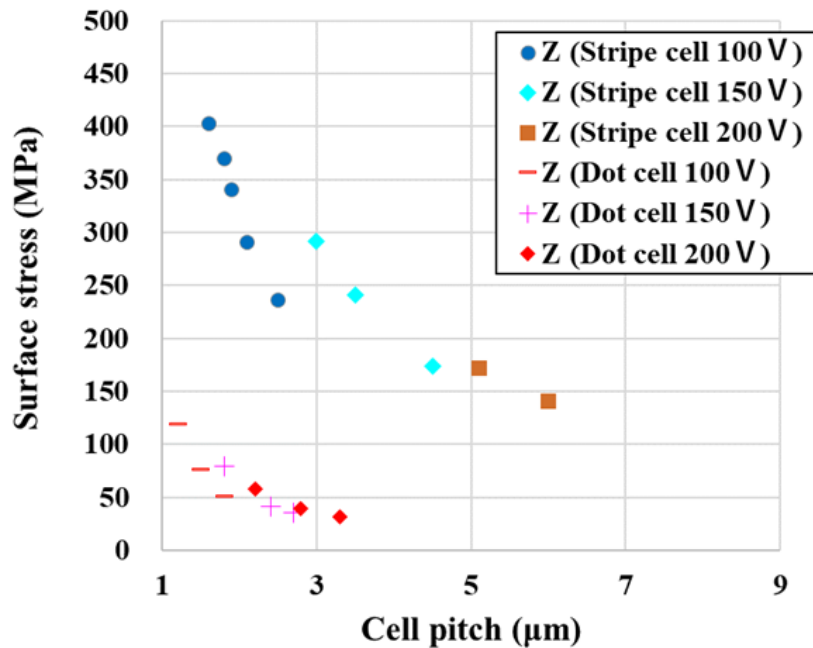


図 5.22. 高耐圧化時の Z 方向表面応力

一方、Z 方向の応力に注目すると、まずストライプセル構造はセルピッチの小さい 100V 系デバイスで最も高い応力がかかり、ブレイクダウン電圧が増加するにつれて応力は減少している（図 5.22）。これは、FP 酸化膜厚よりもメサ幅が効いているということを意味していると考えられる。

ここで、ストライプセル構造とドットセル構造それぞれに関して高耐圧化検討で X、Y、Z 方向にどのような応力が発生しているかシミュレーション結果の画像で確認する。シミュレーションのカット面に関する定義は図 5.12 と図 5.14 を踏襲する。

図 5.23 にはストライプセル構造の 3D 応力シミュレーション結果を示している。既に図 5.19 で説明した通り X 方向はメサ部に引張応力が働いており、その応力は耐圧が高くなるほど強まっている。これが前述した FP 酸化膜圧との相関に関係している。

Y 方向に関しては圧縮応力が働いており、耐圧が低いほど圧縮応力が強くなっている。こちらは FP 酸化膜厚とは相関がなく、メサ幅との相関が強くていいると考えられる。またメサにかかる Z 方向応力は引張応力になっており、移動度が向上する方向に応力がかかっていることが確認できる。耐圧が低いときほど、その応力は強まっているのはメサ幅との相関であると推定でき、メサが細いほど応力が強い。

一方、図 5.24 にはドットセル構造の 3D 応力シミュレーション結果を示している。こちらもグラフで説明した通り X、Y、Z それぞれの方向で応力は小さい値になっている。移動度が向上する方向の Z 方向引張応力も小さくオン抵抗への応力影響に関しては、ドットセ

ル構造は小さいことが懸念材料であることがわかる。

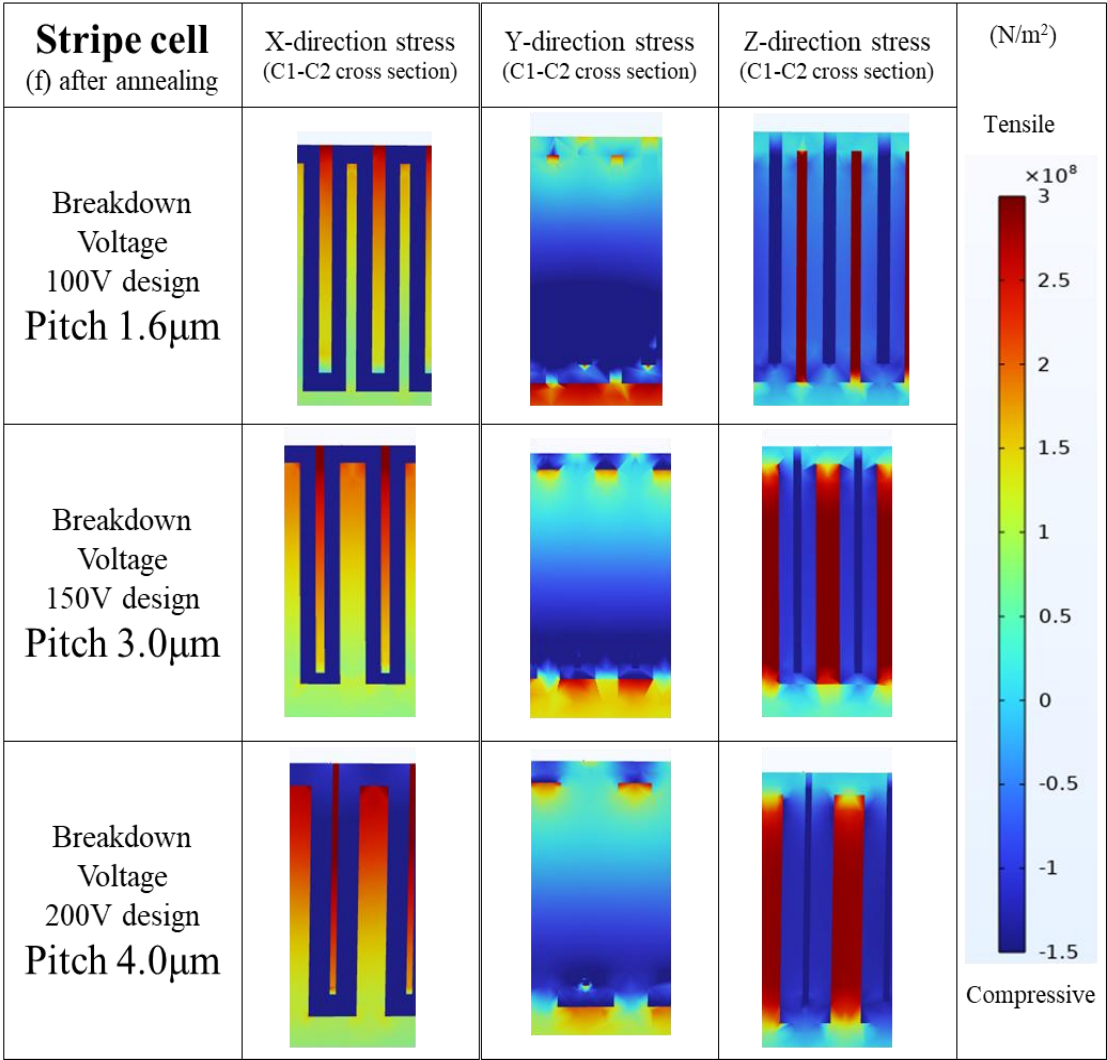


図 5.23. ストライプセル構造の 3D 応力シミュレーション結果

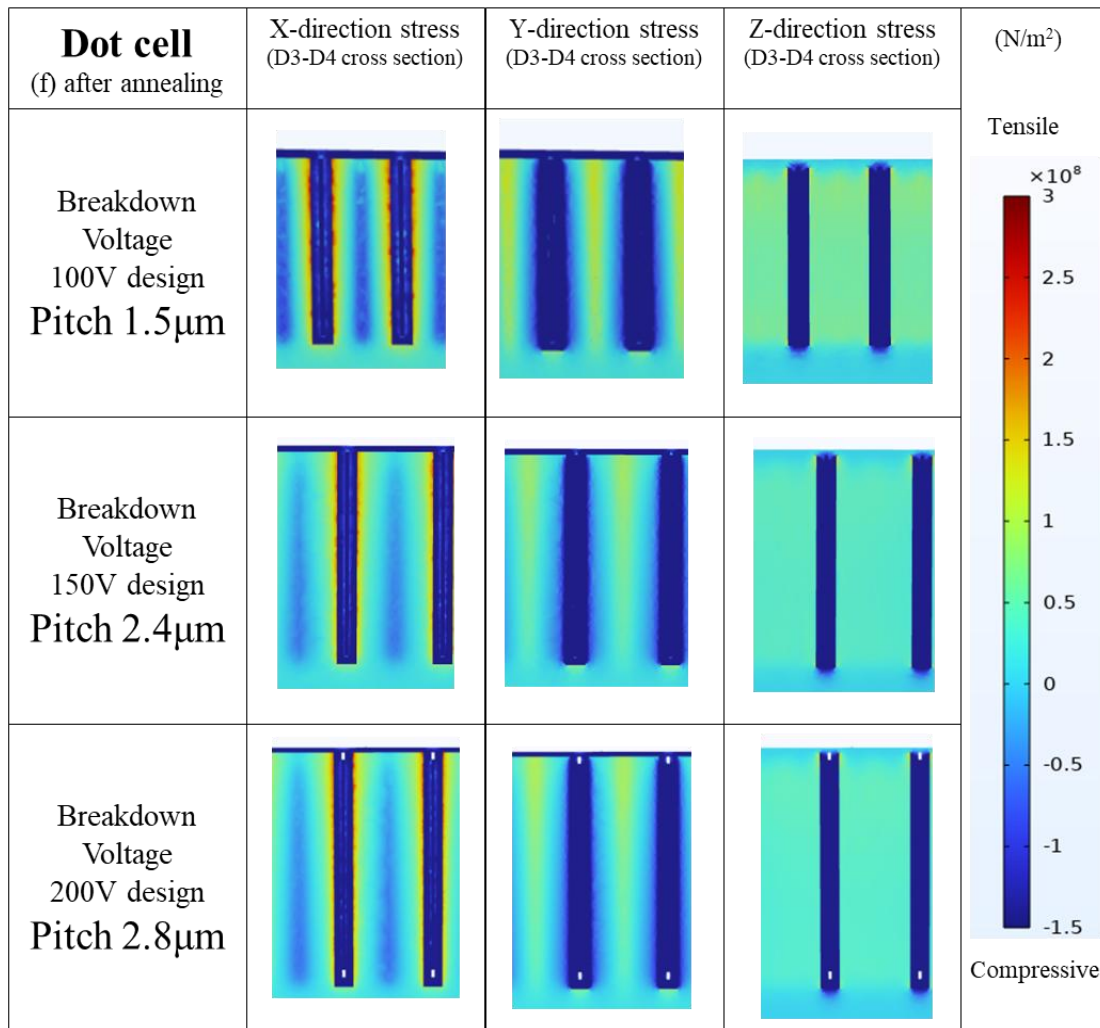
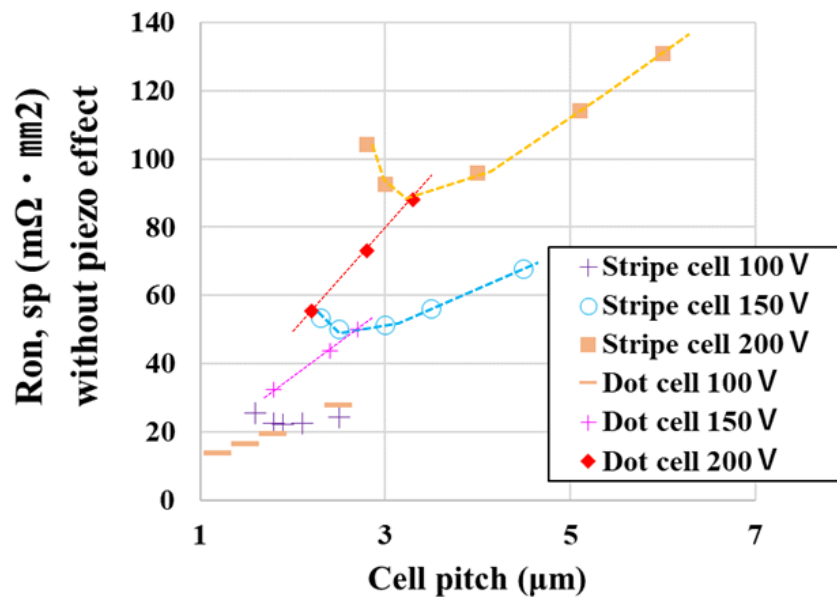
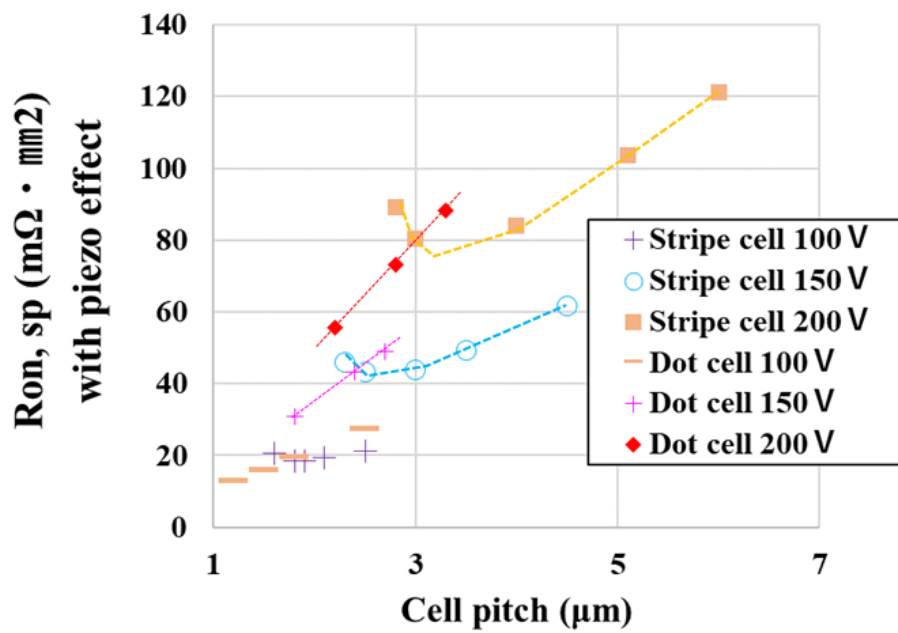


図 5.24. ドットセル構造の 3D 応力シミュレーション結果



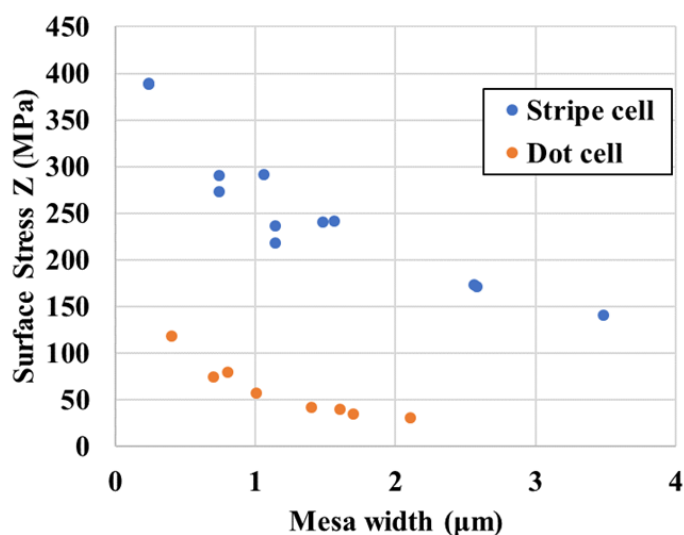
(a)



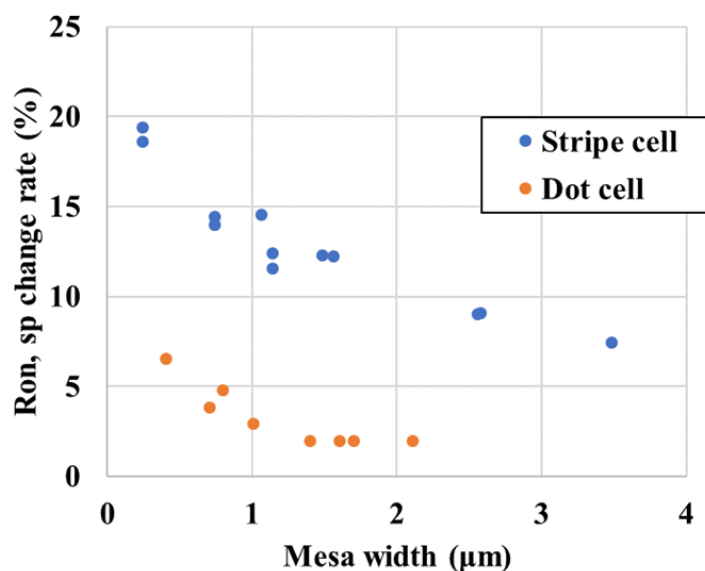
(b)

図 5.25. 高耐圧化した場合の $R_{on,sp}$ に関するストライプセル構造とドットセル構造の比較 (a)ピエゾ効果無し (b)ピエゾ効果有り

Ron, sp の計算結果を図 5.25 に示す。セルピッチが小さくなると、ストライプセル構造の Ron, sp は飽和するが、ドットセル構造では飽和しない。この関係は 100V、150V、200V デバイスで同じであることを確認した (図 5.25 (a))。また、ドットセル構造のピエゾ効果が小さいことについても 100V、150V、200V いずれのデバイスで同じであることを確認した (図 5.25 (a)、図 5.25 (b))。



(a)



(b)

図 5.26. (a)メサ幅と表面応力の関係 (b)メサ幅とひずみによる Ron, sp 変化率の関係

また、図 5.26(a)よりメサ幅が大きいと表面応力は減少していることが確認できる。これ

はトレンチ内部からの応力がメサ中央に届きにくくなるためであると考えられる。さらにその結果図メサ幅が大きいほどピエゾ効果すなわち、ひずみによる $R_{on,sp}$ の変化率は小さくなっている(5.26(b))。すなわち高耐圧になるほどピエゾ効果は小さくなることを意味しているが、ストライプセル構造とドットセル構造でのピエゾ効果による $R_{on,sp}$ の変化率差は 200V クラスの高耐圧でも 5 %～7 %程度は存在することが確認できる。

5.7 まとめ

開発した 300mm 反り予測モデルを用いて、トレンチ FP-MOSFET のピッチシュリンク、ストライプセル構造とドットセル構造の比較、高耐圧化について調査した。さらに、参考文献の数学モデルから $R_{on,sp}$ を計算した。ストライプセル構造では、Y 方向ウェーハ反りとピッチ収縮による $R_{on,sp}$ 飽和の両方により制限が発生する。高耐圧デバイスの場合、X 方向ウェーハ反りにより制限が発生する。対照的に、ドットセル構造では、応力解放によりウェーハ反りが大幅に抑制されるため、ウェーハ反りで問題になることはないと考えられる。欠点は、Z 方向応力による移動度向上効果が弱まることである。しかし、ストライプセル構造のピッチ収縮限界は、ドットセル構造によって克服できる。

第 5 章の参考文献

- [1] R. K. Williams, M. N. Darwish, R. A. Blanchard, R. Siemienieć, P. Rutter and Y. Kawaguchi, "The Trench Power MOSFET: Part I: History, Technology, and Prospects, " IEEE Transactions on Electron Devices, vol. 64, No. 3, 2017, pp. 674-691. DOI: 10.1109/TED.2017.2653239
- [2] R. K. Williams, M. N. Darwish, R. A. Blanchard, R. Siemienieć, P. Rutter and Y. Kawaguchi, " The Trench Power MOSFET: Part II: Application Specific VDMOS, LDMOS, Packaging, and Reliability, " IEEE Transactions on Electron Devices, vol. 64, No. 3, 2017, pp. 692-712. DOI: 10.1109/TED.2017.2655149
- [3] R. Siemienieć, M. Hutzler, C. Braz, T. Naeve, E. Pree, H. Hofer, I. Neumann and D. Laforet, "A new power MOSFET technology achieves a further milestone in efficiency," EPE'22 ECCE Europe, pp. 1-11, Aug. 2023.
- [4] M. Thomas, R. Siemienieć, E. Kahrimanovic, L. Juhasz, M. Hutzler and K. Kelkar, "Novel 200V MOSFET Technology Pushes Motor Drive Inverter Efficiency to an Unprecedented Level, " PCIM Europe, pp. 564-570, June. 2024. DOI: 10.30420/566262070
- [5] O. Song, R. Siemienieć, S. Mazzer, C. Braz, G. Noebauer, M. Hutzler, D. Laforet, E. Pree and A. Ferrara, "More than an Evolution: a New Power MOSFET Technology for

- Higher Efficiency of Power Supplies," PCIM Asia, pp. 33-39, Aug. 2023. DOI: 10.30420/566131004
- [6] Gaoqiang Deng, Jun Wang, Xuanting Song, Yang Gao, Shiwei Liang and Xiaojun Xu, "Modelling the 3-D Charge-Sharing in Field-Plate Power MOSFETs With Circular Layouts," IEEE Transactions on Electron Devices, vol. 71, no. 3, pp. 1752-1757, Mar. 2024. DOI: 10.1109/TED.2024.3356437
- [7] 田路敏 特開平 6-333799, 拒絶査定, Family 公報番号 JPH06333799A
- [8] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Mechanism and control technique of wafer warpage in process integration for trench field plate power MOSFET, " IEEE Trans. Semicond. Manuf., vol. 32, no. 4, pp. 417-422, Nov. 2019.
- [9] K. Kobayashi, "Novel Trench Power MOSFETs and Structure-based Compact Model for High Efficiency Electronics Application," Dr. Thesis, 2019, online available: https://power.kyutech.ac.jp/pdf/2019_kobayashi.pdf.
- [10] Y. Chen, Y. C. Liang and G. S. Samudra, "Design of gradient oxide-bypassed superjunction power MOSFET devices," IEEE Transactions on Power Electronics, vol. 22, no. 4, pp. 1303-1310, Jul. 2007, DOI: 10.1109/TPEL.2007.900559.
- [11] K. Kobayashi, T. Nishiguchi, S. Katoh, T. Kawano, Y. Kawaguchi, "100 V class multiple stepped oxide field plate trench MOSFET (MSO-FP-MOSFET) aimed to ultimate structure realization," in Proc. of ISPSD 2015, pp. 141-144, DOI: 10.1109/ISPSD.2015.7123409.
- [12] C. Hu, "A parametric study of power MOSFET's," Proceedings of IEEE Power Electronics Specialists Conference (PESC), pp. 385-395, 1979, DOI: 10.1109/PESC.1979.7081051.
- [13] 加賀野井啓介, 新井雅俊, 可知剛 "低耐圧パワーMOSFET 技術", 東芝レビュー, Vol. 75, No. 6, pp. 9-13, 2020.
- [14] P. Moens, F. Bauwens, J. Baele, K. Vershinin, E. De Backer, E.M. Sankara Narayanan and M. Tack, "XtreMOS : The First Integrated Power Transistor Breaking the Silicon Limit, " in IEDM Tech. Dig., 2006, pp. 1-4. DOI: 10.1109/IEDM.2006.346933
- [15] P. Moens, J. Roig, F. Clemente, I. De Wolf, B. Desoete, F. Bauwens and M. Tack, "Stress-Induced Mobility Enhancement for Integrated Power Transistors, " in IEDM Tech. Dig., 2007, pp. 877-880. DOI: 10.1109/IEDM.2007.4419089
- [16] P. Moens, J. Roig, J. Meersman, J. Baele, B. Desoete and M. Tack, " μ -Raman Validated Stress-Enhanced Mobility in XtreMOS Transistors, " Proc. of ISPSD, 2008, pp. 84-87. DOI: 10.1109/ISPSD.2008.4538903

- [17] K. Uchida, T. Krishnamohan, K. C. Saraswat and Y. Nishi, "Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Resime," Technical digest of IEEE International Electron Devices Meeting (IEDM), pp. 129-132, 2005, DOI:10.1109/IEDM.2005.1609286.
- [18] 高木秀樹, 宮澤伸一, 佐宗めぐみ, 三宅晃司, 高橋正春, 前田龍太郎, "MEMS 設計解析システムのための材料データベースの構築," 精密工学春季大会学術講演会論文集, pp. 1087-1088, 2007. DOI: 10.11522/pscjspe.2007s.0.1087.0

第6章 結論

この章では第1章から第5章で述べたことを端的にまとめて、最後にこの研究がこの分野においてどのような意味を持つかを要約する。

第1章ではパワーデバイス全般を説明し、本研究で対象としているトレンチフィールドプレート構造のMOSFETに関する位置づけを説明した。さらに、トレンチフィールドプレート構造のMOSFETはなぜ応力制御が必要なのかを述べた。トレンチMOSFETとは異なり深いトレンチ、厚いFP酸化膜が必要であることから、デバイス部に強い応力が発生しウェーハが反る。また電流経路となっているメサ部にひずみが発生し移動度が向上する。この2つの課題を説明した。また基礎検討1、2での課題を述べ、それに対して、3章以降でどのようなアプローチを行うか説明した。

第2章では基礎検討1で作成した変位モデルの構築とその成果・課題について説明した。ウェーハ小片の応力を2Dでシミュレーションして、その変位量とウェーハ反りの相関を使いウェーハ反りを予測する方法である。この方法ではY方向のみをウェーハ反り予測出来る。これを用いて、トレンチFP構造のMOSFETのスループロセスのY方向反り量推移を事前に予測した。その結果、何も対策をおこなわなければウェーハ反りが規格を超えてしまうことがわかった。対策として、裏面膜を残す手法、裏面膜を追加する手法、応力緩和の高温アニールを実施する方法を実施した。なお、対策についてはその反り抑制効果を変位モデルシミュレーションで事前に予測した上で実際にサンプルを作成した。その結果、ほぼシミュレーション通りの実測結果(対策後)を得ることが出来た。ただし、2DモデルでのシミュレーションはY方向シミュレーションしか出来ないという課題が残った。X方向もウェーハ反り予測出来るようにするにはシミュレーションを2Dから3Dへ拡張することが必要である。

第3章では2章で述べた課題を解決すべくシミュレーションを3Dに拡張した。その結果X方向のウェーハ反りを予測できるようになった。また、反り予測モデルについて新たに表面応力モデルを提案し2つの方法を比較検討した。2章で使っていた変位モデルでは予測精度に課題があることが判明した。それに対して表面応力モデルは、実測と近い値が得られ、汎用性が高いことがわかった。表面応力モデルは小片のウェーハ表面側のデバイス部応力を3Dシミュレーションで求め、その値からストーニーの式を使いウェーハ反り量を机上計算する手法である。

第4章では第3章で選定した3D表面応力モデルを300mmウェーハに拡張した。300mmの実測ウェーハ反りとの比較を行った。その結果ポリシリコン成膜後のアニール後の反り量

はシミュレーションと実測で大きく乖離していることが判明し、パターン無しウェーハで測定したポリシリコンアニール後の熱膨張係数を使用し表面応力モデルを用いる手法では予測できないことが判明した。

そこで、トレンチ内部のポリシリコンをアニールする際には、ポリシリコンは異方性の熱膨張係数を持っていると仮定した。X方向とY方向の反り量を異方性の熱膨張係数を調整してウェーハ反りの実測に合わせこみを行った。さらに、ラマン分光分析でX、Y、Z方向各成分をベクトル合成した結果が得られるので、その値に合うようにZ方向の熱膨張係数も調整を行った。その結果X、Y、Zすべての方向で実測の裏付けのあるモデルが確立された。このように構築したモデルを使うと、オン抵抗に影響を及ぼすと考えられているZ方向の応力も実測に合ったものになる。なお、ポリシリコンをアニールする工程までのウェーハ反り、応力を抑えれば、FP-MOS のほぼ主要な形状が形成されておりスルーで全行程流動したときとほとんど変わらないデータになっていると考えている。

第5章は第4章で構築したシミュレーションを使い、トレンチ FP 構造の今後の方向性を模索すべく、トレンチ FP-MOSFET のピッチシュリンク、プロセス検討 (FP 酸化膜が熱酸化膜の場合と、CVD 膜の場合の違い)、現行世代であるストライプセル構造と次世代構造であるドットセル構造の比較、高耐圧化について 300 mm ウェーハを前提にウェーハ反り予測を行った。さらに、参考文献の数学モデルを用いて上記ウェーハ反り予測を行った条件すべての $R_{on, sp}$ を計算した。また、Z 方向の応力計算結果を元にピエゾ効果有無も計算した。

その結果、ストライプセル構造では、Y 方向ウェーハ反りとピッチ収縮による $R_{on, sp}$ 飽和の両方により制限が発生することが判明した。高耐圧デバイスの場合、X 方向ウェーハ反りにより制限が発生する。対照的に、ドットセル構造では、応力解放によりウェーハ反りが大幅に抑制されるため、ウェーハ反りで問題になることはないと考えられることがわかった。ドットセル構造の欠点は、Z 方向応力によるピエゾ効果が弱まることである。しかし、ストライプセル構造のピッチ収縮限界は、ドットセル構造によって克服できることが示された。

以上をまとめると、本研究では、シミュレーションの 3D 化を行い、表面応力モデルでの反り予測手法を確立した。さらにこのウェーハ反り予測モデルの大口径化を行い、複雑な応力がかかりこれまでのシミュレーション方法ではモデル化できていなかったポリシリコンに対するアニール工程のシミュレーション上の応力を実測(ラマン分光分析結果)に合わせこむ方法を確立した。具体的に述べると、ラマン分光分析結果にはX、Y、Zの各方向をベクトル合成した値が出力される。一方ウェーハ反りはX方向とY方向の応力で決まりZ方向は殆ど影響がない。従って、先にウェーハ反りの実測にX方向とY方向の応力をフィッティングし、次にZ方向の応力を調整することで、ベクトル合成した値をラマン分析結果に合わせる。この手法をつかえば仮にポリシリコンの成膜条件やアニール条件が変わった

場合でも同様の手順でモデルを作成可能となる。

開発した手法を用いると、トレンチフィールドプレート構造の MOSFET のデバイス領域における応力を X、Y、Z 方向とも正しく予測できる。その結果大口径ウェーハでのトレンチ FP 構造 MOSFET のウェーハ反りを X 方向、Y 方向両方を予測できるようになった。さらに、Z 方向の応力が正しく予測できるようになったことから。オン抵抗に影響を及ぼすメサ部の Z 方向の応力から移動度の変化量を求め、オン抵抗予測も精度よく出来るようになった。また今回確立したモデルを用いて微細化、現行構造と新構造、高耐圧化のそれぞれ反り、オン抵抗予測を行い、今後の LVMOS 開発方向性を示すことが出来た。今回の手法は今後、この分野のプロセス・デバイス設計技術に大いに貢献し、LVMOS の発展に寄与すると考える。

謝辞

指導教官であり本論文の主査である国立大学法人九州大学 応用力学研究所 教授 齋藤 渉先生には、本研究の進め方に度々ご助言をいただきました。また技術的なところだけでなく、入学手続き、中間報告、博士論文提出まで事務的なところも都度ご連絡いただき、ここまで進めることが出来ました。心より御礼申し上げます。 また国立大学法人九州大学 応用力学研究所教授 西澤 伸一先生にも齋藤渉先生と共に毎回オンライン打ち合わせでご指導いただきました。先生にも遠隔でシミュレーションできる環境整備から、実験手配も実施いただきました。特にラマン分光分析のところは多大なお時間をかけていただきました。そのおかげでこの論文が完成したと思っています。また九州大学システム情報科学研究院の情報エレクトロニクス部門 寺島知秀先生にも博士論文に関して主に技術的ご指導を丁寧にしていただきました。深く感謝もうしあげます。

また、東芝デバイス&ストレージ株式会社の河村圭子さんにも TEG サンプルを頂きまして、ご協力いただきました。この場でお礼もうしあげます。また齋藤渉先生、西澤伸一先生の研究室に所属する蔡博舟さんと袁九洋さんには実験、シミュレーションとも多大なご協力いただいています。お二方のご協力がなければ予定通り研究を進められていないと思います。重ねてお礼申し上げます。

今回の社会人ドクター取得へのチャレンジに対して応援頂いた会社の元上司である小林 研也さん、宮下桂さん現在の上司であります遠山政樹さんに深くお礼を申し上げます。

研究成果および業績一覧

■学術論文

- [1] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Mechanism and control technique of wafer warpage in process integration for trench field plate power MOSFET, " IEEE Transactions on Semiconductor Manufacturing, vol. 32, no. 4, pp. 417-422, Nov. 2019.
DOI: 10.1109/TSM.2019.2937391
- [2] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Correlation Between Trench Angle and Wafer Warpage in Trench Field Plate Power MOSFETs and its Application to Quality Control, "IEEE Transactions on Semiconductor Manufacturing, vol. 34, Issue 3, 2021, pp. 286-290. DOI: 10.1109/TSM.2021.3081261
- [3] H. Kato, Bozhou Cai, Jiuyang Yuan, Yoshiji Miyamura, Shin-ichi Nishizawa and Wataru Saito, " A Model of Wafer Warpage for Trench Field-Plate Power MOSFETs, "Physica

status solidi (a), vol. 221, Issue 20, Aug. 2024.
DOI: <http://doi.org/10.1002/pssa.202400264>

- [4] H. Kato, Bozhou Cai, Jiuyang Yuan, Shin-ichi Nishizawa, Wataru Saito, " A Warpage Prediction Model for Trench Field-Plate Power MOSFET in 300mm-Diameter process, "IEEE Transactions on Semiconductor Manufacturing, vol. **, Issue *, 2025, pp. ***-***.
投稿中

- [5] H. Kato, Bozhou Cai, Jiuyang Yuan, Shin-ichi Nishizawa, Wataru Saito, " Stress Control in Trench Field-Plate Power MOSFETs and Its Impact on On-Resistance Reduction, "Power Electronic Device and Components, vol. **, Issue *, 2025, pp. ***-***.
投稿中

■学術論文（本博士論文に関わる内容以外）

- [1] K. Tomita, T. Shiraishi, H. Kato, H. Kishimoto, K. Miyashita and K. Kobayashi, "New Process Integration of Sequential Phosphorus-Doped Silicon for Trench Field Plate Power MOSFETs, " IEEE Transactions on Semiconductor Manufacturing, vol. 34, Issue 3, 2021, pp. 317-322. DOI: 10.1109/TSM.2021.3073781

■学会発表（国際学会）

- [1] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Process control technique to reduce wafer warpage for trench field plate power, "Proc. ISSM, pp. 26, 2018. DOI: 10.1109/ISSM.2018.8651148

- [2] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Quality Control of Trench Field Plate Power MOSFETs by Correlation of Trench Angle and Wafer Warpage, "Proc. ISSM, 2020. DOI: 10.1109/ISSM51728.2020.9377512

- [3] H. Kato, T. Nishiguchi, S. Shimomura, K. Miyashita and K. Kobayashi, "Prediction and Process Control Technique of Wafer Warpage for Advanced Trench Field Plate Power MOSFETs, "Proc. EDTM, 2022. DOI: 10.1109/EDTM53872.2022.9798171

- [4] H. Kato, B. Cai, J. Yuan, Y. Miyamura, S. Nishizawa and W. Saito, "Wafer Warpage Modeling for Process Integration of Trench Field Plate Power MOSFETs, "Proc. SSDM, 2023. DOI: <https://doi.org/10.7567/SSDM.2023.N-4-04>

■学会発表（国内研究会）

- [1] 加藤浩朗, 西口俊史, 下村紗矢, 白石達也, 宮下桂, 小林研也, "2 段フィールドプレートトレンチ MOSFET 開発におけるプロセスインテグレーション技術, "電気学会研究会, EDD-19-62/SPC-19-148, 2019
- [2] 伊藤和幸, 織田達広, 菊地拓雄, 北原義之, 藪原秀彦, 西口俊史, 加藤浩朗, 下村紗矢, 西脇達也, "マルチスケール応力解析手法を用いた Si トレンチ MOSFET のウェーハ反り予測, "電気学会研究会, EDD-19-62/SPC-19-148, 2019

■学会発表（国際学会）（本博士論文に関わる内容以外）

- [1] S. Shimomura, H. Kato, T. Shiraishi, T. Ohno, T. Nishiguchi, K. Miyashita and K. Kobayashi, "Process control technique to dramatically reduce voids in phosphorus-doped poly-silicon for trench field-plate MOSFETs, "Proc. Joint International Symposium on eMDC & ISSM, 2019, pp. 1-4, 2019.
DOI: 10.23919/eMDC/ISSM48219.2019.9052086
- [2] K. Tomita, T. Shiraishi, H. Kato, H. Kishimoto, K. Miyashita and K. Kobayashi, "Process Optimization of Trench Field Plate Power MOSFETs with Sequential Phosphorus-Doped Silicon, "Proc. ISSM, 2020.
DOI: 10.1109/ISSM51728.2020.9377528
- [3] K. Kobayashi, H. Kato, T. Nishiguchi, S. Shimomura, T. Ohno, T. Nishiwaki, K. Aida, K. Ichinoseki, K. Oasa and Y. Kawaguchi, "100-V Class Two-step-oxide Field-Plate Trench MOSFET to Achieve Optimum RESURF Effect and Ultralow On-resistance, "Proc. ISPSD, 2019. DOI: 10.1109/ISPSD.2019.8757615
- [4] K. Kobayashi, H. Kato, K. Aida, A. Goryu and T. Nishiwaki, "Drift Layer Design utilizing Intermediate Boron Ion-implantation for 100-V-class Two-step-oxide Field-Plate Trench MOSFET to Improve Switching Loss, "Proc. ISPSD, 2021. DOI: 10.23919/ISPSD50666.2021.9452300

- [5] S. Tokuyama, H. Kato, T. Kachi, K. Miyashita and K. Kobayashi, "High Performance Dual Field Plate Trench MOSFETs for Middle-voltage Applications, "Proc. ISPSD, 2023. DOI: 10.1109/ISPSD57135.2023.10147550
- [6] H. Nemoto, T. Kachi, H. Kato and K. Miyashita, "Drain Leakage Current Control of Si Power MOSFETs with Fast Recovery Diodes, "Proc. SSDM, 2023. DOI: <https://doi.org/10.7567/SSDM.2023.N-4-05>
- [7] K. Rikimaru, S. Sakakura, T. Shiraishi, T. Yasutake, H. Kishimoto, T. Nishiguchi and H. Kato, "Avalanche Capability Improvement by Ion Implantation-induced Defects Control for Trench Power MOSFET, "Proc. ISSM, 2024.
- [8] K. Miyamoto, D. Ishi, T. Hirose, H. Kishimoto, K. Sato, T. Kachi and H. Kato, "Improvement of P-base contact resistance in power MOSFETs and its impact on avalanche capability , "Proc. ISSM, 2024.

■学会発表（国内研究会） （本博士論文に関わる内容以外）

- [1] 加藤浩朗, 工藤弘儀, 福井勇貴, 打矢聡, "自動車電装用 UMOS パワーIC の高いドレイン電圧での熱暴走抑制, "電気学会研究会, EDD-12-67/SPC-12-140, 2012
- [2] 小林研也, 加藤浩朗, 西口俊史, 下村紗矢, 大室泰久, 根賀亮平, 西脇達也, 相田喜久夫, 一関健太郎, 大麻浩平, 川口雄介, "100V 定格 2 段フィールドプレートトレンチ MOSFET の最適構造設計とデバイス性能評価, "電気学会研究会, EDD-19-61/SPC-19-147, 2019

■取得特許

取得国	取得特許件数		
	Total	筆頭発明	共同発明
日本	7	4	3
アメリカ	7	5	2

取得特許詳細一覧表（出願国：日本）

登録番号	出願日	登録日	名称	発明者
6761389	2017/9/19	2020/9/8	半導体装置	加藤浩朗, 小林研也
7248541	2019/8/23	2023/3/20	半導体装置	西脇達也, 加藤浩朗, 小林研也, 可知剛
7247061	2019/9/5	2023/3/17	半導体装置およびその製造方法	加藤浩朗, 稲田充郎, 白石達也, 西脇達也, 小林研也
7246287	2019/9/13	2023/3/16	半導体装置およびその製造方法	加藤浩朗, 小林研也, 西脇達也
7249269	2019/12/27	2023/3/22	半導体装置およびその製造方法	岸本裕幸, 加藤浩朗, 西口俊史, 下村紗矢, 冨田幸太
7365306	2020/9/9	2023/10/11	半導体装置	下村紗矢, 加藤浩朗
7337767	2020/9/18	2023/8/25	半導体装置及びその製造方法	加藤浩朗, 河井康宏, 稲田充郎, 西口俊史

取得特許詳細一覧表（出願国：アメリカ）

登録番号	出願日	登録日	名称	発明者
10340346	2018/3/12	2019/7/2	Semiconductor device	Hiroaki Katou Kenya Kobayashi
11127854	2020/3/5	2021/9/21	Semiconductor device and method of manufacturing same	Hiroaki Katou Atsuro Inada Tatsuya Shiraishi Tatsuya Nishiwaki Kenya Kobayashi
11177381	2020/3/9	2021/11/16	Semiconductor device and method for	Hiroaki Katou Kenya Kobayashi

			manufacturing the same	Tatsuya Nishiwaki
11239357	2020/2/4	2022/2/1	Semiconductor device	Tatsuya Nishiwaki <u>Hiroaki Katou</u> Kenya Kobayashi Tsuyoshi Kachi
11640991	2021/3/11	2023/5/2	Semiconductor device and method for manufacturing the same	<u>Hiroaki Katou</u> Yasuhiro Kawai Atsuro Inada Toshifumi Nishiguchi
11715793	2021/8/27	2023/8/1	Semiconductor device and method of manufacturing same	<u>Hiroaki Katou</u> Atsuro Inada Tatsuya Shiraishi Tatsuya Nishiwaki Kenya Kobayashi
11996458	2022/1/24	2024/5/28	Trench-gate MOS transistor and method for manufacturing the same	Hiroyuki Kishimoto <u>Hiroaki Katou</u> Toshifumi Nishiguchi Saya Shimomura Kouta Tomita