

入力信号パターンを考慮した低電力並列乗算器の設計手法

室山, 真徳
九州大学大学院システム情報科学府情報工学専攻

石原, 亨
東京大学大規模集積システム設計教育研究センター

兵頭, 章彦
九州大学大学院システム情報科学府情報工学専攻

安浦, 寛人
九州大学大学院システム情報科学府情報工学専攻

<https://hdl.handle.net/2324/7353>

出版情報 : DAシンポジウム2000, pp.61-66, 2000-07-18
バージョン :
権利関係 :

入力信号パターンを考慮した低電力並列乗算器の設計手法

室山 真徳† 石原 亨‡ 兵頭 章彦† 安浦 寛人†

†九州大学 大学院システム情報科学府 情報工学専攻

E-mail: {muroyama, akihiko, yasuuru} @c.csce.kyushu-u.ac.jp

‡東京大学 大規模集積システム設計教育研究センター

E-mail: ishihara@silicon.u-tokyo.ac.jp

概要

並列乗算器は複数の1ビット全加算器を用いて設計されることが多い。それぞれの1ビット全加算器の入力信号パターンを考慮して1ビット全加算器の回路構造を決定し、低電力な並列乗算器を設計する方法を提案する。1ビット全加算器の各入力端子の信号遷移パターンに偏りがみられないときに電力が小さくなるセルと偏りがみられるときに電力が小さくなるセルを用意しておき、乗算器中でセルが使用される箇所の入力信号パターンを考慮することで乗算器の低電力化が図れることを配列型並列乗算器とWallace型並列乗算器において確認した。提案する手法により乗算器の消費電力を配列型で18.3%、Wallace型で9.05%削減できた。

Abstract A parallel multiplier is often implemented as a combinations of 1bit full adders. We propose a design method for low power parallel multipliers considering irregularity of input patterns of each 1bit full adder. We have designed two types of FAs. The power consumption of the first FA is optimized for random input patterns, and one of the second is strongly correlated input patterns. We designed array type and wallace tree type multipliers using the above two kinds of FAs to minimize the total power consumption. Experimental results demonstrates effectiveness of the proposed technique.

1 はじめに

微細加工技術の急速な発達により、現在のLSI設計では一つのチップ上に大規模かつ複雑な回路を実現できるようになった。それに伴い、製品の設計期間の短縮や高性能化、低コスト化、低電力化を同時に満たす設計手法の開発はますます難しくなっている。複雑になっていくシステムを短期間で作る方法として、汎用の部品を組み合わせたセルベースのLSI設計が考えられる。セルベースのLSI設計において基本構成要素となるスタンダードセルは設計対象となるLSIの性能、電力および面積に対して大きな影響を与える[?, ?, ?]。

乗算器はマイクロプロセッサをはじめ、画像処理などの様々なLSIに用いられる重要な回路の一つである。デジタル信号処理プロセッサ(DSP)や動画画像処理プロセッサ(VSP)では主に並列乗算器が使用される。並列乗算器には全加算器(以下FAとする)が複数使用されており、FAの回路構成は

乗算器の性能や電力に大きく影響する。並列乗算器中の各FAの入力信号パターンが独立にかつ等確率で入力されるとは限らず、一部の偏った信号パターンが頻繁に入力される可能性がある。本稿では各FAの入力信号パターンの偏りを積極的に利用することにより並列乗算器の電力を削減する手法を提案する。

第2章では準備として消費電力や全加算器について説明し、第3章で入力信号パターンを利用することによる並列乗算器の電力削減方法を紹介する。第4章では配列型並列乗算器とWallace型並列乗算器を対象として提案手法の有効性を試す実験を行い、実験結果と実験結果に対する考察を報告する。最後に第5章で本稿をまとめる。

2 準備

2.1 CMOS論理回路の消費電力

本稿で対象とする回路はCMOS論理回路である。CMOS LSIの消費電力は次の三つの成分に分類できる。(i)リーク電流による消費電力。(ii)貫通電流による消費電力。(iii)負荷容量を充放電するための電力。(i),(ii),(iii)の中で(iii)の負荷容量を充放電するための電力が支配的である[?, ?]。負荷容量を充放電するのに消費する電力は次式で表される。負荷容量を充放電するための消費電力

A design method for low power parallel multipliers considering input patterns
Masanori MUROYAMA, Akihiko HYODO, and Hiroto YASUURA
Department of Computer Science and Communication Engineering, Kyushu University
Tohru ISHIHARA
VSLI Design and Education Center(VDEC), University of TOKYO

が全消費電力に対して支配的であるので CMOS トランジスタで一サイクルあたりに消費される電力は式 (1) で近似できる。

$$P = \sum_{k=1}^M CL_k \cdot Swit_k \cdot V_{DD}^2 \quad (1)$$

ここで M は回路全体におけるゲート数, CL_k はゲートの負荷容量, $Swit_k$ はゲートのスイッチング回数, そして V_{DD} は電源電圧である. 式 (1) より消費電力はゲートのスイッチング回数に比例することが分かる.

2.2 全加算器

FA を表す標準積和形の論理関数を式 (2) と (3) に示す. 被加数を A , 加数を B , そして下位桁からの桁上げを Cin とする. S は和出力, $Cout$ は桁上げ出力である.

$$S = \bar{A}\bar{B}Cin + \bar{A}B\bar{C}in + ABCin + A\bar{B}\bar{C}in \quad (2)$$

$$Cout = AB + BCin + CinA \quad (3)$$

式 (2) と (3) から分かるように論理関数 S と $Cout$ は, ともに対称関数 [?] である.

3 入力信号パターンを考慮した並列乗算器の電力削減方法

3.1 従来の設計手法とその問題点

今日使用されているスタンダードセルライブラリの多くは様々な回路を設計するとき使用されることを前提に開発されており, そのスタンダードセルライブラリを使用して設計される回路を考慮していないため, 設計対象となる回路に対して必ずしも最適であるとはいえない. したがって, 既存のスタンダードセルライブラリを使用して LSI を設計する場合, 設計対象に与えられる面積, 遅延および消費電力の厳しい制約を満足させることが困難になる可能性がある [?, ?, ?, ?].

FA を実現するスタンダードセルは既存の多くのスタンダードセルライブラリでは一種類しか存在しない. 単一の回路構造の FA セルを含むスタンダードセルライブラリを使用する場合, 複数の FA を使用する並列乗算器は全て同じ回路構造の FA セルにより構成されることになる. 各 FA が乗算器中で使用される箇所に適切な回路構造をとっていると限らず, 遅延や電力の制約を満足させることは厳しい.

設計対象となる並列乗算器の特性を利用して作成した FA セルを複数用意しておくことで問題を解決できる可能性がある. 本稿では, 並列乗算器

中の各 FA の入力信号パターンの偏りを考慮して作成した複数の FA セルを利用して電力を削減する方法を提案する.

3.2 低電力並列乗算器の設計方法

並列乗算器のように特定の論理関数を実現するセルを多数使用して設計する論理回路に対しては, ネットリスト (各セル間の接続関係を記述することにより, 回路構造を表現したもの) を決定した後に論理セルの構成を決定することが設計対象となる論理回路の消費電力削減には有効であると思われる. 既存のスタンダードセルライブラリに存在する FA セルの多くは FA の入力信号パターンが均等に現れる場合を想定して開発されている. そこで, 入力信号パターンが偏る場合に低電力となる FA セルの開発し, (i) 入力信号パターンによって消費電力の特徴が異なる 1 ビット全加算器を実現する複数の FA セルを用いることと (ii) 同一の FA セルでも入力端子の接続の繋ぎ替えによっては電力消費に違いがあることを利用して乗算器の電力を削減する.

3.2.1 複数の FA セルによる低電力化

単一の FA セルよりも, 複数の回路構造の異なる FA セルで乗算器を構成する方が電力を削減できる場合がある. 本節では入力信号パターンに偏りがみられない場合に低電力なセルと偏りがみられる場合に低電力なセルの説明を行う. ただし, トランジスタレベルにおける議論を行う.

入力信号パターンに偏りがみられない場合に低電力なセルとして既存のスタンダードセルライブラリに存在する FA (図??参照:以下 FA_{CELL} とする) を使用した. 図??より FA_{CELL} は入力 A, B, Cin に対して対称性のある回路構造となっている. スタンダードセルの関数情報や図形情報のデータベースをスタンダードセルライブラリという.

FA_{CELL} は式 (2) と式 (3) を次式 (4) と (5) のように変形し, この式 (4) と式 (5) を基にして図??の回路が構成されている.

$$Cout = A \cdot B + Cin \cdot (A + B) \quad (4)$$

$$S = A \cdot B \cdot Cin + (A + B + Cin) \cdot \bar{C}out \quad (5)$$

一方, 入力信号パターンに偏りがみられる場合に FA_{CELL} よりも低電力なセルとしてパストランジスタを用いた FA (図??参照: 以下 FA_{PASS} とする) を用意した. 図??から入力 B, Cin に対して A が非対称な構造をとっていることが分かる. 式 (2) と式 (3) を次式 (6) と (7) のように変形し, 式 (6) と式 (7) を基にして図??の FA_{PASS} の回路が構成されている. パストランジスタとは MOS トランジスタのソース, ドレイン間の信号の伝搬を許すト

ランジスタである。\$FAPASS\$はトランジスタ数最小の実用的な2XORを利用して構成されている。

$$S = A \oplus B \oplus Cin \quad (6)$$

$$Cout = A \cdot B + Cin(A \oplus B) \quad (7)$$

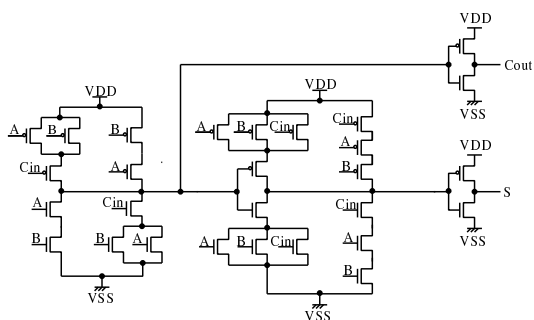


図 1: \$FA_{CELL}\$の回路図

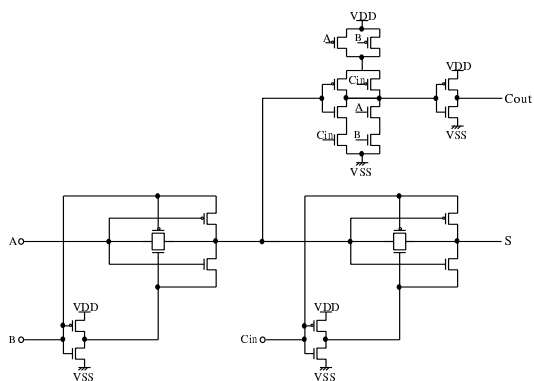


図 2: \$FA_{PASS}\$の回路図

3.2.2 入力端子の繋ぎ替えによる電力削減

2.2節にあるように全加算器は対称関数であり、論理関数 \$S\$ と \$Cout\$ とともに変数 \$A, B, Cin\$ を互換した結果がもとの関数に影響を与えない。したがって、FAセルの入力端子 \$A, B, Cin\$ に接続される3つの信号線は交換が可能である。接続によっては電力が異なる場合があることが考えられる(図??)。

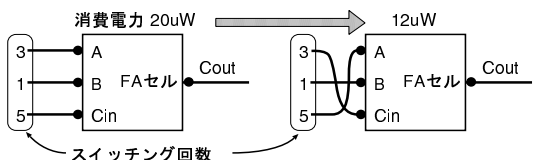


図 3: 入力端子の繋ぎ替えによる電力削減例

4 実験

4.1 実験方法

乗算器を構成する方法はいくつか知られている。ここでは配列型の並列乗算器とWallace木による並列乗算器を用いて実験を行う。どちらの乗算器もFAを複数使用して構成されている。乗算器中の各FAは入力端子のスイッチング回数が必ずしも同じではない。そこで、それぞれのFAの入力端子におけるスイッチング回数の偏りを考慮に入れ、電力が最も小さくなる最適な回路構成を選択する。ただし、遅延時間は考慮に入れていない。全てのトランジスタサイズは一定とする。プロセステクノロジーには日立北海セミコンダクタの \$0.5\mu m\$ を用いた。

4.2 1ビット全加算器の評価

表1に \$FA_{CELL}\$ と \$FA_{PASS}\$ の構成方法について全入力変化パターンを与えたときの遅延、消費電力、およびトランジスタ数を示す。入力パターンとは、ある時点での入力信号の値と次の入力信号の値の対のことをいう。遅延は最悪遅延時間を取り、単位は \$n\ sec\$ である。消費電力は1サイクルの平均電力とし、単位は \$\mu W\$ である。遅延と消費電力の測定には回路シミュレータ HSPICE を使用した。出力負荷容量は \$0.3fF\$、入力電圧のスイッチング時間は \$10n\ sec\$ である。同様の条件下で以降の実験も行った。

表 1: 各 FA の比較

FAの種類	遅延 (\$n\ sec\$)	電力 (\$\mu W\$)	#Tr
\$FA_{CELL}\$	2.83	22.4	28
\$FA_{PASS}\$	2.98	29.6	22

実験結果より \$FA_{CELL}\$ と比べて \$FA_{PASS}\$ では全入力パターンを与えたときの遅延時間、平均消費電力ともに \$FA_{PASS}\$ の方が大きい結果となった。

4.3 配列型乗算器における実験結果

配列型乗算器は並列乗算器であり、乗算の過程での部分積を独立に並行して計算できる点を利用して乗算を計算する。\$n\$ ビットの2つの符号なし絶対値表示の2進数 \$X, Y\$ はそれぞれ

$$X = \sum_{i=0}^{n-1} x_i 2^i, \quad Y = \sum_{i=0}^{n-1} y_i 2^i, \quad (x_i, y_i \in \{0, 1\})$$

となり、\$X, Y\$ の積 \$P (= XY)\$ は

$$P = \sum_{i=0}^{2n-1} p_i 2^i, \quad (p_i \in \{0, 1\})$$

$$= XY = \sum_{i=0}^{n-1} \sum_{j=0}^{n-1} (x_i \cdot y_j) 2^{i+j} \quad (8)$$

と表すことができる。以下4ビット配列型乗算器を用いて説明する。ここで部分積項 $x_i \cdot y_j$ を 2^{i+j} の重みを考慮して表2のようにマトリクス状に並べる。桁の等しいものをそれぞれFAで加算することによって部分積項を削減する。4×4ビット配列型乗算器の構成は図??のようになる。配列型乗算器は、FAの配置がLSIのレイアウトに都合がよい規則的な構造をとり、一般に平均配線長を小さくできるためにレイアウト面積が小さい。乗算器全体の素子数は $O(n^2)$ であり、計算時間は $O(n)$ である。 n は入力のビット数を表す。図??の4ビット配列型乗算器に全入力変化パターン(65536パターン)を与えたときの各配線のスイッチング回数を見ると、各FAの入力端子のスイッチング回数にはばらつきがあることが確認できる。実験では、FAの入力端子の繋ぎ替えを行い消費電力を測定した。FAの入力端子は3つあるので、繋ぎ替えの全パターンは6通りである。図??と表3に実験結果を示す。図??の $F_{ACELL\ min}$ と $F_{APASS\ min}$ はそれぞれのFAセルにおいて入力端子の繋ぎ替えを行ったときの最小の電力である。逆に $F_{ACELL\ max}$ と $F_{APASS\ max}$ は最大の電力である。

表 2: 4ビット乗算の部分積

				x_3	x_2	x_1	x_0	
×				y_3	y_2	y_1	y_0	
				x_3y_0	x_2y_0	x_1y_0	x_0y_0	
				x_3y_1	x_2y_1	x_1y_1	x_0y_1	
				x_3y_2	x_2y_2	x_1y_2	x_0y_2	
				x_3y_3	x_2y_3	x_1y_3	x_0y_3	
	p_7	p_6	p_5	p_4	p_3	p_2	p_1	p_0

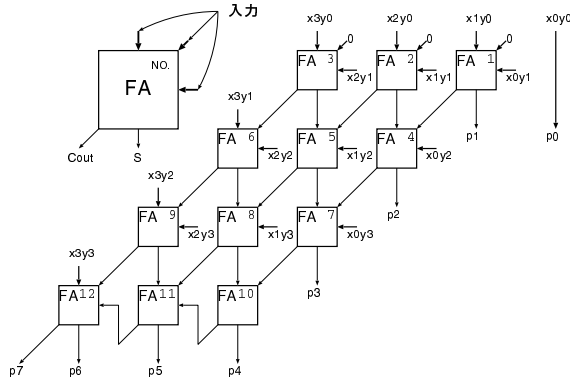


図 4: 4ビット配列型乗算器

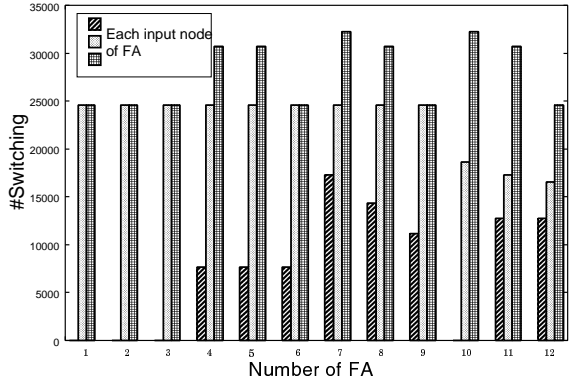


図 5: 各 FA の入力端子のスイッチング回数

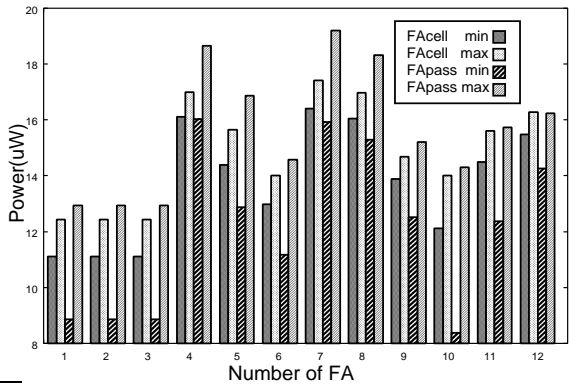


図 6: 各 FA の消費電力

表 3: 4ビット配列型乗算器の部分積における消費電力(単位 μW)

乗算器の構成要素	繋ぎ替え	
	考慮しない	考慮する
F_{ACELL} のみ	177.87	165.21
F_{APASS} のみ	185.82	145.31

これらの結果から得られた考察を以下に述べる。

- FA 単体に対して全通りの入力パターン変化を与えたときの平均消費電力は F_{ACELL} の方が F_{APASS} よりも小さかったが(表1), 乗算器中の各 FA における入力のスイッチング回数の偏りを考慮すると, F_{APASS} を使用して設計した乗算器の方が F_{ACELL} を使った回路より消費電力が小さい。

- 入力端子の繋ぎ替えによる各 FA の電力削減率は F_{ACELL} で平均 7.65%, F_{APASS} では平均 22.7%である。最大で 41.4%であった。
- F_{APASS} のみで乗算器を構成しかつ入力信号パターンを考慮すると、入力信号パターンを考慮しないで F_{ACELL} のみで乗算器を構成した場合に対して電力が 18.3%削減できた。ただし遅延は大きくなると思われる。

4.4 Wallace 型並列乗算器における実験結果

Wallace 型乗算器は部分積を木状に集めてくることで部分積削減部を高速化している。加算は桁上げを保存して行われる。4 × 4 ビット乗算器の場合、図??のような構成となる。最終段に桁上げ先見加算器 (CLA adder) を用いれば乗算時間は $O(\log n)$ である。Wallace 型乗算器は配列型乗算器と比較して高速である。素子数は配列型と同じ $O(n^2)$ であるが、レイアウトが複雑になるため面積は $O(n^2 \log n)$ となる。図 8 は、Wallace 型 4 ビット乗算器に全入力変化パターン (65536 パターン) を与えたときの各 FA における各入力端子のスイッチング回数である。FA2,FA3,FA4 には入力端子のスイッチング回数に偏りが見られないが、他の FA には偏りが見られる。4 ビット配列型乗算器の実験のときと同様に FA の入力端子の繋ぎ替えを行い消費電力を測定した。

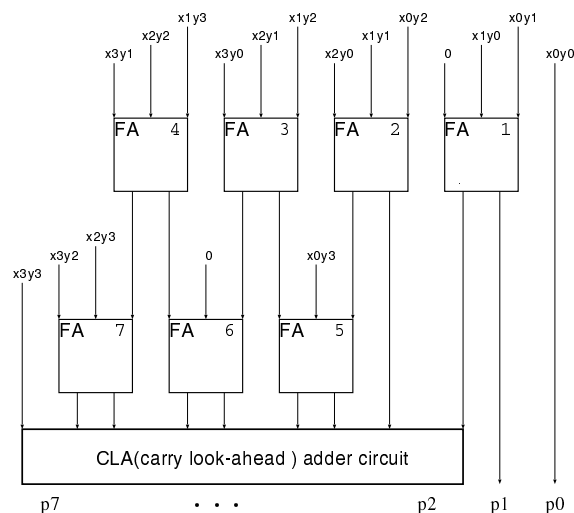


図 7: Wallace 型 4 ビット乗算器

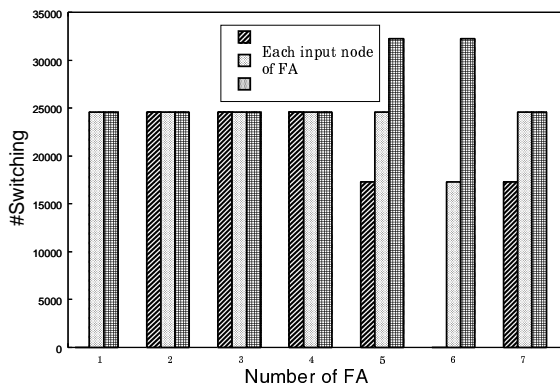


図 8: 各 FA の入力端子のスイッチング回数

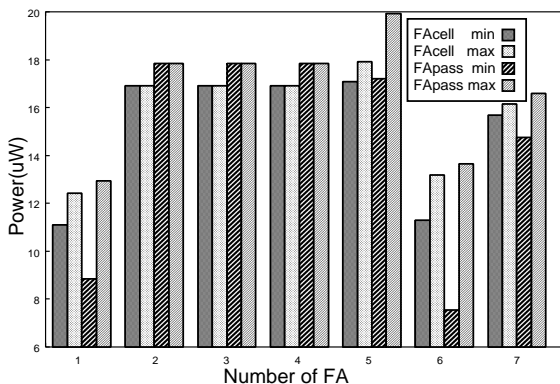


図 9: 各 FA の消費電力

表 4: Wallace 型 4 ビット乗算器の部分積における消費電力 (単位 μW)

乗算器の構成要素	繋ぎ替え	
	考慮しない	考慮する
F_{ACELL} のみ	108.80	105.91
F_{APASS} のみ	110.82	101.26
$F_{ACELL} + F_{APASS}$	—	98.951

実験結果を図 9 と表 4 に示す。配列型乗算器の場合と同様に F_{ACELL} と F_{APASS} の両方において 6 通りの入力端子の繋ぎ替えを行った。FA2,3,4 では F_{ACELL} と F_{APASS} の両方とも FA の入力端子の繋ぎ替えによる消費電力の違いは見られなかった。これらの結果から得られた考察を以下に述べる。

- FA の入力のスイッチング回数に偏りがない場合 (FA2,FA3,FA4) については F_{ACELL} の方が F_{APASS} よりも消費電力が小さかったが、乗算器中の各 FA における入力のスイッチング回数を考慮すると、 F_{APASS} の方が

F_{ACELL} よりも消費電力が小さい。入力に偏りがある場合の入力端子の繋ぎ替えによる各 FA の電力削減率は F_{ACELL} で平均数 4.08%, F_{APASS} で平均 13.2% である。最大で 44.8% であった。

- F_{ACELL} と F_{APASS} を用いて乗算器を構成し、かつ入力信号パターンを考慮すると、入力信号パターンを考慮せずに F_{ACELL} のみを用いて構成した乗算器と比べて電力が 9.05% 削減できる。

5 おわりに

本稿では、配列型乗算器と Wallace 型乗算器を構成する FA を入力信号パターンを考慮した構成にすることで、消費電力が削減できることを示した。本手法の基本方針は (i) 入力信号パターンによって消費電力の特徴が異なる 1 ビット全加算器を実現する複数の FA セルを用いること、および (ii) 同一の FA セルでも入力端子の接続の繋ぎ替えによっては電力消費に違いがあることを利用して乗算器の電力を削減することである。

入力信号パターンに偏りがみられない場合には F_{ACELL} の方が F_{APASS} よりも消費電力を小さくできたが、偏りがある場合は F_{APASS} の方が F_{ACELL} よりも消費電力を削減できたことが本実験により確認できた。特に 4 ビット配列型乗算器で、乗算器中の全ての FA に対して F_{APASS} を用いた方が F_{ACELL} を用いた場合より消費電力が小さくなることを確認した。実験により入力信号パターンを積極的に利用して、適切なセル構成を採用することにより消費電力が削減できることが示された。

今後の課題の一つとして、乗算器以外の回路あるいは全加算器以外の論理セルに関する議論も重要である。入力信号パターンの偏りなど、使用される状況に応じて適切なセルを用いることで消費電力だけでなく、遅延時間も削減できる可能性がある。

参考文献

- [1] 塩見 謙太郎, 沖野 晃一, 川崎 隆志, 石原 亨, 安浦 寛人, “VDEC 用スタンダードセルライブラリの開発”, 信学技報, VLD97-31, CAS97-31, DSP97-46, 1997 年 6 月.
- [2] 塩見 謙太郎, 沖野 晃一, 川崎 隆志, 安浦 寛人, 佐藤 政夫, “商用ツールを利用した LSI 設計用ライブラリの開発”, DA シンポジウム'97 論文集, 1997 年 7 月.

- [3] ジャマルエディン カレド, 石原 亨, 塩見 謙太郎, 沖野 晃一, 川崎 隆志, 安浦 寛人, “VDEC 利用者のためのスタンダードセルライブラリ”, DA シンポジウム'98 論文集, 1998 年 7 月.
- [4] Neil H. E. Weste, kamran Eshraghian, (富沢 孝・松山 康男 監訳) “CMOS VLSI 設計の原理”, 丸善株式会社, 1988 年.
- [5] , 菅野 卓雄 監修, 香山 晋 編 “超高速 MOS デバイス”, 培風館, 1986.
- [6] 室賀 三郎, 茨木 俊秀, 北橋 忠宏, “しきい論理”, 産業図書, 昭和 51 年.
- [7] 室山 真徳, 石原 亨, 兵頭 章彦, 安浦 寛人, “スタンダードセルの回路構造が消費電力と遅延に与える影響”, 電気関係九州支部大会, p746, 1999 年 10 月
- [8] 石原 亨, 安浦 寛人, “配線における消費電力削減を目的としたセルライブラリの最適化手法”, DA シンポジウム'99, 1999 年 7 月
- [9] 平田 昭夫, 橋本 鉄太郎, 小野寺 秀俊, 田丸 啓吉, “設計対象毎に生成したスタンダードセルライブラリによる LSI 設計”, 電子情報通信学会総合大会講演論文集, A-3-16, 1999 年
- [10] 橋本 鉄太郎, 平田 昭夫, 小野寺 秀俊, 田丸 啓吉, “スタンダードセルライブラリ構成法の検討”, 電子情報通信学会基礎・境界ソサイエティ大会, 1998 年.