

ゲート遅延分布を用いた性能テスト手法

溝口, 大介
九州大学大学院システム情報科学府情報工学専攻

杉原, 真
九州大学大学院システム情報科学府情報工学専攻

安浦, 寛人
九州大学大学院システム情報科学府情報工学専攻

<http://hdl.handle.net/2324/7350>

出版情報 : DAシンポジウム2000, pp.173-178, 2000-07-19
バージョン :
権利関係 :



ゲート遅延分布を用いた性能テスト手法

溝口 大介 杉原 真 安浦 寛人

九州大学 大学院システム情報科学府 情報工学専攻

E-mail: {mizo, sugihara, yasuura} @c.csce.kyushu-u.ac.jp

概要

量産段階における LSI の速度性能テストは、製造ゆらぎに起因する遅延のばらつきを測定するテストであるということが出来る。しかし性能テスト系列生成に用いられる計算用遅延モデルは、一般的にばらつきを明示的に考慮していない。本稿では製造時のばらつきを明示的に考慮した遅延モデルを用いたテスト生成手法を提案し、実験によりその優位性を示した。

Abstract

The performance test of LSI is equal to measuring variation of delay which occurred by process variation. But, delay model for making performance test patterns are not consider the variation. So, this paper propose delay model which consider the variation. Then, experiance with simple circuit resulted better than general method.

1 はじめに

近年、半導体微細加工技術が進歩し、LSI の高速化が進んでいる。半導体製造時には酸化膜厚の不均一や光近接歪みなど、避けることの出来ないゆらぎが生じ、微細加工が進むとこのゆらぎの影響が大きくなる。このためトランジスタの各パラメータにばらつきが生じる。これらのばらつきを見越して、設計時にマージンをとった設計が行われるが、LSI の高速化が進んでいるため、速度性能に関してはマージンが相対的に減少しつつある。従来は、余分にマージンをとって LSI の速度性能の信頼性を高めていたが、今後それが難しくなり、要求性能を満たせない LSI が製造されてしまう可能性が大きくなってくと予測される。

出荷する LSI の速度性能を保証するためには、製造後の LSI に対し速度性能を満たしているかを厳密に調べる必要がある。本研究では、回路全体としての遅延時間を調べる事を「性能テスト」と呼ぶ。従来より、出荷前の LSI の速度性能を調べるテストは存在しており、通常これは遅延故障テストと呼ばれている。遅延故障テストとは、一般的に、クリティカルパスを探索し、これを活性化するテスト系列を対象回路に印加するものである。

クリティカルパス選定の際には回路中の各遅延を計算用にモデル化し、そのモデルの元で最も大きな遅延を持つパスをクリティカルパスとする。回路中の各基本素子の遅延モデルは、一般的に単一遅延モデルと Mini-Max 法が用いられる。単一遅延モデルは、各基本素子の遅延をある一定の値としたモデルである。Mini-Max 法は、各基本素子の遅延に最大遅延と最小遅延の値がそれぞれ定められ、遅延は必ず最大値と最小値の間の値を取ると仮定したモデルである。これらのモデルは遅延の値が一定値であるため、クリティカルパス選定の計算時間が短いことが利点である。しかし、回路中の基本素子の遅延が一定値であるため、ばらつきが考慮されておらず、想定している値以外の遅

延が生じたときには、回路全体としての遅延を正確に把握することができない。

これに対し、遅延モデル化の際にばらつきを考慮してクリティカルパスを見積もる手法が提案されている ([1-3])。これらの手法は回路中の基本素子の遅延のばらつきを正規分布で表すことによりばらつきを表現し、ばらつきを考慮した上で最大遅延のみの見積もりを行っている。

設計時に回路の最大遅延を見積もる上では、これらの手法で十分であると考えられるが、テスト生成では、信号の伝播を把握する必要がある。しかし、現在、ばらつきを考慮して、信号の伝播を表現できる遅延モデルが存在しない。

そこで本稿では、ばらつきを考慮した上で、信号の伝播をシミュレートできる遅延モデルを提案している。具体的には、回路中の基本素子の遅延モデルに「ゲート遅延分布」を導入し、この分布をパターンも考慮しつつ回路の主力まで伝播する手法である。この手法を用いると、素子の論理とばらつきを考慮できるため、従来手法と異なり、フォールスパスやハザードの影響を考慮にいたした遅延見積もりを行うことができる。静的見積もりや論文 [1-3] の見積もり手法は素子の論理を考慮しておらず、フォールスパスを考慮できないため、過大に遅延を見積もっている可能性がある。

本稿では、第 2 節で提案手法である遅延分布を用いた遅延見積もりについて説明する。第 3 節で提案手法と静的見積もり手法を比較し、静的手法が過大に見積もりを行っていることを実験により示す。そして最後に第 4 節でまとめる。

2 ゲート遅延分布を用いた性能テスト手法

2.1 ゲート遅延分布とは

ゲート遅延分布とは、縦軸に生起確率を、横軸に基本素子の信号伝播遅延時間を取った確率分布である。本稿では CMOS スタンドセルで構成されるデジタル回路を対象としているため、ゲートとはスタンダードセルを指し、ゲート遅延分布とはスタンダードセルの遅延分布を指すものとする。

また、横軸に信号の遷移時刻、縦軸に遷移確率を取った確率分布を遅延分布と呼ぶ。遅延分布の例として、図 1 に松永らが KUE-CHIP2 を LSI テスタで実測を行った結果 ([4],[5]) を示す。この図では、横軸が遅延時間を示し、縦軸はそれに対する個体数を示す。

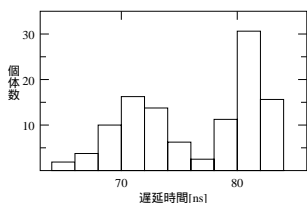


図 1: KUE-CHIP2 の遅延分布

本稿で提案する遅延モデルでは、遅延分布の形状に特に制限は設けない。しかし、遅延時間のばらつきは一般的に正規分布をとることが知られているため、説明の際に用いる分布には正規分布を仮定する。また、本稿では、LSI 中の基本ゲートの遅延ばらつきは独立事象であると仮定する。

以下に、信号線の値と素子の論理を考慮して、信号の伝播に伴う出力線の遅延分布を計算する方法について述べる。

基本素子の入力から出力に分布を伝播させる方法は、回路中の素子を 2 入力ゲートまでに限定すると、4 通りに分類できる。4 通りの方法について、順に説明して行く。

2.2 1 入力素子の場合

まず、最も簡単な例として、NOT 素子の 1 つからなる回路を考える。例えば、NOT 素子の遅延分布が図 2 のように与えられているとする。この図は NEL の $0.5\mu\text{m}$ CMOS テクノロジー用の EXD 社提供のスタンダードセルの Typical 遅延 (6.8 ns) が平均値 μ である、 $\sigma = 2$ の正規分布である。ここでは、NOT 素子の立ち上がりも立ち下がりも遅延時間は同じであると仮定する。

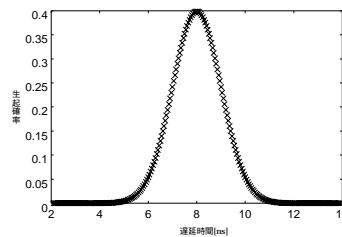


図 2: NOT 素子の遅延分布

この NOT 素子に信号が入力された場合を考える。通常、回路への信号の入力元はレジスタである。レジスタもまた製造ゆらぎに起因する遅延ばらつきの影響を受けるため、入力信号の遅延も遅延分布をとる。この NOT 素子一つから成る回路に、0 → 1 の遷移が、 $(\mu, \sigma) = (5, 1)$ の正規分布を取ったとする。すると、出力の遅延分布は図 3 のようになる。

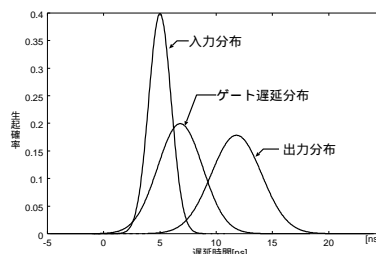


図 3: NOT 素子への入力と出力の遅延分布

以上が、1 入力素子で出力に変化がある場合の例である。この例を一般化するため、1 入力素子に信号が入力された場合を、以下のように定式化する。遅延時間を t とし、遅延分布を表す関数を $f(t)$ と置くと、まず、確率の性質より以下のような最低限の条件が決まる。

$$0 \leq f(t) \leq 1, \quad \int_{-\infty}^{\infty} f(t) dt = 1 \quad (1)$$

遅延分布はこれらの基本的な条件を満たすとす。入力分布を表す関数を $f_{input}(t)$ 、ゲート遅延分布を f_{gate} とおくと、出力の分布の関数 $f(t)$ は、以下の式で表すことができる。

$$f(t) = \int_{-\infty}^{\infty} f_{input}(x) f_{gate}(t-x) dx \quad (2)$$

2.3 2 入力ゲート – 遅い方の入力が出力分布を決定する場合

2 入力ゲートの出力の遅延分布を求める際には、2 入力の遅移うち早い方の遅移が出力の遅移を決定する場合と、遅い方の遅移が出力を決定する場合に分けられる。遅い遅移のほうが出力を決定する場合とは、例えば 2 入力 AND ゲートでは、2 入力のどちらともが 0 → 1 の遅移を行う場合である。この場合、0 → 1 の遅移を後で行った方の信号が、出力の 0 → 1 の遅移を引き起こす。このように、遅い方の入力が出力を決定するような場合についての、遅延分布の求め方について述べる。こ

の際に、簡単化のため、ゲート内部での信号伝播遅延は、立ち上がり・立ち下がり共に同じゲート遅延分布をとると仮定する。

まず、例として 2 入力 AND ゲートに、2 入力とも 0 → 1 という遷移が生じた場合を考える (図 4)。この時、入力 a へ入力する信号線の遅延分布は $(\mu, \sigma) = (8, 1)$ の正規分布とし、入力 b への信号線の遅延分布を $(\mu, \sigma) = (10, 2)$ の正規分布とであると仮定する (図 5)。

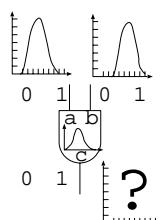


図 4: AND 素子を用いた例

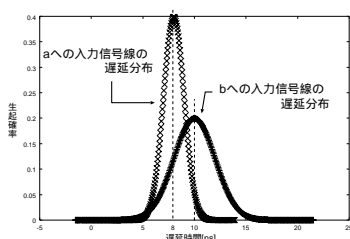


図 5: AND 素子の入力側の分布

ゲート内の遅延がすべて同じ遅延分布をとるという仮定の元で、AND 素子の入力 $(a, b) = (0, 0) \rightarrow (1, 1)$ の遷移が、出力 Y の遷移を決定するのは (a, b) の遷移のうち遅い時刻に遷移が起る方である。このため、入力信号 a, b のうち遅い方の遅延のみを有効とする分布、つまり「出力の遷移を決定する、入力遷移 2 つを合わせた遅延分布」を入力側の分布に仮定することができる。このような分布の求め方を、図 5 のような遅延分布で AND 素子に信号遷移が入力された場合を例にとって説明する。

AND 素子の入力信号 a, b の、ある遷移時刻をそれぞれ t_a, t_b と表記する。図 5 中の遷移時刻のうち $(t_a, t_b) = (9, 10)$ であるとき、出力の遷移を決定する入力の時刻は $t_b = 10$ である。また、 $(t_a, t_b) = (11, 10)$ のときは $t_a = 11$ が出力の遷移を決定する遷移時間である。このことより、 b の遷移時刻 10 における遷移が出力を決定するのは、 a の遷移時刻が 10 以下の時である。つまり、 b の時刻 10 における遷移が有効になる確率は、 $((b$ の遷移時刻が 10 である確率) \times (a の遷移時刻が 10 以下である確率)) ... (i) で表される (図 6)。同様に、 a の時刻 10 における遷移が出力遷移を決定する確率は $((a$ の遷移時刻が 10 である確率) \times (b の遷移時刻が 10 以下である確率)) ... (ii) で表される。結局、出力の遷移を 10 に決定する入力側の確率は、(i) + (ii) で与えられる。

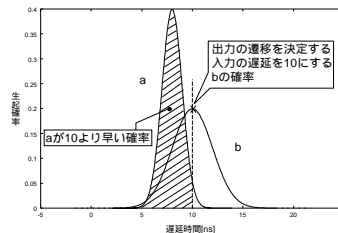


図 6: b の時間 10 の遷移が出力を遷移させる確率の求め方

以上のことをまとめ、2 入力素子の出力遷移を決定する分布の定式化を行う。2 入力ゲートの出力の遷移を生じさせる入力側の遅延分布の関数 $f_{2input}(t)$ は、入力 (a, b) に入力してくる遷移の遅延分布の関数をそれぞれ $f_a(t), f_b(t)$ と置くと、以下のようになる。

$$f_{2input}(t) = f_a(t) \int_{-\infty}^t f_b(x) dx + f_b(t) \int_{-\infty}^t f_a(x) dx + f_a(t) \{1 - \int_{-\infty}^t f_b(x) dx\} + f_b(t) \{1 - \int_{-\infty}^t f_a(x) dx\} \quad (3)$$

上式の第 3 項と第 4 項は、入力遅延分布の面積が 1 でなかった場合 (0 遅延モデルでは信号の遷移がないが、このモデル下では動的ハザードが伝播して出力遷移を引き起こす入力があった場合) に、出力遷移の面積が 1 でなくなる現象を補正する項である。図 5 の例に対し、上式を適用した結果を図 7 に示す。AND 素子の遅延分布を完全に求めるには、図 7 の結果の分布に、AND 素子自体の伝播遅延分布を合わせなければならない。これは、式 2 を用いて求める。

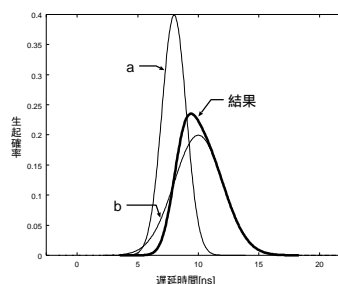


図 7: AND 素子 $(a, b) = (0, 0) \rightarrow (1, 1)$ の出力を決定する遅延分布

2.4 2 入力ゲート – 早い方の入力が出力分布を決定する場合

2 入力ゲートの遅延分布を求める場合に、2 つの入力信号のうち先に遷移した信号が出力の遷移を決定する場合について説明する。これは、例えば AND 素子で $(a, b) = (1, 1) \rightarrow (0, 0)$ という遷移が入力された場合などである。ここで、前節の例の図 5 の分布が $(a, b) = (1, 1) \rightarrow (0, 0)$ の遷移の遅延分布を示しているとした時に、時刻 10 の入力遷移が出力遷移を決定する場合の入力遷移の確率を求

めてみる。bによる遷移が出力の遷移を生じさせるのは、aの遷移がbよりも遅いときである。つまり、bの遅延分布が出力の遷移を決定する確率は、((bの遷移時刻が10である確率) × (aの遷移時刻が10以上である確率))... (iii) で表される。同様に、aについて考えると、((aの遷移時刻が10である確率) × (bの遷移時刻が10以上である確率))... (iv) となる。そして、最終的に出力の遷移を引き起こす入力側の遅延時間が10となる確率は、これらを加算した、(iii) + (iv) となる。

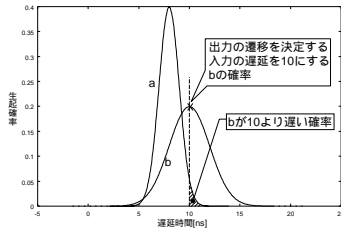


図 8: a の時間 10 での遷移が出力を遷移させる確率の求め方

前節同様、この場合を定式化すると、以下のようになる。

$$f_{2input}(t) = f_a(t) \int_t^{\infty} f_b(x) dx + f_b(t) \int_t^{\infty} f_a(x) dx \quad (4)$$

この式を図 8 の例に当てはめると、図 9 のような結果となる。

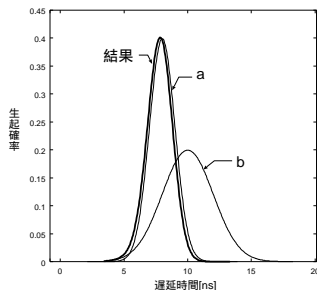


図 9: AND 素子 (a,b)=(0,0) (1,1) の出力を決定する入力側の遅延分布

2.5 2 入力ゲート - ハザードが生じる場合

2 入力ゲートの遅延分布を求める場合に、動的ハザードが出力に生じる場合を説明する。例えば AND 素子で (a,b) = (0,1) (1,0) という入力があり、a が b より先に遷移を行った場合である。また、(a,b) = (1,0) (0,1) という遷移を行った場合には、b が a より先に遷移を行った場合にハザードが生じる。つまり、この AND の例では、0 1 の遷移が、1 0 の遷移より先に起きると、出力にハザードが生じる。

まず、(a,b) = (0,1) (1,0) の場合を定式化する。記号類は前節同様とすると、以下のようになる。

$$f_{2input}(t) = f_a(t) \int_t^{\infty} f_b(x) dx \quad (5)$$

(a,b) = (0,1) (1,0) が図 5 の遷移分布で起きたとして、この式を適用すると、出力遷移を決定する入力側の分布は図 10 のようになる。

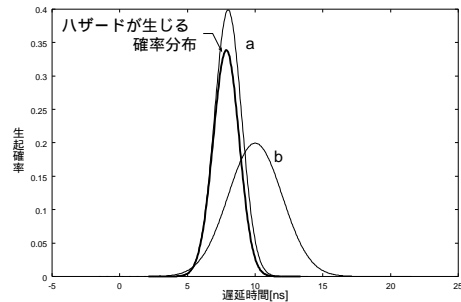


図 10: AND 素子に (a,b) = (0,1) (1,0) が入力されハザードが生じる例

また、(a,b) = (1,0) (0,1) の場合を定式化すると、以下のようになる。

$$f_{2input}(t) = f_b(t) \int_t^{\infty} f_a(x) dx \quad (6)$$

(a,b) = (1,0) (0,1) が図 5 の遷移分布で起きたとして、この式を適用すると、出力遷移を決定する入力側の分布は図 11 のようになる。

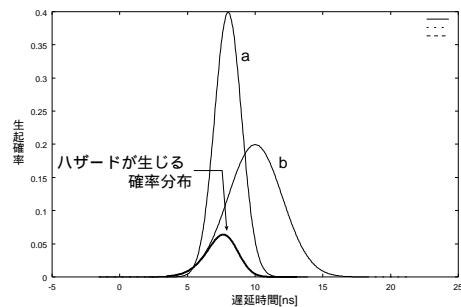


図 11: AND 素子に (a,b) = (1,0) (0,1) が入力されハザードが生じる例

以上が、2 入力ゲートまでの遅延分布を用いた遅延見積もり手法である。これらを回路全体に対して適用する場合は、入力信号とその遅延分布を主入力にセットし、主入力側から 1 素子ずつ遅延分布を伝播させて行く。回路全体としての最大遅延分布を得るためには、主出力の遅延分布すべてに対して式 (3) (最小遅延分布を得たい場合は式 (4)) を適用して、分布を一つにまとめることにより得ることができる。

2.6 静的手法との簡単な比較

前節で、遅延分布を伝播する手法を述べた。ここで、遅延分布を用いると遅延見積もりが、静的

な見積もり手法より正確に見積もることができる可能性があることを簡単な例を示して述べる。

例として、NOT 素子 1 つのみからなる回路を考える。遅延分布には、前節の例の図 2 を用いる。遅延分布を用いた見積もり結果は、図 3 の通りである。

遅延分布は確率分布であるため、図 3 中の分布の時刻の範囲は無限に広がっている。しかしこれでは他の手法と遅延の幅の比較等が出来ないため、便宜的に遅延分布に幅を設ける。幅の設け方は、分布の μ を中心に 99% 分の面積を占める部分を有効値と仮定して取るとする (図 12)。99% という数字は、特に根拠のあるものではない。

この見積もり手法を用いた結果、図 2 の NOT 素子の遅延の範囲は 4.00 ~ 19.60 であった。また、図 3 の入力分布とゲート遅延分布に適用すると、入力の遅延の範囲は -0.15 ~ 13.75 となり、ゲート遅延の範囲は 1.50 ~ 8.50 と見積もられる。この入力波形とゲート遅延の遅延の見積もりを元に、静的な見積もり (Mini-Max 法) を行くと、出力の遅延時間は 0.65 ~ 22.25 となる (表 1)。

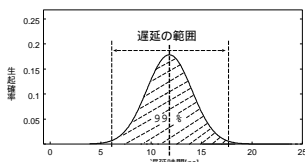


図 12: 遅延分布中から、遅延の幅を取り出す例

-	面積制限下での範囲
ゲート遅延	-0.145 ~ 13.75
入力波形	1.50 ~ 8.50
出力波形	4.00 ~ 19.60

表 1: 面積により遅延時間の範囲を限定した場合の遅延見積もり結果

NOT 素子の遅延見積もりを、遅延分布を適用して見積もった場合、その幅は 15.60 (= 19.60 - 4.00) となる。また、静的な見積もりでは、21.60 (= 22.25 - 0.65) となる。この遅延の幅の結果を見ると、遅延の幅が狭まっていることがわかる。これは、マージンとなる部分 (99% で切る部分) を、回路全体の見積もり前に付加するか、その後に行うかの差により生じる。素子 1 個でこれだけ小さくなるため、多段になればより影響が出てくると考えられる。さらにフォールスパスを考慮できれば、より遅延の幅を、マージンを犠牲にせずにより小さく見積もることができるようになって考えられる。そこで、複雑な回路の例として乗算器を用いた実験を行った。その詳細を次節で述べる。

3 実験

遅延分布図を用いた遅延見積もり手法の有効性を示すために、実験を行った。4 ビットの乗算器に対し、静的な見積もりと提案手法による見積もりを行い、遅延の見積もり幅の比較を行った。

3.1 実験方法

実験は、「 $A \leq B * C$ 」という VHDL 記述 (A,B,C は 4 ビットの信号線) を Synopsys 社の Design Compiler を用いて論理合成をかけて得られたネットリストに対して行った (137 セル, 129 信号線)。簡単化のため、使用するスタンダードセルは、NAND,NOR,NOT の 3 種類に限定した。3 種類のスタンダードセルの遅延データは、NEL 0.5 μm のスタンダードセルを用いた。実験に用いたセルのデータは表 2 の通りである。遅延分布による見積もりでの各セルの遅延分布は、表 2 の Typical を μ に持つ $\sigma = 1$ の正規分布を取るものとした。

-	NAND	NOR	NOT
Typical(= μ)	11.60	17.70	6.80
Mini	8.10	14.20	-0.15
Max	15.10	21.20	13.75

表 2: 実験に用いたセルの遅延時間 [10^{-2}ns]

以上のような条件の元で、

- (A) 各ゲートが最小遅延のみを取る場合の遅延見積もり
- (B) 各ゲートが最大遅延のみを取る場合の遅延見積もり
- (C) 遅延分布図による遅延見積もり

の 3 通りの見積もり方式に対し、全通りの入力を入力し、その結果を比較した。入力を行う際に (C) の波形の遅延分布は、 $(\mu, \sigma) = (5, 1)$ とした。また、(A) と (B) の場合は、入力信号の遅延分布の μ を時刻 0 とした。

3.2 実験結果

(A)・(B) のモデル下での実験結果を表 3 に示す。(A) の結果は、得られた遅延時間の中で最小のものを示した。(B) による結果は、得られた遅延のうち、最大のものを示した。

-	遅延時間 [10^{-2}ns]	遅延時間を生じたパターン数
(A)	15.05	32768
(B)	299.45	11406

表 3: (A)・(B) のモデル下での実験結果

次に、遅延分布図を用いた実験結果を示す。まず、例として、あるパターンによる遷移確率分布の例を示す (図 13)。これは、入力が $(a0..a3, b0..b3) = (00000000) (10011110)$ という遷移を行った際の出力 $(c0, \dots, c7)$ の遷移確率分布図である。この図の横軸は遅延時間であり、縦軸は生起確率である。出力の遷移は、 $c0, c1, c2, c3, c4, c5$ がそれぞれ 0 1 の遷移を行う。図 13 中の各信号線の分布の面積は、それぞれ 1 である。

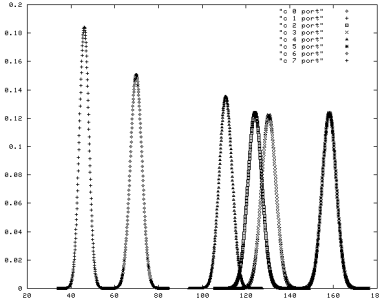


図 13: $(a0..a3, b0..b3) = (00000000) (10011110)$

次に、 $c7$ (加算器最上位出力信号線)の遅延分布図を、図 14 に示す。この図は、全通り入力後に得られた遅延分布図を単純に重ねたものである。

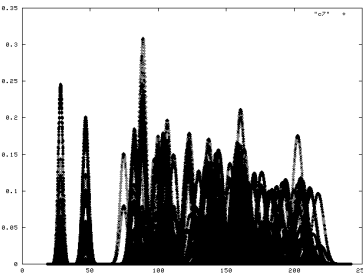


図 14: 全パターン入力後の出力 $c7$ の遅延分布

以上のような図が、各主出力について得られた。これらの図と Mini-Max 法を比較するために、図 12 と同様に分布図の面積が 99% となる場所で切ったときの、最大値と最小値をとった。これをまとめたものが表 4 である。

図 14 の分布を見ると、山がいくつも重なっているように見える。この山がもっとも右にあるものが最大遅延生じるパスの遅延分布であるといえる。最大遅延を引き起こす山に少しでも重なる部分がある山は、場合によっては、最大遅延を引き起こす可能性のある山である。このような山の数、クリティカルパスの候補となるパスを活性化した入力信号のペアの数であり、これを数えたところ、20729 ペアであった。

3.3 考察

本実験では、Pentium Pro 200MHz の PC 約 20 台を 7 日間稼働させて行っており、本手法をそのまま実用化するには無理がある。しかし結果(表 4)を見ると、遅延分布を用いた見積りの方が遅延の幅が約 27% も小さくなっている。これには、遅延を確率分布で表現し、畳み込みによる加算を行うために、単純に遅延を加算するより範囲が狭まっているためである。この事実は、静的な見積りが、余分にマージンをとっており、段数を重ねる度にマージンが過剰になっていることを示している。設計時に最大遅延を見積もる際にはこのような見積りで良いが、性能テスト生成のように厳密なタイミング解析を行う場合には静的な見積りでは不十分である事がわかる。

テスト系列数に着目すると、最大遅延を引き起こす可能性のあるテスト系列数が 20729 となっている。全通りのテスト系列数が 65536 である事を考慮すると、非常に大きな系列数となっている。この理由は、ゲート内の信号伝播遅延を一定にした事と、用いるゲートを 3 種類に限定した事により、各パスでの遅延の差がつきにくくなったためであると考えられる。さらに、同じパスが何度も活性化されている場合も考えられるため、冗長なテスト系列の削除を行う必要がある。これは今後の課題としたい。

見積手法	遅延時間 [min - Max]	遅延の幅	最大遅延を引き起こすパターン数
静的手法	15.05 ~ 299.45	284.40	11406
提案手法	23.80 ~ 233.30	209.50	20729

表 4: 実験結果のまとめ (単位: $\times 10^{-2}$ ns)

4 おわりに

本論文では、より厳密な性能テスト系列生成を目標として、遅延モデルにゲート遅延分布を導入し、この分布を用いた回路の遅延見積もり手法について述べた。この手法の新規性は、入力パターンの伝播をばらつきを考慮して伝播させることが可能な点である。このことにより、ばらつきを考慮したタイミング解析が可能となり、性能テスト系列生成をより厳密に行うことが可能となった。

参考文献

- [1] 松永 英人, "LSI における伝播遅延の見積り精度と個体差に関する研究", 1997 年度, 九州大学工学部情報工学科卒業論文。
- [2] 松永英人, 溝口大介, 安浦英人, "CMOS 論理ゲート遅延のばらつきを考慮した組み合わせ回路の遅延見積もり", DA シンポジウム論文集 '99, pp.77-82, 1999 年 7 月。
- [3] 築山修治, 田中正和, 福井正博, "組み合わせ回路におけるクリティカルパス遅延のばらつき見積もり手法", 第 13 回 軽井沢ワークショップ論文集, pp.131-136, 2000, 4 月
- [4] 松永 英人, 澤田 直・安浦寛人, "LSI テスタを用いた LSI の信号遅延の測定", 第 55 回情報処理学会全国大会講演論文集 (第 1 冊文), 1997 年 9 月。
- [5] H.Kanbara and H.Yasuura, "KUE-CHIP2 selection for education of LSI design and computer hardware", In Proc. of Synthesis and System Integration of Mixed Technologies(SASIMI), pp.233-240, Aug., 1995.