

## Si ULSI用薄膜技術の現状と課題

菅原, 活郎  
日立超LSIエンジニアリング株式会社

<https://doi.org/10.15017/6609>

---

出版情報 : 九州大学機能物質科学研究所報告. 6 (1), pp.25-36, 1992-11-30. 九州大学機能物質科学研究所  
バージョン :  
権利関係 :

# Si ULSI 用薄膜技術の現状と課題

菅原 活郎\*

## Present Status of Thin Film Technology Applied for Si ULSI and Expectation of Their Problem Solution Created by the University Researchers

Katsuro SUGAWARA

Silicon ULSI - Ultra Large Scale Integration - is the key component for the information age in 1990's. Among the ULSI's, memory devices are the driving vehicles of high end technology. Bit density of the memory devices has been generally increased 4 times every 3 years. The most important processes used for the advanced memory fabrication are as follows;

i) memory cell technology: a planar capacity of a memory cell has been used for smaller scale memory than 1 mega-bit, while 3 dimensional memory cell such as a stacked capacitor cell and a trench cell has been utilized for the memory larger than 4 mega-bit, to increase the capacitance of the smaller cell. Moreover, the films with larger dielectric constant such as  $Ta_2O_5$ ,  $SrTiO_3$  and PZT ( $Pb(Zr, Ti)O_3$ ) have been intensively investigated.

ii) multi-level metallization technology of fine patterning: planarization and stress reduction have been strongly required for the 3 dimensional memory cell and the multi-level metallization. Integrated planarization, therefore, has been investigated for the substrate, metallization and insulating film between multi-level interconnection. For the planarized insulating film, TEOS- $O_3$   $SiO_2$  Film has been strongly developed.

Problems of the thin film technology higher than 64 mega-bit memory are summarized in the total field of new technology including new material, new equipment, simulation, and evaluation. Breakthroughs for these problems are expected, created on the basis of fresh concept by the university researchers.

### 1. はじめに

1990年代は高度情報化時代と言われている。この中で超LSI\*\* は高度情報化の鍵を握る重要な要素製品である。1990年代以降、MOS-Metal Oxide Semiconductor-メモリで $0.3\mu m$ プロセス技術を使用した64 MビットDRAM-Dynamic Random Access Memory-の学会発表が続き、さらに一世代後の256Mビット

DRAM ( $0.2\mu m$ プロセス技術)の研究も開始されてきている。ここではメモリ・プロセス技術にとって、最も重要な問題である、

- メモリセル技術: この中でキャパシタ用を中心とする薄膜 ( $SiO_2$ 膜,  $Si_3N_4$ 膜,  $Ta_2O_5$ 膜等)
- 多層配線技術: 特に平坦化微細多層配線技術に利用されている薄膜 (金属膜, 絶縁膜等) に注目して ULSI\*\*\*用薄膜 (図1<sup>1)</sup>) 技術の現状と課題を紹介する。

### 2. メモリセル用薄膜技術

DRAMの動向, それに伴うメモリセル構造と薄膜技

受理日 平成4年5月18日

\* 日立超 LSI エンジニアリング株式会社

\*\* 超LSI (VLSI): Very Large Scale Integration, 素子数10万個以上

\*\*\* ULSI (超々LSI): Ultra Large Scale Integration, 素子数1,000万個以上のもの

Si ULSI 用薄膜技術の現状と課題

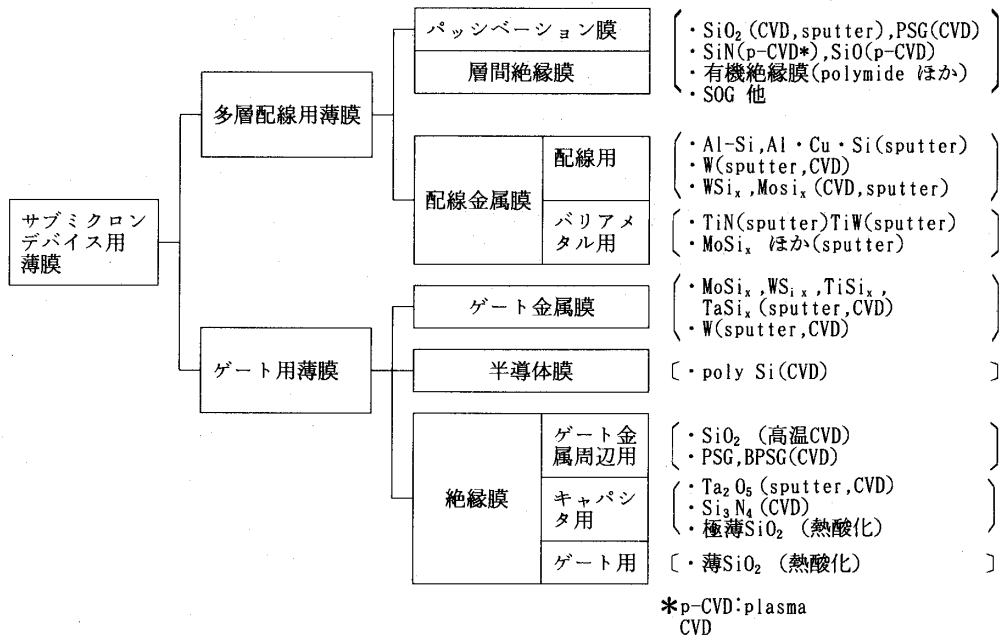


図1 サブミクロンULSIに使用されている薄膜<sup>1)</sup>

術について以下に述べる。

(1) DRAMメモリの高集積化・微細化動向：図2のように、依然として3年で4倍ペースの高集積化，前世代技術の～70%に及ぶ微細化が推進されてきている。図中に各世代毎の微細加工パターン（同じ場所のAI配線パターン）のSEM（走査電子顕微鏡）写真（同一倍率）も示している。

(2) メモリセルおよびメモリ容量絶縁膜の開発推移：技術的に先駆をつとめるDRAMではメモリセルの選定が重要である。微細化の進む中で，大きな面積を占めるキャパシタの縮小をいかに図るかが最重要である。

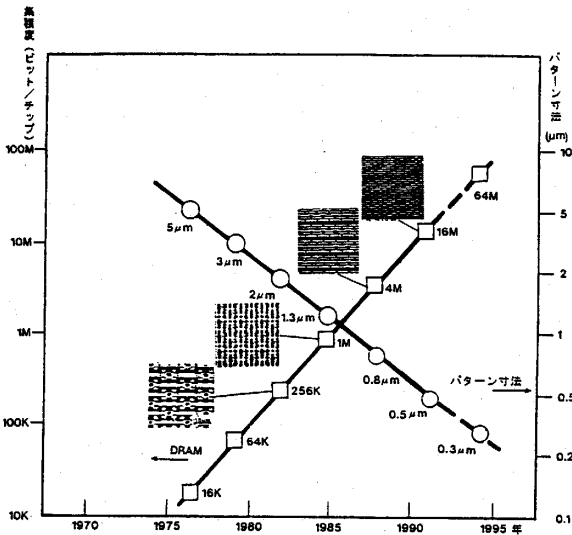


図2 MOSメモリ (DRAM\*) の高集積化と微細加工技術の進展  
\*DRAM: Dynamic Random Access Memory

メモリセルは各世代毎～1/3の縮小化が図られてきた。しかし，Siチップ面積は世代毎1.4～1.5倍と増大してきている。1MビットDRAMまでの平面容量型から4MビットDRAM以降は図3，図4に示す立体的な積層容量（STC-Stacked Capacitor）型，溝（Trench）容量型およびその改良型・組み合わせ型<sup>2)</sup>に変えざるをえなくなっている。立体化，多層化の流れを表現したのが図5<sup>3)</sup>である。さらに高誘電率膜を用い，実効的な膜厚を減少させる試みが発表された。課題を図6に示す。また，図7はSTC型の4M DRAM断面写真である。

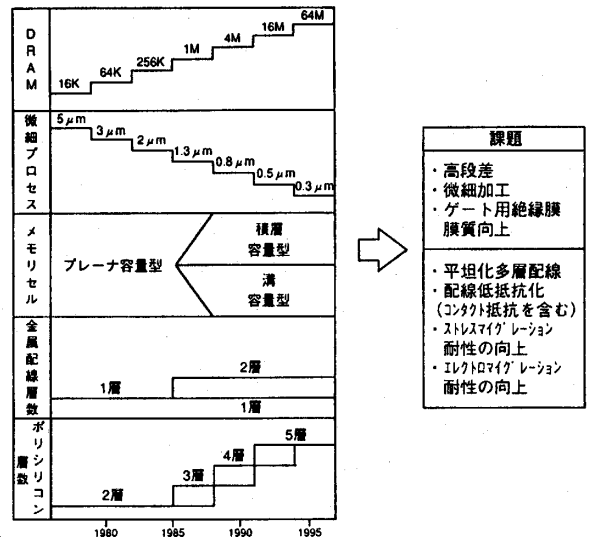


図3 MOSメモリ (DRAM) の立体化・多層化の進展状況

- | 課題                   |   |
|----------------------|---|
| ・高段差                 | ⇒ |
| ・微細加工                |   |
| ・ゲート用絶縁膜膜質向上         |   |
| ・平坦化多層配線             | ⇒ |
| ・配線低抵抗化 (コンタクト抵抗を含む) |   |
| ・ストレスイグレーション耐性の向上    |   |
| ・エレクトロマイグレーション耐性の向上  |   |

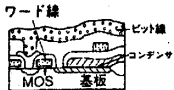
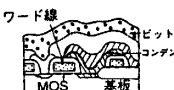
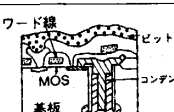
メモリセル	製造容易性	セル構造	技術課題
平面容量 (Planar型)	易 ↓ やゝ難 ↓ 難		極薄酸化膜 高誘電率膜
積層容量 Stacked Capacitor 型			薄絶縁膜 高段差加工
溝容量 (基板電極形) (Trench型)			微細溝加工 (sub $\mu$ m) 溝間絶縁 溝内積層容量

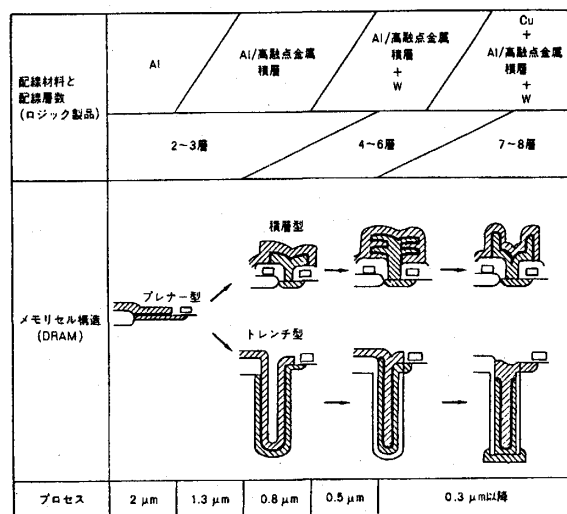
図4 メガビット・メモリセルの比較

(3) 64MビットDRAM及びそれ以上の高集積DRAM  
発表例: 0.3~0.4 $\mu$ mプロセス技術を使用した64M  
ビットDRAM以上のメモリセルは必要な臨界的容量  
を確保する為、下記に述べる例が発表されている<sup>4)</sup>。  
微細化の進展とともに、

①キャパシタ面積 増大: 平面型より立体的な構造  
に変えて、面積増加を図ってきている。

●積層型キャパシタ (STC) 型: 王冠型 (日立)<sup>5)</sup>,  
ダブル・フィン型 (富士通)<sup>6)</sup>, デュアル・プレ  
ート型 (三菱)<sup>7)</sup>, 実効的な表面積を凹凸の大きい膜  
形成で増加させるHSG-Hemispherical Grain-多  
結晶Si型<sup>8)</sup> 及びその改良技術 (日電)<sup>9)</sup>, Rugged  
Surface (ごつごつした表面)<sup>10)</sup> 型及びその改良的  
TDRS (Two Step Deposited Rugged Surface) 型  
(沖)<sup>11)</sup>, TSTC (Textured Stacked Capacitor) 型  
(Micron)<sup>12)</sup>, トンネル構造の TSSC (Tunnel Stru-  
ctured Stacked Capacitor Cell)<sup>13)</sup> と ONO (Oxide-  
Nitride-Oxide) 膜 2 重 Crown型 構造を有する  
SVC (Spread-Vertical-Capacitor-Cell) 型 (松下)<sup>14)</sup>,  
リング状構造RISAC (Ring-like Structure Produ-  
ced through Self-aligned Storage Contact Process)  
型 (シャープ)<sup>15)</sup> 等, 実効的に表面積を増加させる凹  
凸を有するCVD膜生成が多く検討されている。この  
中で王冠型 (STC型) メモリセル (日立) のチップ  
写真と断面走査型電子顕微鏡 (SEM) 写真を示す  
(図8, 図9)<sup>5)</sup>。さらに1G DRAM以上を狙った  
SOI (Si on Insulator) + 積層型キャパシタ (日立)<sup>16)</sup> も  
発表されている。

●溝(Trench) 型: 酸化膜カプセルAST-Asym-  
metrical Stacked Trench Capacitor-型 (東芝)<sup>17)</sup>  
256MビットDRAM以降用チェッカー模様SIMPLE

図5 メモリセル構造の立体化、配線の多層化の流れ<sup>3)</sup>

(Surrounding Isolation-Merged Plate Electrode)型  
(東芝)<sup>18)</sup>, 256MビットDRAM用Poly SiのPillarを有  
するPTC (Pillar inside Trench Capacitor) 型 (I  
BM)<sup>19)</sup>, <sup>20)</sup>が報告されている。

②キャパシタ用絶縁膜膜厚 減少: 単純な薄膜化は  
原理的に限界に近づいてきている為、高誘電体膜を  
採用し、実効的な膜厚を減少させる試みが多く検討  
されている。セルの構造が簡単になり、一層の高密  
度ULSIへ適用できる為、積極的な研究開発が行わ  
れている。実効的に薄膜化可能な高誘電体膜絶縁膜  
の比誘電率と絶縁耐圧との間には一般的に逆相関の  
関係が見られる。その中から素性のよい絶縁膜を見  
極めて選ぶ事が必要である。絶縁膜選定の基準とな  
る各種膜材料の電荷蓄積性能を図10に示す<sup>21)</sup>。従来  
使用されてきたSiO<sub>2</sub>膜 (比誘電率: 3.8) の他、次の

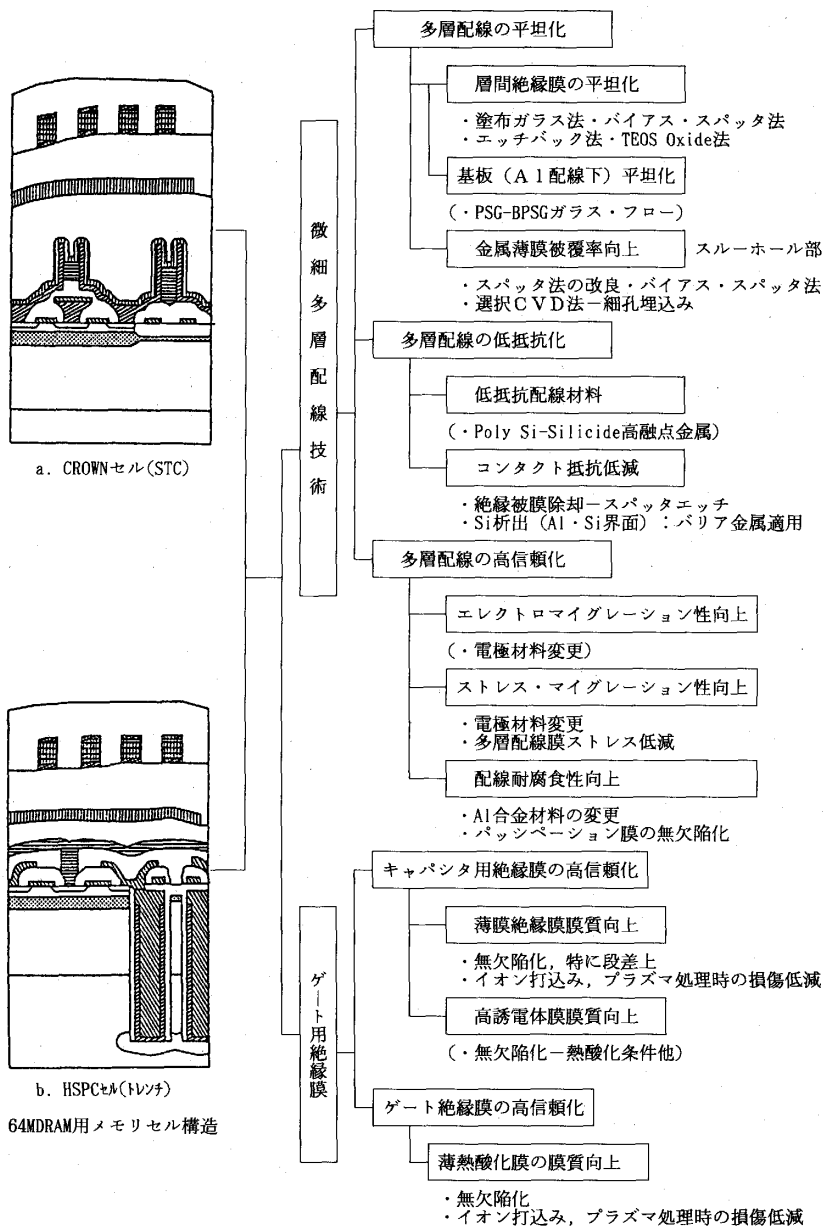


図6 メガビット・メモリ (DRAM) の断面構造と微細多層配線・ゲート用絶縁膜技術の課題

高誘電体膜絶縁膜が利用, 検討されている。課題は図6に示す通りである。

● $\text{Si}_3\text{N}_4$ 膜 (比誘電率 $\sim 7$ ) : 従来の熱 $\text{SiO}_2$ 膜にかわり, 4MビットDRAM以降はONO構造で $\text{Si}_3\text{N}_4$ 膜が使用されてきている。薄膜化の為, Poly Si膜にRTN (Rapid Thermal Nitridation:  $\text{NH}_3$ 雰囲気中) を行い, 下地の自然酸化膜厚さを減少させている<sup>22)</sup>。耐酸化性向上<sup>22)</sup>, Tddb (Time Dependent Dielectric Breakdown) 寿命向上 (3~4桁) が認められた<sup>23)</sup>。

● $\text{Ta}_2\text{O}_5$ 膜 (比誘電率 $\sim 22$ ) :  $\text{Ta}(\text{OC}_2\text{H}_5)_5$ をソースにしたLP CVD (Low Pressure Chemical Vapor Deposition) 法 ( $\sim 420^\circ\text{C}$ , 0.6Torr) で生成, ステップカバレージも良好である<sup>24)</sup>。UV- $\text{O}_2$ 処理, 高温乾燥酸素処理 ( $800^\circ\text{C}$ ) の2段アニールが膜のリーク電流を低減させ, 絶縁耐圧改善に有効である<sup>24)</sup>。64MビットDRAM用には $\text{SiO}_2$ 膜換算で3nmの膜が用いられている。 $\text{Ta}_2\text{O}_5$ 膜を生成するPoly Si上の自然酸化膜を除去する為, RTN処理も利用されている<sup>25)</sup>。

● $\text{SrTiO}_3$ 膜 (比誘電率 $\sim 200$ ), (Ba, Sr)  $\text{TiO}_3$ 膜 (比誘電率 $\sim 300$ ):  $\text{SrTiO}_3$ 膜は酸素を微量導入してイオンビームスパッタ法 ( $\sim 540^\circ\text{C}$ )<sup>26)</sup>, (Ba, Sr)  $\text{TiO}_3$ 膜はRFマグネトロンスパッタ法 ( $\sim 650^\circ\text{C}$ )<sup>27)</sup>で生成された。これら2種類の膜は分極反転の生じない膜として注目されている。SiまたはPoly Si膜を使用する場合, 界面への低誘電率 $\text{SiO}_2$ 膜形成を防ぐ為, 下部電極はPt/Ta積層膜が最良との結果を得ている。カバレージ向上の為, CVD法の検討も必要であろう。

●PZT ( $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ) 膜 (比誘電率 $\sim 1000$ ) : MOCVD (Metal Organic CVD) - Bisdipivaloyl-methanato Lead, Zirconium Tetra-t-Butoxide, Titanium Tetra-i-Propoxide +  $\text{O}_2$ 使用,  $600\sim 700^\circ\text{C}$ 生成してPerovskite構造のPZT膜を得, 比誘電率は $65\sim 3000$ , ステップカバレージも良好である<sup>28)</sup>。またRF Magnetron Sputter法で膜組成制御を実施した例 (比誘電率 $\sim 1180$ ) も報告されている<sup>29)</sup>。

図11は種々の誘電率を有するDRAM用キャパシタ絶縁膜の膜厚と容量との関係を示したものである。これら絶縁膜をULSIに適用する場合, デバイス特性 (メモリセル対応技術, リーク電流低減・耐圧改善技術,

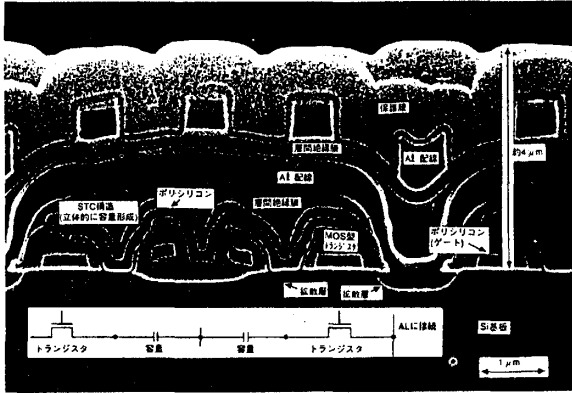


図7 4MビットDRAM (0.8 μmプロセス) 断面の走査型電子顕微鏡写真

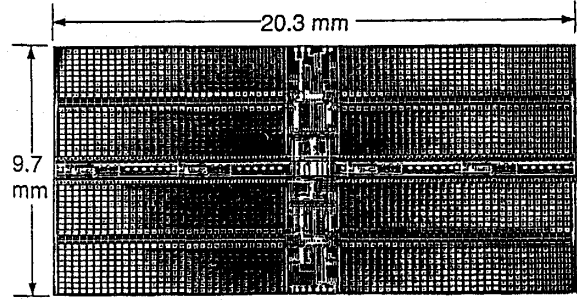
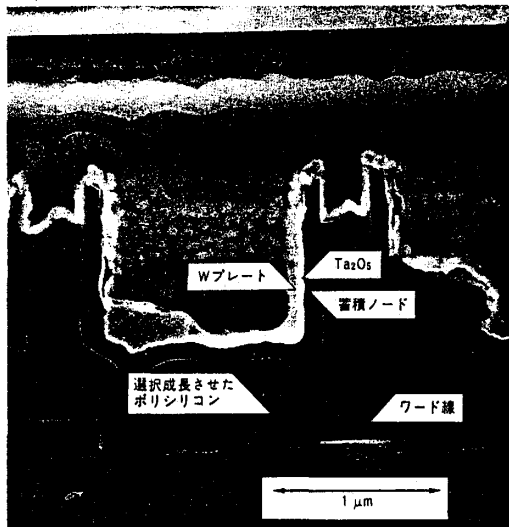
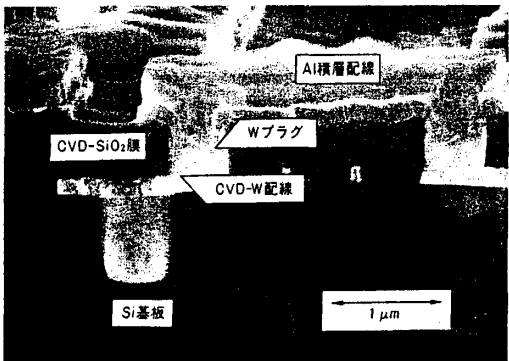


図8 64MビットDRAMチップ写真<sup>5)</sup>  
メモリスセル: 0.8×1.6 μm<sup>2</sup>積層形セル  
素子数: 約1億4000万個

信頼度改善, 生成技術 (生成条件, ステップカバレッジ, ガスソース・材料, 自然酸化膜関連前処理, アニール), 生成装置 (装置方式, 前後処理), 評価技術 (電気的特性, 界面薄膜) 等の課題を地道に解決しながら, 適用を図っていくことが必要である。



(a) メモリスセル部



(b) 配線部

図9 64MビットDRAM (0.5 μmプロセス) 断面の走査型電子顕微鏡写真<sup>5)</sup>  
大きな段差を乗り越えて膜を形成する技術、平坦化する技術が重要になっている。

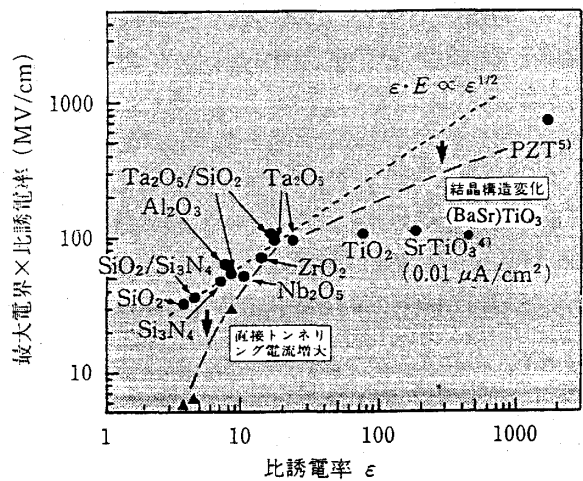


図10 各種誘電材料の電荷蓄積性能<sup>21)</sup>  
(電界強度: リーク電流が 1 μA/cm<sup>2</sup>時)

Materials for DRAM Cell-Capacitor

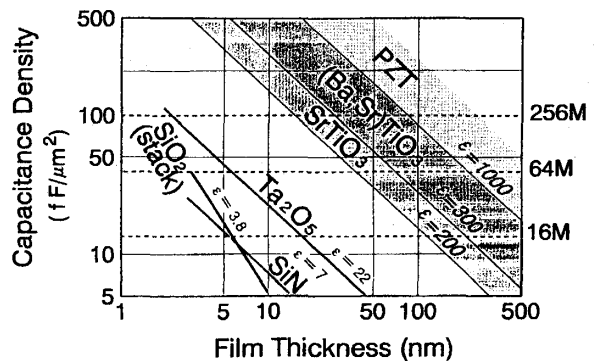


図11 種々の誘電率を有するDRAM用キャパシタ絶縁膜の膜厚と容量<sup>26)</sup>

$$\begin{aligned}
 \text{蓄積電荷量 } Q &\propto \frac{V}{T_{ox}} \times S_{cap} = \frac{V}{T_{ox}} \times \frac{S_{cap}}{S_{cell}} \times S_{cell} \\
 &= \frac{V}{T_{ox}} \times \gamma \times S_{cell}
 \end{aligned}$$

- V : 電源電圧
- T<sub>ox</sub> : 容量絶縁膜厚 (SiO<sub>2</sub> 換算膜厚 = 絶縁膜厚 / 比誘電率 ε)
- γ : 立体化係数 (セル面積の何倍のキャパクタ面積が形成できるか)
- S<sub>cell</sub> : メモリセル面積
- S<sub>cap</sub> : キャパクタ面積

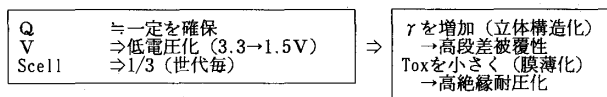


図12 低電圧DRAM用容量絶縁膜の蓄積電荷量<sup>30)</sup>

さらにデバイスのシステムニーズ、消費電力低減、薄膜信頼度向上の為、電源電圧の低下 (5V → 3.3V または 1.5V) が検討されているが、図12<sup>30)</sup>に記載されているように、その分だけ臨界蓄積電荷量は増加必要とされることを念頭に入れて検討を進める必要がある。

### 3. 微細多層配線用薄膜技術

メモリセルの立体化、配線の微細化・多層化がますます進み、配線を流れる電流密度、段差や膜のストレスは一層増大してくる。この為、図3、図6に記載したように、特に微細多層配線の総合的な平坦化、ストレス低減が要求されている。

#### (1) 配線金属薄膜のマイグレーション耐性

エレクトロマイグレーション、ストレスマイグレーションの順に説明する。

##### ① エレクトロマイグレーション

高集積化、微細化とともに配線幅は狭くなり、スケールング則に従って配線面積も小さくなっていく。図13<sup>31)</sup>に示されているようにこの配線を流れる最大電流密度も増加してくる傾向が認められる。また総配線長も長くなってきている。エレクトロマイグレーションは高密度の電流を流すため、1960年代後半より問題とされた現象である。微細配線を流れる高電流のため、表1、図14 (i) に示したように配線中の金属原子が電子流方向に移動される拡散現象である。しかも通常の超LSI使用条件ではAlの粒界拡散が支配的で、結晶粒界の三重点に発生するボイドにより断線が生ずると考えられている。この現象はデバイスの高集積化が進むにつれ、配線に流れる

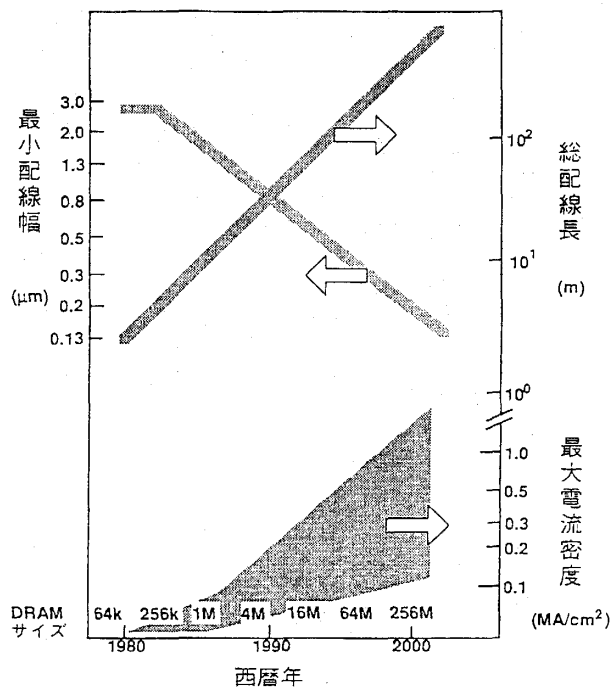
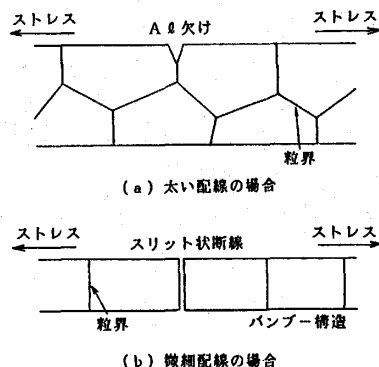
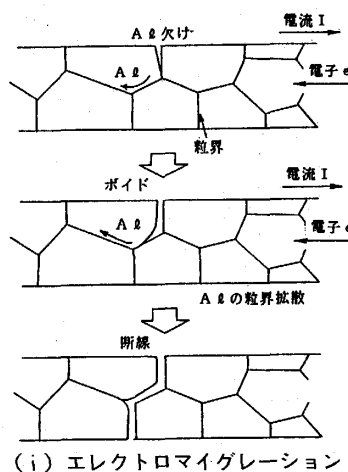


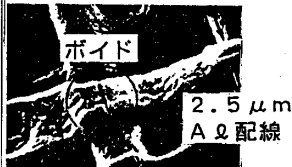
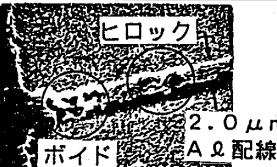
図13 超LSI金属配線の推移<sup>31)</sup>



#### (ii) ストレスマイグレーション

図14 マイグレーション生成推定機構

表1 ストレスマイグレーションとエレクトロマイグレーションの特徴<sup>31)</sup>

項目	ストレスマイグレーション	エレクトロマイグレーション
半導体での検討	1984 (日立では64kDRAM) ~	1960年代後半~
発生原因	機械的引張り応力 (熱応力)	電流
断線機構	拡散→粒界ポイド	拡散→粒界ポイド
配線寿命	$(W^5/\sigma^6) \exp(Q/kT)$ W: 配線幅, $\sigma$ : 応力	$(W/j^2) \exp(Q/kT)$ W: 配線幅, j: 電流密度
断線部形状 (SEM)		

金属配線材料および構造を変え、Al積層構造でエレクトロマイグレーション耐性を調べたのが図15である<sup>31)</sup>。Al配線よりCu, Wの重金属, Al/TiN等の積層構造を用いた方が耐性は向上することが認められた。これらの結果をAl結晶粒径の大きさと整理したのが図16である<sup>32)</sup>。明らかに粒径が大きくなるにつれ、エレクトロマイグレーション耐性が増大している傾向が認められた。エレクトロマイグレーション機構面、改善面への指針となるデータである。

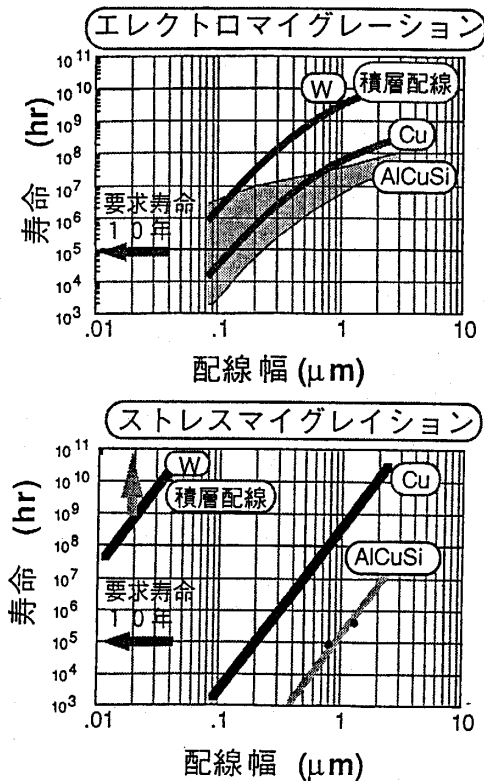


図15 配線微細化によるマイグレーション耐性の推移<sup>31)</sup>

電流密度が増加する為、エレクトロマイグレーションはますますシビアな問題となってきている。

エレクトロマイグレーション耐性向上には

- ①Al合金化: AlSi (~0.5%) Cu (0.5~2%) の合金添加が効果的である。
- ②結晶粒径制御: Alの結晶粒径, 配向性を制御する。
- ③積層化: Al/高融点金属または高融点金属シリサイド・ナイトライドの積層化が使用されている。

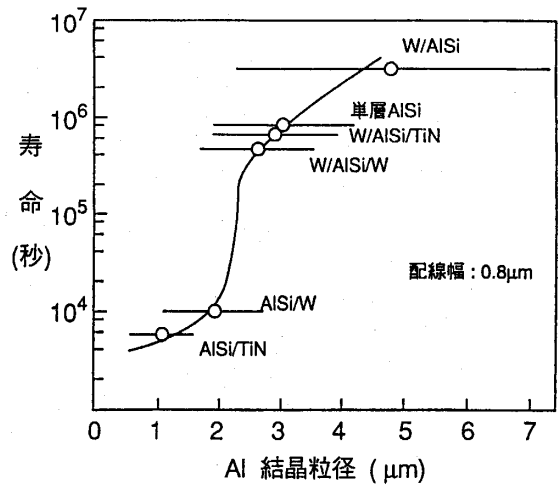


図16 Al結晶粒径とエレクトロマイグレーション寿命<sup>32)</sup>

②ストレスマイグレーション

微細配線の多層化が進むにつれ、異種薄膜が積み重ねられ、ストレスの問題がますますシビアになってくる。薄膜にクラックや剝離を発生したり、素子の電気的特性に影響を与えたりする。この中で、ストレスマイグレーションは1984年より大きな問題として注目されてきている。表1に示したAl配線のストレスマイグレーションによる断線SEM観察例は試料を高温に保持するだけで断線が生ずる現象であり、Al配線と周囲の絶縁膜, Si基板との応力に起因する。図3のように横方向の微細化と同時に縦方向の多層化が推進多層化が進み、ストレスが増加するほど、この問題は深刻さを増してくる。詳細に観察した結果、絶縁膜にはクラックが認められず、Al配線のみスリット状の欠損が見られる<sup>33)</sup>。破断面は電子線回折パターン解析より(111)面であることが確認された。特にAl配線幅が細くなり、図14(ii)



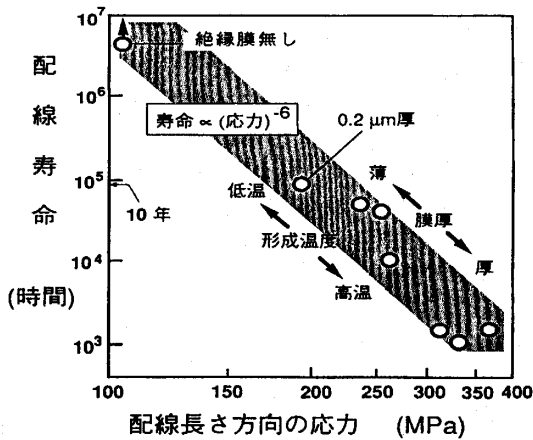


図17 Al配線長さ方向応力と配線寿命<sup>31)</sup>

のように結晶粒径がバンブー状に配線を横切った場合に著しく発生率が増加する<sup>34)</sup>。図17は配線長さ方向の応力と配線寿命との関係を定量的に調べた結果である。また、アニール等の熱処理後、“Al欠け”と称されるくさび状ボイドが発生する。これらAl薄膜欠損を減少させる為にプラズマSiN CVD膜膜質(生成温度依存も含む)、熱処理の低温化、短時間化が必要とされている<sup>35)</sup>。

以上のようにULSIの極微小部での応力が配線の断線に大きく影響する。そこで、これら課題を解決する上で、コンピュータ・シミュレーション-粘弾性を取り入れた薄膜構造体応力解析プログラム(SIMUS)が実施されている<sup>36)</sup>。内容は次の通りである。薄膜プロセスでは温度と形状が時間とともに変化する。薄膜のストレスとして、膜生成時の真性応力と熱応力の双方を考慮した。応力は形状に応じて構造全体に再配分される。一例としてSi基板にAl配線を形成した場合の

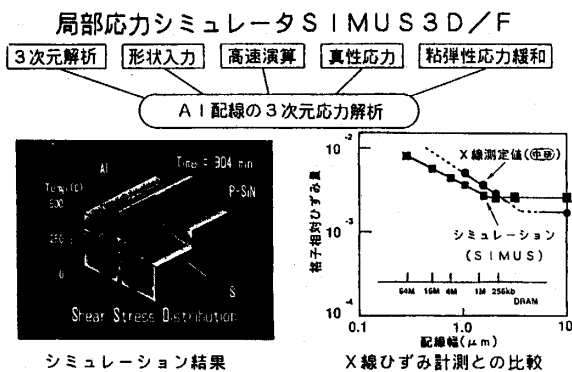


図18 Al配線の三次元応力解析<sup>37)</sup>  
ULSIの微細化により配線幅が小さくなるにつれ配線ストレスが高くなる事が測定とシミュレーションから明らかになった。

応力シミュレーション結果を図18に示す。一方、微細多層配線の応力を測定する方法としてマイクロX線回折応力測定法がある。0.1 μm領域の高精度評価法である。この方法による測定結果も図中にプロットしている。両者の一致もよいことが認められた<sup>37)</sup>。配線幅が小さくなるにつれ、配線中の歪みが大きくなっている。ULSIでは多層化の為、凹凸が生ずる構造となり、計測が困難な部分が存在する為、今後、併用して活用していくべき技術である。

このような多層配線構造のSiチップはプラスチックパッケージに封じられて使用される。チップは集積度向上とともにますます大チップ化し、パッケージは高密度実装の為、小型化・薄型化が要求される。このような応力的に相反する課題の解決が必要とされている<sup>38)</sup>。プラスチックパッケージ中のSiチップ薄膜クラック<sup>39)</sup>、層間絶縁膜クラックの例(温度サイクル後)<sup>40)</sup>が報告されている。

(2) 多層配線の平坦化: 下記のように総合的な検討が行われている(表2, 表3参照)。

- ①基板の平坦化: Al配線下の基板では低温ガラスフロー(〜900℃)の可能なBPSG(Boro-Phospho-Silicate Glass)膜が多用されている。
- ②配線金属の平坦化: Si基板とのコンタクト部、配線金属間のスルーホール部が問題となる。
- Al配線のバイアススパッタ
- 選択CVD WおよびブランケットCVD Wとエッチバック等がみられている。
- ③層間絶縁膜: 回転塗布絶縁膜(SOG-Spin on Glass), TEOS-O<sub>3</sub>酸化膜が精力的に検討され、適用されてきた。この中で注目されている点を中心に紹介する。

(i) W膜技術

微細化の進む配線技術でマイグレーション耐性を向上させる為、Al積層配線の他に高融点金属材料も適用されてきている。0.2 μm加工以降の微細配線で新しいブランケットW形成法が発表された<sup>41)</sup>。WF<sub>6</sub>-SiH<sub>2</sub>F<sub>2</sub>系ガスを用い、反応条件は〜300℃, 0.5 Torrである。WF<sub>6</sub>-H<sub>2</sub>系(〜450℃)に比べ、低温生成できる為、Si基板との反応が進まず、損傷(Encroachment)を生じない。WF<sub>6</sub>-SiH<sub>4</sub>系のステップカバレジが悪い点を改善できる。図19は3種類の違ったソースガスで0.8 μmコンタクト孔に生成したW CVD膜のステップカバレジの比較である。この新しいガ

ソースの探索には膜生成中の in situ Fourier 変換赤外分光法による W CVD 生成機構解明<sup>42)</sup>

方式	模式図	特長	問題点	
加工整形	バイアスバック		シンプル (膜形成と同時に平坦化できる)	平坦性のパターン依存性 プラズマダメージ
	パワートリプル CVD			
塗布	無機 SOG		工程が容易であるため処理能力が大きい	膜質 (クラック耐性)
	有機 SOG			
	有機樹脂		工程が容易 低誘電率	加工性 膜質
エッチバック	(スパッタ) エッチ		工程が容易	従来法からの改善が少ない
	マスク材		汎用性	制御性
リフロー	高温熱処理 (形成)		工程が容易	高温熱処理が必要

表2 層間絶縁膜における平坦化技術<sup>43)</sup>

方式	模式図	特長	問題点		
有機シリコン系	常圧 CVD		フロー形状	基板表面依存性	
	減圧 CVD		(TEOS+O <sub>3</sub> ) (OMCTS+O <sub>3</sub> )	等方性形状	膜質 (耐クラック性)
			O <sub>2</sub> リモート プラズマ (TMS) -40°C	凹部への選択堆積 (液相)	膜質 (Cの含有)
	プラズマ CVD		(TEOS+O <sub>2</sub> )	膜質 コンフォーマル形状	従来法からの改善が少ない
		パルス変調 (TEOS+H <sub>2</sub> O)	フロー形状 (SOG状)	膜質 (Cの含有)	
シラン系		-110°C (SiH <sub>4</sub> +O <sub>2</sub> )	凹部への選択堆積 (液相)	膜質 (Hの含有)	

表3 埋め込み・平坦化CVD技術<sup>43)</sup>

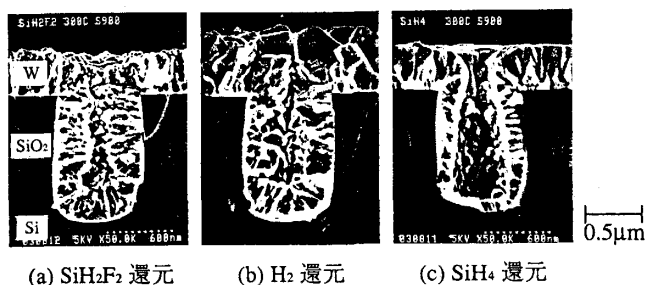


図19 種々のガスソースを使用して生成したCVD W膜のステップカバレッジ比較<sup>41)</sup>

がヒントとなったものである。図20は3種類のガスソースを用いた系で生成速度の Arrhenius Plotである<sup>41)</sup>。3者の中で活性化エネルギーの差が認められる。

(ii) 層間絶縁膜:

多層配線層間絶縁膜の平坦化には表2, 表3のように種々の方法が検討されてきた<sup>43)</sup>。無機または有機 SOG (Spin on Glass) とプラズマCVD酸化膜の組合せ, エッチバックとの併用が広く利用されてきている。最近, 大きな注目をあびているのが, TEOS (Tetra Etoxy Ortho Silicate)-O<sub>3</sub>酸化膜である。ステップカバレッジは配線高さの80%から厚膜化とともに平坦化効果が現れてくる。膜生成温度は375°Cで最も大きなフロー効果が認められた<sup>44, 45)</sup>。O<sub>3</sub>/TEOS流量比も大きい方が良好な平坦性が与えられる。この系の反応では基板表面依存性が見られるが, 熱SiO<sub>2</sub>膜基板上への生成ではN<sub>2</sub>プラズマ処理が基板依存性を効果的に消滅できることが確かめられた<sup>46)</sup>。カバレッジ向上は反応途中で擬似流体的挙動を示す中間生成物の高分子重合体がフロー効果を生ずると推定されている<sup>44, 45)</sup>。

また, SOG膜からの類推でTEOS-H<sub>2</sub>O Plasma CVD膜生成が発表された<sup>47)</sup>。生成温度, 圧力, H<sub>2</sub>O/TEOS流量比, パルス発振 Duty比の最適条件を設定している。比較的低温 (~40°C) で平坦な膜が得られている。膜質向上, 炭素混入減少の為, H<sub>2</sub>Oプラズマ処理が試みられている。

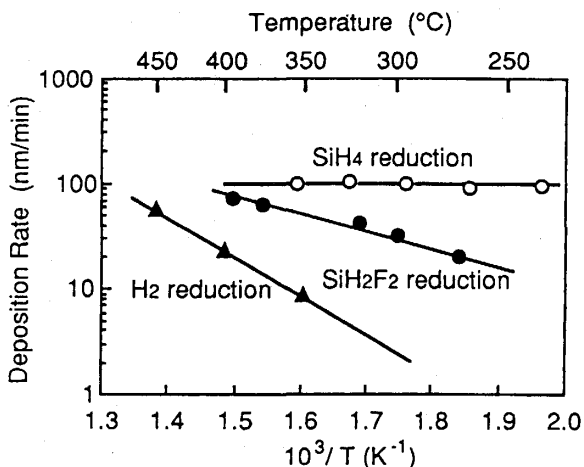


図20 W CVD膜生成速度のArrhenius Plot<sup>41)</sup>

(iii) ステップカバレジ:

微細化, 多層化とともにステップカバレジが非常にシビアな問題となってきた。この傾向を最近, 実測値との一致がよくなってきたシミュレーション結果を用いて説明し, カバレジの改善策について述べる。

(1) ステップカバレジのシミュレーション

DSMC (Direct Simulation Monte Carlo)法 (日立機研) を用いたステップカバレジのシミュレーション結果が発表された<sup>48, 49)</sup>。気相中での分子の飛行, 衝突, 表面, 固相で生ずる複雑な現象をモデル化して計算を行っている。一例として形状が著しく複雑な断差の場合についてスパッタAl生成後の断面SEM写真とシミュレーションで得られた形状を比較したが, コーナー部におけるクラックが双方に認められた。アスペクト比増加とともにカバレジは極端に低下する。このように微細化, 高アスペクト比化が進むにつれ, カバレジはますます深刻化してくる。

また, 違った解析法としてMMC (Micro/Macro-cavity)法 (東大) がある<sup>50, 51)</sup>。トレンチ (標準的には3 μm) を有する試料を上下一定間隔に置いたSiウェーハの間に設置, CVD膜を生成する。ガス種の拡散による試料上の生成速度分布 (マクロ) とトレンチ内生成速度分布 (ミクロ) からカバレジ, 反応物質の付着係数, 拡散種の推定を行う方法である。反応表面積と体積を変え, 表面反応, 気相反応の分離もできる有効な方法である。

(2) ステップカバレジ改善策:

このような深刻な問題に対し, スパッタ (PVD: Physical Vapor Deposition) 法では次の改善策が検討されている。

●孔底のカバレジ向上: スパッタ分子の入射角度分布を通常の等方入射から垂直入射成分を増し, 孔底のカバレジを増大するもの。Ti, W, TiN等で試みられている。

●バイアス・スパッタによる改善: 通常のバイアス・スパッタではバイアス時の印加電圧を大きくすれば, カバレジは改善される

が, Ar含有量が増大し膜質が劣化する。このため, 適切なバイアスを印化してArイオン流入電流を増加させてカバレジ改善が図られている。

●高温スパッタ適用: 通常の~200℃から~450℃に温度を上昇してスパッタを行い, カバレジ改善が認められている。スパッタ時の温度はAl膜質, カバレジに大きな影響を与える。従ってスパッタ時の温度上昇も考慮して, ウェハ温度の適確な温度制御が必要である。

CVD法では物質の付着係数がPVD法の~1に対し小さく, 従って良好なカバレジが得られる。

●W CVD法の検討: 選択CVD法, ブランケットCVD法 (全面に膜を生成, 後で不必要部をエッチして除去) が広く検討されている。

4. ULSI用薄膜技術の課題と大学への期待

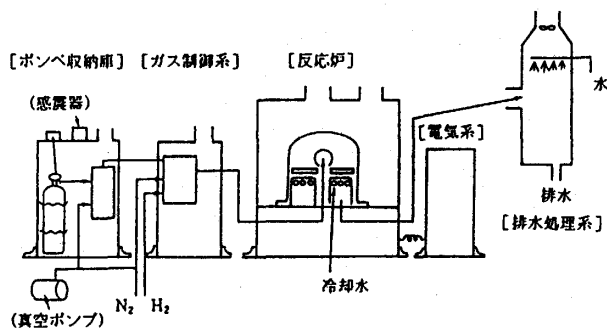
以上, 64M DRAM以降のULSIへの適用を予想される主要な薄膜技術を紹介してきた。今後, デバイス構造の進展を見極めながら, 適切な薄膜生成プロセス処理・材料選定を進めていくことが必要となる。薄膜生成技術とともに実際の生成装置 (大口径化対応 高精度・高スループットを満足する装置一表4はサブミクロン技術・装置両者の例を示している<sup>55)</sup>), 評価技術 (微小領域高感度分析 が特に要望されている), シ

区 分	特に要求されるニーズ		薄膜 形成装置
	サブミクロン技術用絶縁膜		
パッシベーション膜	ストレス低減 薄膜誘電率低減		①P-CVD装置 ②常圧CVD装置 ③回転塗布装置
	有機薄膜 (ポリイミドなど) P-SiN, もしくはP-SiON/P-TEOS 酸化膜 もしくはTEOS-O3 膜		
層間絶縁膜	平坦化 (カバレジ) 向上 ストレス低減		①P-CVD装置 ②常圧CVD装置 ③回転塗布装置
	P-SiO もしくは P-TEOS 酸化膜 もしくは TEOS酸化膜 (O <sub>3</sub> )	SOG もしくは TEOS-O <sub>3</sub> 膜 (エッチ バック)	
第1層絶縁膜	メモリセル: 膜質向上 容量増大 (誘電率増大)		①常圧CVD装置 ②低圧CVD装置 ③P-CVD装置 他
	ガラスフロー-PSG, BPSG		
	メモリセル用	熱→SiO <sub>2</sub> Si <sub>3</sub> N <sub>4</sub> , Ta <sub>2</sub> O <sub>5</sub> , SrTiO <sub>3</sub> , PTZ 他	
	LOCOS用	Si <sub>3</sub> N <sub>4</sub>	

表4 サブミクロン技術用薄膜生成技術と装置<sup>55)</sup>

区 分	メモリセル用薄膜	多層配線用薄膜
1 【新技術】 【新材料】	・メモリセル立体構造 ・キャパシタ用新絶縁膜材料 ・微小・大容量メモリセル対応 高誘電率膜探索*	・平坦・微細・低抵抗多層配線 ・低ストレス多層配線 ・平坦・微細・低抵抗配線材料* (耐Electro-migration) ・高ステップカバレジ薄膜* ・低ストレス配線材料* (耐Stress-migration)
2 【新装置】 (バッチ方式) (枚葉方式)	・高精度・高スループット薄膜生成装置* (前処理含む) ・減圧縦型薄膜生成装置	・積層・高ステップカバレジ 配線金属薄膜生成装置 ・平坦絶縁膜生成装置
3 【シミュレーション】	・膜厚分布 ・ストレス ・ステップカバレジ生成機構解析と改善策* (中間種、基板依存性) ・膜厚分布 (大口径ウェハ) (バッチ/枚葉式装置)* ・膜組成分布 (大口径ウェハ) (バッチ/枚葉式装置)* ・ストレス分布 (物性定数の温度依存性測定 必要)*	・ステップカバレジ ・ストレス
4 【評価】	・SEM (走査型電子顕微鏡) の nm領域観察 ・FIB(Focussed Ion Beam)活用 ・微小領域・高検出感度分析 ・高解像度界面分析 ・微小領域ストレス分布測定	・マイクロ・コンタミネーション ・TEM (透過型電子顕微鏡) 高解像度化

表5 ULSI用薄膜技術の課題：\*：大学に期待する課題



区分 項目	ポンベ系	ガス制御系	反応装置系	電気系	排気処理系	安全性
防 災	○	○	◎	○	◎	電気面 高電圧 高電流
地 震	◎	◎	◎	◎	○	温度面 (高温)
環 境	◎	◎	◎	◎	◎	可燃性 爆発性 →爆発限界 以下
特殊ガ ス対策 を含む						有毒性 →許容濃度 以下

図21 Siエピタキシャル装置の安全対策<sup>58)</sup>

ミュレーション技術（膜厚・膜組成を事前予測可能）が総合的に実現されて、初めて量産技術として確立されることになる。薄膜技術の課題と大学への期待を表5に纏めた。今後とも続く微細化、多層化、大口径化の為、薄膜技術に対し

- ①新技術・新材料
- ②新装置
- ③シミュレーション
- ④評価

の面の課題に対し、大学側からの新鮮な発想に基づくブレークスルーを期待している。さらに、1989年と1991年に、SiH<sub>4</sub>関連の爆発事故が発生しており、本質的な安全対策の実施が必要である。図21はSiエピタキシャル装置の例<sup>58)</sup>である。真の原因解明と的確な対応策に対し、大学側の知見を活用させていただきたい。

### 5. 参考文献

- 1) 化学工学会編：CVDハンドブック（朝倉書店，1991），菅原：Ⅱ 半導体，p. 70.
- 2) 青木：電子情報通信学会誌，73，369（1990）.
- 3) 清水：日立評論，73，No.9，825（1991）.
- 4) 日経マイクロデバイス，No.67，86（1991. 1. 1）.
- 5) Y. Nakagome *et al.*: 1990 Symposium on VLSI Circuits, 17（1990）. 増原、関、武田：日立評論、72、1207（1990）.
- 6) K. Nakagawa *et al.*: IEDM Technical Digest, 817（1990）.
- 7) H. Arima *et al.*: *ibid.*, 651（1990）.
- 8) M. Sakao *et al.*: *ibid.*, 655（1990）.
- 9) H. Watanabe *et al.*: *ibid.*, 478（1991）.
- 10) M. yoshimaru *et al.*: *ibid.*, 659（1990）.
- 11) H. Itoh *et al.*: Symposium on VLSI Technology, 9（1991）.
- 12) P. C. Fazan and A. Ditali: IEDM

- Technical Digest, 663 (1990).
- 13) N. Matsuo *et al.*: Extended Abstracts of the International Conf. on SSDM, 475 (1991).
  - 14) N. Matsuo *et al.*: IEDM Technical Digest, 473 (1991).
  - 15) K. Iguchi *et al.*: Symposium on VLSI Technology, 11 (1991).
  - 16) D. Hisamoto *et al.*: IEDM Technical Digest, 959 (1991).
  - 17) K. Sunouchi *et al.*: *ibid.*, 647 (1990).
  - 18) T. Ozaki: *ibid.*, 460 (1991).
  - 19) T. V. Rajeevakumar and G. B. Bronner: 1991 Symposium on VLSI Technology, 7 (1991).
  - 20) T. V. Rajeevakumar *et al.*: IEDM Technical Digest, 835 (1991).
  - 21) 神力: 応用物理, **60**, No. 11, 1115 (1991).
  - 22) 田村: 21世紀に向けた半導体技術問題研究委員会第5回シンポジウム“ディープサブミクロン ULSI用キャパシタ絶縁膜技術の展望”予稿集, 21 (1991).
  - 23) N. Ajika *et al.*: Symposium on VLSI Technology, 63 (1991).
  - 24) H. Shinriki and M. Nakata: The Trans. Electron Devices, **ED-38**, 455 (1991).
  - 25) S. Komiyama *et al.*: IEDM Technical Digest, 827 (1991).
  - 26) 佐久間: 21世紀に向けた半導体技術問題研究委員会第5回シンポジウム“ディープサブミクロン ULSI用キャパシタ絶縁膜技術の展望”予稿集, 45 (1991).
  - 27) K. Koyama *et al.*: IEDM Technical Digest, 823 (1991).
  - 28) K. Kashihara *et al.*: Extended Abstracts of the International Conf. on SSDM, 192 (1991).
  - 29) K. Torii *et al.*: *ibid.*, 195 (1991).
  - 30) 神力(日立中研): 資料.
  - 31) 日野出(日立中研): 資料.
  - 32) K. Hinode and Y. Homma: 1990 IEEE/IRPS, 25 (1990).
  - 33) 日野出: 日本金属学会会報, **28**, 40 (1989).
  - 34) N. Owada *et al.*: Proceedings of 2nd International IEEE VMIC, 173 (1985).
  - 35) K. Tokunaga and K. Sugawara: J. Electrochem. Soc., **138**, 176 (1991).
  - 36) 齊藤, 坂田, 清水, 磯前, 増田: 日本機械学会論文集(A編), **55**, 1652 (1989).
  - 37) 松尾, 森岡, 齊藤, 石川: 日立評論, **72**, 219 (1990).
  - 38) 村上, 菅原: ULSI製造装置実用便覧, 158 (サイエンスフォーラム, 1991).
  - 39) R. C. Blish, II and P. R. Vaney: 29th Proceedings of Reliability Physics, 22 (1991).
  - 40) R. L. Zelenka: *ibid.*, 30 (1991).
  - 41) H. Goto *et al.*: Extended Abstracts of the International Conf. on SSDM, 183 (1991).
  - 42) N. Kobayashi *et al.*: J. Appl. Phys., **69**, No. 2, 1013 (1991).
  - 43) 小谷: 第12回 東京応化セミナー資料8 (1991. 12. 4).
  - 44) 小谷, 松井: '91半導体専門講習会資料, 137 (1991).
  - 45) 金井, 小池: Semiconductor World, **11**, No. 1, 140 (1991).
  - 46) K. Fujino *et al.*: Proceedings of 8th International IEEE VMIC, VII-P, p. 445 (1991).
  - 47) M. Hatanaka *et al.*: Proceedings of 8th International IEEE VMIC, VII-P, p. 435 (1991).
  - 48) M. Ikegawa and J. Kobayashi: J. Electrochem. Soc., **136**, 2982 (1989).
  - 49) M. Ikegawa and J. Kobayashi: Proceedings of the 11th International Conference on CVD 1990, 10- (The Electrochem. Soc., 1990).
  - 50) 小宮山, 大沢, 霜垣, 江頭: 東京大学工学部紀要, **A-28**, 46 (1990).
  - 51) K. Watanabe and H. Komiyama: J. Electrochem. Soc., **137**, 1222 (1990).
  - 52) Y. Egashira *et al.*: Proceedings of the 11th International Conference on CVD 1990, 418 (The Electrochem. Soc., 1990).
  - 53) Y. Shimogaki and H. Komiyama: *ibid.*, 304 (The Electrochem. Soc., 1990).
  - 54) Y. Shimogaki *et al.*: J. du Physique IV, Colloque C2, Suppl. au J. de Physique II, **1**, C2-95 (Septembre 1991).
  - 55) 菅原: '92最新半導体プロセス技術—Technology & Equipment—, 359 (プレスジャーナル, 1991).
  - 56) 化学工学会編: CVDハンドブック (朝倉書店, 1991), 菅原: II 半導体, p. 41.