# カナリア・フリップフロップを利用する DVS 方式の 改良

佐藤, 寿倫 九州大学システムLSI研究センター

国武, **勇次** 九州工業大学大学院情報工学研究科

https://hdl.handle.net/2324/6381

出版情報:情報処理学会研究報告.2007 (55), pp.43-48, 2007-05. 情報処理学会ARC研究会 バージョン:

権利関係:ここに掲載した著作物の利用に関する注意本著作物の著作権は(社)情報処理学会に帰属し ます。本著作物は著作権者である情報処理学会の許可のもとに掲載するものです。ご利用に当たっては 「著作権法」ならびに「情報処理学会倫理綱領」に従うことをお願いいたします。

# カナリア・フリップフロップを利用する DVS 方式の改良

佐藤 寿倫<sup>†</sup> 国武 勇次<sup>‡</sup>

\*九州大学 システム LSI 研究センター 〒814-0001 福岡市早良区百道浜 3-8-33-3F
\*九州工業大学大学院 情報工学研究科 〒820-8502 飯塚市川津 680-4

E-mail: †toshinori.sato@computer.org, \$y-kunitake@klab.ai.kyutech.ac.jp

**あらまし** 微細化の進展により顕在化しつつあるパラメタばらつきを抑制するために、カナリア・フリップフロ ップを提案している.これまで、入力値のばらつきを利用して、電源電圧マージンの削減による消費電力削減方式 を検討してきた.本稿では、カナリア FF を利用する DVS システムにおける課題を検討する.特に電源電圧の振動 問題を扱い、シミュレーションの結果、性能への悪影響が取り除かれることを確認出来ている. キーワード パラメタばらつき、省電力、カナリア FF

# Improving Energy-efficiency of Canary-based DVS System

Toshinori SATO<sup>†</sup> and Yuji KUNITAKE<sup>‡</sup>

<sup>†</sup>System LSI Research Center, Kyushu University

#Graduate School of Computer Science and Systems Engineering, Kyushu Institute of Technology

E-mail: †toshinori.sato@computer.org, \$y-kunitake@klab.ai.kyutech.ac.jp

**Abstract** In deep submicron technologies, parameter variations have become a serious problem on LSI design. We proposed canary flip-flops to attack the problem, and have investigated its application on power reduction by exploiting input value variations. This paper considers some critical issues on the canary FFs and the DVS systems utilizing the canary FF. Especially, this paper focuses on the problem of power supply voltage and evaluate a solution. Detailed simulation results show that performance penalty is effectively eliminated.

Keyword Parameter variations, low power, canary flip-flop

# 1. はじめに

半導体製造プロセスの複雑度が増すにしたがって, 素子特性のばらつきのために,従来行われてきた最悪 ケースに配慮した LSI 設計は困難になりつつある[13, 15]. なぜなら,最悪ケースを考慮するための設計マー ジンの確保が困難なためである.ロバストな設計を実 現するために,設計者には製造容易性を考慮した設計 が求められている.有望な設計手法のひとつとして, 我々は典型的ケース指向設計を検討している.この手 法では,最悪ケースが現実に生じるのは極めて稀であ る,という観察結果を利用している.そこでは設計者 は,最悪ケースに煩わされるのではなく,典型的ケー スに集中することが出来る.最悪ケースに配慮する必 要が無くなれば,設計制約は大きく緩和されるので, 設計が容易になるとともにその期間も短縮されること が期待される.

典型的ケース指向設計を可能にするために,我々は カナリア・フリップフロップ(FF)を提案し[12],設 計マージンを取り除くことによって消費電力を削減す る方法を評価してきた[12,15]. これまでのところ,加 算器への入力値のばらつきを利用することで、プロセ ッサ全体で概ね10%の消費電力を削減できることが確 認できている[12,15].しかしカナリアFFの実装には、 克服すべき課題が残っている.本稿ではそれらの課題 を考察し、特に DVS システムにおける問題の解決策に ついてシミュレーションにより評価する.

本稿は以下の構成をとる.2節で関連研究をまとめる.3節でカナリア FFを説明し,4節と5節でその実装における課題を検討する.6節で評価環境を紹介した後に,シミュレーション結果を示す.7節でまとめとする.

#### 2. 関連研究

Razor[4, 6]は電源電圧におけるマージンを取り除い て消費電力を削減する.タイミングエラーの発生頻度 に応じて DVS 制御を実施する.エラー頻度が小さい間 は電源電圧を下げる余地がある.逆に頻度が高いと電 圧を上げる必要がある.閾値となるエラー頻度が予め 設定され,DVS システムはそれを維持することに努め る.タイミングエラーを動的に検出するために,図1 に示す Razor フリップフロップ(FF)が提案されている. タイミング・クリティカルな FF(メイン FF)の全て にシャドウ FFを用意する.シャドウ FF にはメイン FF に比べて遅いクロック(遅延クロック)が供給される. メイン FF とシャドウ FF に保持されている値が異なる と,タイミングエラーを検出したことになる. Razor の持つ難しさのひとつに,シャドウ FF が常に正しい 値を保持することをどのようにして保証するかという 問題がある.ホールドタイムの制約を満足するように 遅延クロックを設計しなければならない.さもないと, 所謂ショートパス問題を生じる[6]. 遅延バッファを 挿入すればこの問題を解決できる[4]が,セットアップ タイムの制約を厳しくしてしまい,タイミングマージ ンを減じることになる.



🗵 1 : Razor FF

iRoC Technologies[5]はシャドウ FF をソフトエラー 検出の目的で利用する.二通りの実装法が検討されて いる.ひとつは Razor FF と非常に似ており,遅延クロ ックを必要とする.他方は遅延クロックを必要としな いが,入力が遅延されてシャドウ FF に保持される. メイン FF とシャドウ FF に保持されている値が不一致 となると,ソフトエラーが検出されたことになる.上 述の遅延を調整することで,検出される過渡パルスの 最大幅を変更可能である.

NEC[11]はシャドウFFを経年劣化によるタイミング 故障を予測する目的で利用する.全組合せ回路部は複 製され,故障箇所はその複製に切り替えられる.故障 を予測するために,故障予測 FF が提案されており, シャドウ FF を利用している.前段の組合せ回路部と シャドウ FF との間には遅延が挿入されており,メイ ン FF がタイミング制約違反に遭遇しない場合でも, シャドウ FF が違反に遭遇し得る.つまり,メイン FF とシャドウ FF に保持されている値を比較することで, 経年劣化によるパス遅延の増大を検出可能である.

インテル[1]はシャドウ FF をパラメタばらつきに起 因するタイミングエラーを検出する目的で利用する. シャドウ FF はメイン FF への入力を共有するのではな く,メイン FF のマスターラッチを通過した値を保持 する.したがって,メイン FF よりもシャドウ FF の方 がタイミング制約が厳しい.両 FF のマスターラッチ が閉じたときにそれらの値が一致しないと,タイミン グエラーが検出されたことになる.

次節で説明するカナリア FF[12, 15]は, 上記の三つの方法[1, 5, 11]とは独立に検討され, Razor FF[4, 6]の一改良として提案された.

Liら[10]は Razor FF のロバスト性を向上させた回路 を提案し,スーパースカラプロセッサを設計して評価 している.

Calhoun ら[3]は、同じ名前ではあるが次節のそれと は原理と目的が全く異なるカナリア FF を提案してい る.それは、他の FF と比較して高い電源電圧であっ てもエラーを生じ易いように設計され、スタンバイ時 の電源電圧決定に利用される.カナリア FF がエラー を生じるまで電源電圧を低下させることでリーク電流 を削減し、その結果消費電力も低減させる.

### 3. カナリア・フリップフロップ

Razor は 設計マージンを取り除くことが出来る非常に優れた方式であるが,その回路実装には改善の余地が残されている. 我々は改善方式のひとつとして,図2に示す回路を提案している[12, 15].



図 2:カナリア FF

この回路では,遅延クロックの代わりに遅延素子が 利用される.カナリア FF は炭鉱のカナリアとして働 き,今まさに生じようとしているタイミングエラーを 検出する目的で利用される.遅延素子が挿入されてい るので,カナリア FF はメイン FF よりもタイミング制 約が厳しい.タイミング制約を徐々に厳しくしていく と,必ずカナリア FF が先に前段の回路におけるタイ ミングエラーに遭遇する.メイン FF とカナリア FF に 保持されている値が異なることが,タイミングエラー の予報に相当する.エラーが予報されると,周波数を 下げたり電源電圧を上げたり等の対処が施され,メイ ン FF でのエラーを予防する[15]. カナリア FF の使用 には以下のメリットがある.

**遅延クロックの廃止**:単一単相クロックの採用によって、クロック分配の設計が単純化される.加えて、 Razor FF での設計を複雑化しているショートパス問 題[6]を取り除くことができる.

**タイミングエラーの抑制**:上述したように Razor FF と異なり,カナリア FF はメイン FF でのタイミング エラーを予防する.このため,いかなる回復機構も 不要である.加えて,メイン FF の入力にあるマル チプレクサも不要なため, Razor FF と比較してタイ ミング制約が緩和される.

**素子ばらつきに対する柔軟性**:遅延素子が挿入され ているため、どのような素子ばらつきを生じても、 メイン FF よりもカナリア FF が先にタイミングエラ ーに遭遇する.つまり、大きな素子ばらつき下にお ける動作が保障されている.

DVS システムは、入力値ばらつきによるパス遅延の 動作時ばらつきを積極的に利用して電源電圧を降圧す る.予め定められたインターバルの間にタイミングエ ラーが予報されなければ、ひとつ下のステップまで降 圧する.タイミングエラーが予報された場合には、イ ンターバルの途中であっても直ちに昇圧する.この昇 圧ポリシーには、ひとつ上のステップへ移動するか、 あるいは過渡モードへ移動するかの選択肢が存在する. 前者を採用する場合をステップ法と呼び、後者を採用 する場合をリセット法と呼ぶ.回路遅延は大幅に変動 しないと予想されるのでステップ法で問題なく動作す ると考えられるが、大幅な変動に対しても動作を保障 するためにはリセット法の採用が必要である.

#### 4. 回路上の問題

カナリア FF の実装においては解決すべき問題がある.本節ではこれまでに認識できている問題を示し, それらへの対応を検討する.

#### 4.1. メタスタビリティの問題

シャドウ FF のタイミング制約は常に満足されるわ けではないので、それはメタステーブルの状態に成り 得る.メタスタビリティは、回路遅延を増大させるだ けでなく、誤動作を引き起こしかねない.Razorでは、 メタスタビリティを解消して常に正しい値をする必要 は無く、メタステーブル状態を検出し、タイミングエ ラーと同様に扱えば十分である.カナリア FF でも事 情は同じである.Razorで用いられているメタスタビ リティ検出回路[6]が使用可能である.ところで、Razor ではメイン FF がメタステーブル状態と成り得るのに 対し,カナリア FF ではメイン FF は常に正しい値を保 持することが期待されている.したがって,カナリア FF では時間を要するメタスタビリティ検出方法を選 択することも可能である.

#### 4.2. メイン FF でのタイミングエラーの問題

カナリア FF では,メイン FF が常に正しいことが期 待されている.しかし,原理的にはメイン FF がタイ ミングエラーを生じないことを100%は保証出来ない. クリティカルパス遅延が投機的に違反されると,二つ の FF が同時にエラーとなる可能性があり,この場合 には比較器の結果は一致しエラーを予報出来ない.し かしタイミング制約が急激に変化しないという条件下 では,そのようなことは発生しないと期待できる.

#### 4.3. 遅延素子における電圧依存性の問題

上述のようにカナリア FF において遅延素子は重要 な役割を果たしている.何故なら,その遅延量がカナ リア FF のロバスト性を規定するからである.問題と なるのが,この遅延量が電源電圧に依存して変化する ことである.幸いなことに電源電圧が下がるにしたが って遅延量は増大するので,投機が積極的になればな るほどタイミングエラー予測は保守的になる.したが って,遅延量の電源電圧依存性には安全な方向の性質 がある.

#### 4.4. 消費電力の問題

カナリア FF はスキャン FF を流用して実現可能[15] なので回路規模のオーバヘッドは非常に小さいが、シ ャドウ FF の消費する電力は無視出来ないかも知れな い.幸いなことに Razor の報告では、シャドウ FF と遅 延バッファが消費する電力はチップ全体の 3%に過ぎ ない[4].カナリア FF でも同様の傾向となると期待で きる.

#### 5. DVS システムの問題

カナリア FF を利用する DVS システムにおいても解 決すべき問題がある.本節ではこれまでに認識できて いる問題を示し,それらへの対応を検討する.

#### 5.1. エラー予報の収集における問題

カナリア FF を利用する DVS システムでは,各カナ リア FF の発したエラー予報を収集する必要がある. ひとつでもエラー予報が発せられると,プロセッサ全 体として電源電圧あるいは動作周波数を変更する必要 があるからである.そのためのネットワークはチップ 面積を大いに消費する可能性がある.また,エラー収 集に要するレイテンシがサイクルタイムに与える影響 も懸念される.前者に対しては、スキャン回路を利用 して面積を削減する方法を検討中である.後者に対し ては、4.1節で述べたようなレイテンシの大きな方法 も利用可能であると考えている.

# 5.2. 電源電圧における振動の問題

タイミングエラーを生じる電源電圧に近づくと、し ばしばエラー予報が発せられることになる.タイミン グエラーが予報されると電源電圧を昇圧するが、3節 で説明したインターバルの経過後に再び降圧される. その結果降圧と昇圧を繰り返すことになり、電源電圧 に図3に示すような振動現象が観測される.電圧を変 える度にオーバヘッドを被るので、この振動は性能の 点でも消費電力の点でも好ましくない.



# 5.2.1. 振動抑制法

振動を抑制するためにカウンターを利用すること を考える.まず,タイミングエラーが予報された電源 電圧を記憶する.次回タイミングエラーが予報された 電圧が,記憶されている前回の電圧と同じであれば, カウンターをインクリメントする.異なる場合にはカ ウンターをリセットする.カウンターの値が予め決め られた閾値を越えた場合には振動していると見做し, 別に予め定められた期間降圧を停止する.降圧を停止 する期間の決定には,電源電圧の変更に要するオーバ ヘッド時間を考慮する.この期間の経過後は,DVS動 作を再開する.

# 6. 評価

#### 6.1. 環境

SimpleScalar ツールセット[2]を用いたシミュレーションで評価する.命令セットには Alpha ISA を選択する. プロセッサ構成は表 1 の通りである.ベンチマークには SPEC2000 の整数系プログラムから選ばれた 6 つである.なお,最初の 10 億命令をスキップし,続く20 億命令を対象とする.

電源電圧を変更するインターバルとして,100K,1M, 10M サイクルを評価する.電源電圧の変更には10usec を要する[7]と仮定した.定常モードでは周波数は 2GHzで一定とする.降圧を停止する閾値には,2と8 を評価する.降圧を停止する期間は,電圧変更による オーバヘッドが0.1%となるように決定した.

表 1: プロセッサ構成

Clock frequency	2 GHz
Fetch width	8 instructions
L1 instruction cache	16K, 2 way, 1 cycle
Branch predictor	gshare + bimodal
Gshare predictor	4K entries, 12 histories
Bimodal predictor	4K entries
Branch target buffer	1K sets, 4 way
Dispatch width	4 instructions
Instruction window size	128 entries
Issue width	4 instructions
Integer ALUs	4 units
Integer multipliers	2 units
Floating ALUs	1 unit
Floating multipliers	1 unit
L1 data cache ports	2 ports
L1 data cache	16K, 4 way, 2 cycle
Unified L2 cache	8M, 8 way, 10 cycles
Memory	Infinite, 100 cycles
Commit width	8 instructions

カナリア方式は整数加算器のみに採用する.パイプ ラインの歩留まりは主に実行ステージおけるタイミン グエラーで決まる[10]からである.電源電圧および動 作周波数を変化させた時の加算器におけるタイミング エラー発生率として,桁上げ選択加算器をゲートレベ ルシミュレーションして得られた値を用いる.表2に 示すペンティアム M の電源電圧[8]を使用して,シミ ュレーション結果から電源電圧とタイミングエラーの 関係を求めている.電源電圧とタイミングエラーの関 係を図4に示す.

表 2: 周波数 - 電源電圧 F(GHz) 2.1 1.8 1.6 1.4 1.340 1.276 1.228 1.180 Vdd(V)1.2 F(GHz) 1.0 0.8 0.6 0.988 Vdd(V) 1.132 1.084 1.036



図 4: タイミングエラー率

上述のように、各電源電圧および動作周波数において、確率的にタイミングエラーが生じると仮定している.実際の入力値に応じたタイミングエラーを考慮し

ているわけではないことに注意されたい. ゲートレベ ルシミュレーションの結果をアーキテクチャレベルシ ミュレーションで利用する評価環境[9]を構築したが, ゲートレベルシミュレーションの結果を再現出来ない 不具合が見つかったため,今回の方法で評価している. タイミングエラーのみを考慮して建設的タイミング違 反方式を評価した場合には,入力を考慮する場合と確 率的な場合とで,結果に有意差は無いことがわかって いる[9]ので深刻な問題は無いと考えている.上述の不 具合が発生しないコ・シミュレーション環境[14]を構 築して,将来入力値の影響を評価する予定である.

# 6.2. 結果

図5に選択された電源電圧と、実行時間に対するそ れらの割合を示す.8 ステップの電圧から実際には3 ステップしか選択されず、1.276Vが大部分を占める結 果となった.リセット法とステップ法とを比較すると、 後者がより頻繁に低い電圧を選択している.リセット 法が降圧停止状態に入るまでには多くの時間を要する ので、容易に予想できる結果である.続いてインター バルの影響については、リセット法でのみインターバ ルが短いほどより頻繁に低い電圧を選択する現象が観 察される.



図 5: 電源電圧の分布 (閾値=2)

□ 164.gzip □ 175.vpr □ 176.gcc □ 197.parser □ 255.vortex □ 256.bzip2

0.4% 0.3% 0.2% 0.1% 0.0% 100K 1M 10M 100K 1M 10M Reset Step

図 6: 実行サイクルの増加 (閾値=2)

図6に実行サイクルへの影響を示す.不要な降圧と 昇圧が取り除かれた結果,想定されたオーバヘッド (0.1%)よりは大きいが,性能への悪影響は無視でき る程度にまで改善できている.

図7に消費エネルギーの削減率を示す.リセット法 では,選択された電源電圧の分布にしたがう様に,イ ンターバルが小さいほどエネルギー削減効果が大きい. ステップ法ではインターバルの影響は観察されない. 不要な降圧と昇圧を取り除いたにも関わらず,エネル ギー削減効果は以前の結果[15]と大差が無い.これは, 電源電圧の選択が保守的となり,より低い電圧を選択 出来なくなったためと考えられる.



図 7: 消費エネルギーの削減 (閾値=2)

図 8~10 に閾値が 8 の場合の結果を示す. 閾値に至 るまでのサイクル数が大きいため, 閾値が 2 の場合よ りも振動が長期に続き性能や消費エネルギーには好ま しくないと予想されたが,実際には大きな違いは見ら れなかった. 閾値に至るまでの実行時間が全体に占め る割合が小さいためであると予想される.



図 8: 電源電圧の分布 (閾値=8)

# 7.まとめ

カナリア FF を利用する DVS システムについて,実 装に向けての課題を検討した.特に電源電圧の振動を 抑制する方式を評価した.性能に対するオーバヘッド



図 9: 実行サイクルの増加 (閾値=8)



図 10: 消費エネルギーの削減 (閾値=8)

を大きく抑制することが出来たが,消費エネルギーの 削減に関しては大きな改善は見られなかった.電源電 圧の選択が保守的になることが理由と考えられるため, 積極的な降圧が可能な方式の検討が必要である.

# 謝辞

本研究の一部は、科学技術振興機構・戦略的創造研 究推進事業の CREST プロジェクト「情報システムの 超低消費電力化を目指した技術革新と統合化技術」の 支援によるものである.

# 文 献

- M. Annavaram, E. Grochowski, and P. Reed, "Implications of Device Timing Variability on Full Chip Timing", 13th International Symposium on High-Performance Computer Architecture, 2007.
- [2] D. Burger and T. M. Austin, "The SimpleScalar Tool Set, Version 2.0", ACM SIGARCH Computer Architecture News, Vol. 25, No. 3, 1997.
- [3] B. H. Calhoun and A. P. Chandrakasan, "Standby Power Reduction Using Dynamic Voltage Scaling and Canary Flip-Flop Structures", IEEE Journal of Solid-State Circuits, Vol. 39, No. 9, 2004.
- [4] S. Das, P. Sanjay, D. Roberts, L. S. Lee, D. Blaauw, T. Austin, T. Mudge, and K. Flautner, "A Self-Tuning DVS Processor Using Delay-Error Detection and

Correction", Symposium on VLSI Circuits, 2005.

- [5] E. Dupont, M. Nicolaidas, and P. Rohr, "Embedded Robustness IPs for Transient-Error-Free ICs", IEEE Design & Test of Computers, Vol. 19, No. 3, 2002.
- [6] D. Ernst, N. S. Kim, S. Das, S. Pant, R. Rao, T. Pham, C. Ziesler, D. Blaauw, T. Austin, K. Flautner, and T. Mudge, "Razor: A Low-Power Pipeline Based on Circuit-Level Timing Speculation", 36th International Symposium on Microarchitecture, 2003.
- [7] S. Gochman, R. Ronen, I. Anati, A. Berkovits, T. Kurts, A. Naveh, A. Saeed, Z. Sperber, and R. C. Valentine, "The Intel Pentium M Processor: Microarchitecture and Performance", Intel Technology Journal, Vol. 7, No. 2, 2003.
- [8] Intel Corporation, "Intel Pentium M Processor on 90nm Process with 2-MB L2 Cache", Datasheet, 2006.
- [9] Y. Kunitake, A. Chiyonobu, K. Tanaka, and T. Sato, "Challenges in Evaluations for a Typical-Case Design Methodology", 8th International Symposium on Quality Electronic Design, 2007.
- [10] H. Li, Y. Chen, K. Roy, and C.-K. Koh, "SAVS: A Self-Adaptive Variable Supply-Voltage Technique for Process-Tolerant and Power-Efficient Multi-Issue Superscalar Processor Design", 11th Asia and South Pacific Design Automation Conference, 2006.
- [11] T. Nakura, K. Nose, M. Mizuno, "Fine-Grain Redundant Logic Defect-Prediction Flip-Flops", International Solid-State Circuits Conference, 2007.
- [12] T. Sato and Y. Kunitake, "A Simple Flip-Flop Circuit for Typical-Case Designs for DFM", 8th International Symposium on Quality Electronic Design, 2007.
- [13] O. S. Unsal, J. W. Tschanz, K. Bowman, V. De, X. Vera, A. Gonzalez, O. Ergin, "Impact of Parameter Variations on Circuits and Microarchitecture", IEEE Micro, Vol. 26, No. 6, 2006.
- [14] 国武,千代延,田中,佐藤,"タイミング制約違反 を利用する設計手法とコ・シミュレーション環境 による評価",情処研報 ARC,発表予定,2007.
- [15]佐藤, "カナリア・フリップフロップを利用する省 電力マイクロプロセッサの評価", 第 5 回先進的 計算基盤システムシンポジウム, 2007.