九州大学学術情報リポジトリ
Kyushu University Institutional Repository

CMOS回路におけるタイミング歩留り最大化のためのゲートサイジング手法の提案

坂本, 良太
九州大学大学院システム情報科学府

室山, 真徳
九州大学システムLSI 研究センター

石原, 亨
九州大学システムLSI 研究センター

安浦, 寛人
九州大学大学院システム情報科学研究院

https://hdl.handle.net/2324/6364

出版情報：電子情報通信学会技術研究報告, VLD2006-208, pp.67-72, 2007-03. 電気情報通信学会
バージョン：
権利関係：

KYUSHU UNIVERSITY

CMOS回路におけるタイミング歩留り最大化のための ゲートサイジング手法の提案

坂本　良太† 　室山　真徳†† 　石原　亨†† 　安浦　寛人†††

† 九州大学大学院 システム情報科学府　〒 819–0395 福岡市西区元岡 744
†† 九州大学 システム LSI 研究センター　〒 814-0001 福岡市早良区百道浜 3-8-33
††† 九州大学大学院 システム情報科学研究院　〒 819–0395 福岡市西区元岡 744
E-mail: †sakamoto@c.csce.kyushu-u.ac.jp, ††{muroyama,ishihara}@slrc.kyushu-u.ac.jp,
†††yasuura@c.csce.kyushu-u.ac.jp

あらまし　半導体微細加工技術の進歩により，製造ばらつきによるチップの性能歩留り低下が問題となっている．従来から，回路の平均遅延時間を最小にするゲートサイジング手法が用いられていたが，我々は，要求される遅延時間を満たすチップの，チップ総数に対する割合をタイミング歩留りと定義し，タイミング歩留りを最大化するための新たなゲートサイジング手法を提案する．従来手法を用いた場合，ゲートサイズは常に一定の倍率で大きくなっていくのに対し，提案手法を用いた場合，ターゲット遅延時間・最終段の負荷容量によって，前段に対するゲートサイズの倍率が各段で異なることを確認した．さらに，タイミング歩留りの向上においても有効であることを確認した．
キーワード　遅延時間ばらつき，タイミング歩留り，CMOS 回路，ゲートサイジング

A Gate Sizing Technique for Maximizing Timing Yield of CMOS Circuits

Ryota SAKAMOTO†, Masanori MUROYAMA††, Tohru ISHIHARA††, and Hiroto YASUURA†††

† Department of Electronics, Graduate School of Information Science and Electrical Engineering, Kyushu University　744 Motooka, Nishi-ku, Fukuoka 819–0395 Japan
†† System LSI Research Center, Kyushu University
3-8-33 Momochihama, Sawara-ku, Fukuoka 814-0001 Japan
††† Graduate School of Information Science and Electrical Engineering, Kyushu University　744 Motooka, Nishi-ku, Fukuoka 819–0395 Japan
E-mail: †sakamoto@c.csce.kyushu-u.ac.jp, ††{muroyama,ishihara}@slrc.kyushu-u.ac.jp,
†††yasuura@c.csce.kyushu-u.ac.jp

Abstract　With the shrinking of transistors, yield degradation caused by process variations become a serious problem. The gate sizing technique for minimizing the average delay time of the circuits was used so far. The ratio to the total number of the chips of the chips that fill the demanded delay time is defined as the timing yield, and we propose a new gate sizing technique to maximize the timing yield. We confirmed that when using conventional technique, the gate size is enlarged always by a constant magnification, while when using proposed technique, magnification is different depending on the load capacitance and target delay time. In addition, it was confirmed that it was effective in the improvement of the timing yield.
Key words　Delay Variation, Timing Yield, CMOS Circuits, Gate Sizing

1. はじめに

近年，半導体加工技術の進歩によってトランジスタの微細化が進み，集積回路の小型化及び高速化が図られてきたが，製造時に生じるイオン注入や熱処理の温度などのプロセスバラメータのばらつきが顕著になってきた．このばらつきは，閾値電圧などトランジスタの電気的な特性をばらつかせ，回路性能のばらつきへとつながる．そのため，仕様どおりに動作しない回路が増え歩留りを低下させコストの増加を引き起こすという問題が生じている．

従来から集積回路の速度性能の信頼性を高めるために，ばらつきを見越してマージンを取った設計が行われている．しかし，

微細化とともに遅延に対するマージンが相対的に大きくなっており，設計の複雑化，設計期間の長期化を招いている．逆にマージンを削りすぎると，仕様通りに動作しない回路が増え，チップの歩留りが低下してしまう．さらに，プロセスパラメータのばらつきは，製造段階において外部から制御できない．

以上の理由から，製造ばらつきに起因する，回路の遅延時間や消費電力といった性能ばらつきに対処するために，統計的設計手法が必要とされている．

本稿では特にゲート遅延ばらつきに着目し，回路が要求される遅延時間を満たす確率をタイミング歩留りと定義し，このタイミング歩留りを最大化するための新たなゲートサイジング手法を提案する．提案するゲートサイジングは，バス，クロックツリー等に応用可能である．

本稿の構成は以下の通りである．第 2 章で従来のロジカルエフォートを用いたゲートサイジングについて述べる．第 3 章で提案する新たなゲートサイジング手法について述べる．第 4 章で実験的手法によりサイジングレートを求め，第 5 章でまとめる．

2. ロジカルエフォートを用いたゲートサイジング

従来から設計者は，遅延時間を最小化するためのゲートサイズを，ロジカルエフォート [1] を用いて計算していた．ボンディングパッドや多数のファンアウトなど，大きな負荷容量 C_{load} を駆動する場合，通常，内部の論理回路や前段のゲートとの間に複数のインバータを直列接続したバッファを挿入する（図 1 参照）[2]．この場合それぞれのインバータのチャネル幅 W を，前段のインバータよりも A 倍だけ大きくする．さらに最終段のインバータの入力容量 C_{inN} と C_{load} を等しくすれば，最小の遅延時間が得られるとされている [2]．ここで C_{inj} は初段から j 番目のインバータの入力容量を，N はインバータの段数を表す．また，A をサイジングファクターと呼ぶ．

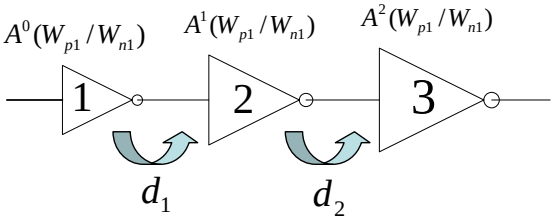

図 1　インバータの直列接続

遅延時間を最小にするための，N 及び A は以下で表される [2].

$$N = ln\frac{C_{load}}{C_{in1}} \tag{1}$$

$$A = \left[\frac{C_{load}}{C_{in1}}\right]^{\frac{1}{N}} \tag{2}$$

以上から求まる A の値を用いると，遅延時間の平均値は，他のどの A の値を用いた場合よりも最小となる．

3. タイミング歩留り最大化のためのゲートサイジング手法

3.1 提案手法の概要

図 2 に示すように，平均遅延時間が大きくとも分散が小さくなるようなロジカルエフォートから求めた A とは異なるサイジングファクター A' が存在した場合を考える．回路の遅延時間が，あるターゲット遅延時間内に収まるチップだけが良品であるとすると，ターゲット遅延時間によっては，必ずしもサイジングファクター A を用いた場合が最も歩留りが良いとは限らない．さらに i 番目のゲートサイズの前段からの倍率 A'_i と，次段の A'_{i+1} が互いに異なる値をとった場合に歩留りが向上する可能性も考えられる．

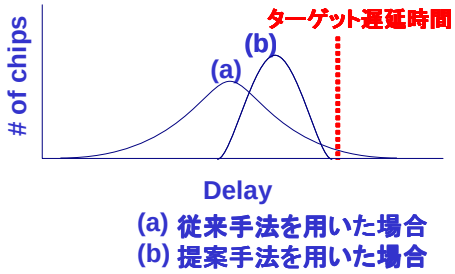

図 2　分散が小さくなったパスディレイの概念図

このように，あるターゲット遅延時間における歩留りをタイミング歩留りと定義し，タイミング歩留りを最大化させるゲートサイズを選ぶことによって，従来手法を用いた場合よりも歩留りを向上させる可能性がある．

3.2 問題定義

回路の遅延時間が正規分布に従ってばらつくと仮定すると，ターゲット遅延時間 T_0 におけるチップの歩留り Y_{T_0} は，次のように表される．

$$Y_{T_0} = \frac{1}{\sqrt{2\pi}\sigma_d}\int_{-\infty}^{T_0} exp\{-\frac{(t-\mu_d)^2}{2\sigma_d^2}\}dt \tag{3}$$

ここで，μ_d は平均遅延時間，σ_d は遅延時間の標準偏差を表す．想定する回路は，図 1 に示すような，インバータの直列接続である．

次に，式 3 に対し，x を用いて変数変換すると式 3 は次のように表される．

$$x = \frac{t-\mu_d}{\sqrt{2}\sigma_d} \tag{4}$$

$$Y_{T_0} = \frac{1}{\sqrt{\pi}}\int_{-\infty}^{\frac{T_0-\mu_d}{\sqrt{2}\sigma_d}} e^{-x^2}dx \tag{5}$$

式 5 から，歩留りを最大化させるためには，積分区間の上限値を目的関数とし，これを最大化させれば良いことが分かる．従って，今回扱う問題を以下の様に定義する．

$$Maximize \qquad \frac{T_0 - \mu_d}{\sigma_d} \tag{6}$$

3.2.1 平均遅延時間 μ_d の定式化

回路の平均遅延時間 μ_d は，次のように定式化できる [3].

$$\begin{aligned}\mu_d &= \sum_{i=1}^{n} \frac{C_{load,i} V_{dd}}{I_{i-1}} \\ &= \sum_{i=1}^{n} \frac{4LW_i C_{ox} V_{dd}}{\mu C_{ox}(W_{i-1}/L)(V_{dd} - V_{th})^2} \\ &= \alpha \sum_{i=1}^{n} \frac{W_i}{W_{i-1}}\end{aligned} \tag{7}$$

ここで，α は係数，n はゲート段数，C_{ox} は単位面積当りの酸化膜容量，V_{dd} は電源電圧，V_{th} はしきい値電圧，μ はキャリアの移動度，W，L はそれぞれトランジスタのゲート幅，ゲート長を，i は初段から i 番目のゲートを表す.

3.2.2 遅延時間の標準偏差 σ_d の定式化

電流の平均 $E(I)$，電流の分散 $V(I)$ とおくと，

$$V(\frac{1}{I}) = E(\frac{1}{I^2}) - E(\frac{1}{I})^2 \tag{8}$$

ここで，

$$E(\frac{1}{I^2}) = \frac{1}{\sqrt{2\pi}\sigma_I} \int \frac{1}{I^2} exp\{\frac{-(I-\mu_I)^2}{2\sigma_I^2}\} dI \tag{9}$$

μ_I，σ_I はそれぞれ，電流値の平均，標準偏差を表す．また I を $I = \mu_I + \sigma_I x$ とおくと，式 9 は次のように表される.

$$E(\frac{1}{I^2}) = \frac{1}{\sqrt{2\pi}} \int \frac{1}{(\mu_I + \sigma_I x)^2} exp\{\frac{-x^2}{2}\} dx \tag{10}$$

同様に，$E(\frac{1}{I})$ も以下のように表される.

$$E(\frac{1}{I}) = \frac{1}{\sqrt{2\pi}} \int \frac{1}{\mu_I + \sigma_I x} exp\{\frac{-x^2}{2}\} dx \tag{11}$$

電流値の二乗の逆数と電流値の逆数を，それぞれ $\pm 3\sigma_I$を通る直線で近似すると（図 3 参照），

$$\frac{1}{(\mu_I + \sigma_I x)^2} \simeq \frac{-2\mu_I\sigma_I}{(\mu_I^2 - 9\sigma_I^2)^2} x + \frac{\mu_I^2 + 9\sigma_I^2}{(\mu_I^2 - 9\sigma_I^2)^2} \tag{12}$$

$$\frac{1}{\mu_I + \sigma_I x} \simeq \frac{-\sigma_I}{\mu_I^2 - 9\sigma_I^2} x + \frac{\mu_I}{\mu_I^2 - 9\sigma_I^2} \tag{13}$$

よって，

$$E(\frac{1}{I^2}) \simeq \frac{1}{\sqrt{2\pi}} \frac{2\mu_I\sigma_I}{(\mu_I^2 - 9\sigma_I^2)^2} \int -x \cdot exp\{\frac{-x^2}{2}\} dx \tag{14}$$

$$+ \frac{\mu_I^2 + 9\sigma_I^2}{(\mu_I^2 - 9\sigma_I^2)^2} \int \frac{1}{\sqrt{2\pi}} exp\{\frac{-x^2}{2}\} dx \tag{15}$$

$$= \frac{\mu_I^2 + 9\sigma_I^2}{(\mu_I^2 - 9\sigma_I^2)^2} \tag{16}$$

同様に，

$$E(\frac{1}{I}) \simeq \frac{\mu_I}{\mu_I^2 - 9\sigma_I^2} \tag{17}$$

従って，

$$E(\frac{1}{I})^2 \simeq \frac{\mu_I^2}{(\mu_I^2 - 9\sigma_I^2)^2} \tag{18}$$

ゆえに，

$$V(\frac{1}{I}) = E(\frac{1}{I^2}) - E(\frac{1}{I})^2 \simeq \frac{9\sigma_I^2}{(\mu_I^2 - 9\sigma_I^2)^2} \tag{19}$$

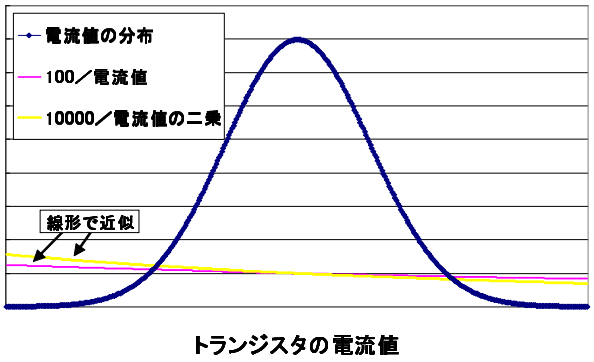

図 3　電流値の分布と電流値の逆数

回路の遅延時間を C_{load}/I で近似すると，

$$V(delay) \simeq V(\frac{1}{I}) = E(\frac{1}{I^2}) - E(\frac{1}{I})^2 \simeq \frac{9\sigma_I^2}{(\mu_I^2 - 9\sigma_I^2)^2} \tag{20}$$

$\mu_I^2 \gg \sigma_I^2$ のとき，

$$V(delay) \simeq V(\frac{1}{I}) \simeq \frac{9\sigma_I^2}{\mu_I^4} \tag{21}$$

電流値の平均は W に比例し，標準偏差の平均に対する割合は $\sqrt{W}$ に反比例する [4], [5] ので，

$$V(delay) \simeq \frac{9\sigma_I^2}{\mu_I^4} \propto \frac{W}{W^4} = \frac{1}{W^3} \tag{22}$$

さらに正規分布の性質により，遅延時間は C_{load} の二乗に比例する，つまり

$$V(delay) \propto (LWC_{ox})^2 \propto W^2 \tag{23}$$

式 22，23 より，回路の遅延時間の標準偏差 σ_d は，以下のように定式化できる.

$$\sigma_d = \beta \sqrt{\sum_{i=1}^{n} \frac{W_i^2}{W_{i-1}^3}} \tag{24}$$

3.3 サイジングレートの決定シナリオ

目的関数を最大化するゲートサイズ W を求めた時，サイジングファクターが各段で異なることも考えられる．そのため，ここで各段におけるサイジングファクターの比，サイジングレート k_{i-1} を以下のように定義する．

$$k_{i-1}\frac{W_i}{W_{i-1}} = \frac{W_{i+1}}{W_i} \Leftrightarrow k_{i-1} = \frac{W_{i-1}W_{i+1}}{W_i} \tag{25}$$

なお，ロジカルエフォートを用いた従来手法では，

$$k_{i-1}\frac{W_{i-1}A}{W_{i-1}} = \frac{W_{i-1}A^2}{W_{i-1}A} \Leftrightarrow k_{i-1} = 1 \tag{26}$$

が成り立つ [2]．よって，全ての段において k は 1 である．

ここで，各段のサイジングレートの決定にあたり，解析的な導出が困難であったため，非線形計画問題として MATLAB を用いて導出した．

4. 実験的手法によるサイジングレートの決定

4.1 目　　的

与えられた負荷容量 C_{load}，ターゲット遅延時間 T_0 において，目的関数を最大化するゲートサイズを求め，k_i を得る．また，ロジカルエフォートを用いた従来手法と，提案手法を用いた場合のタイミング歩留りの比較を行う．

4.2 内容及び手順

実験に用いる回路は，図 4 に示すインバータの直列接続である．使用するプロセスパラメータは，ASPLA90nm のものを使用する．遅延ばらつきは，実測からのデータを用いた [6]．nMOS トランジスタ及び pMOS トランジスタサイズは等しいものと仮定し，初段のゲートサイズは，ASPLA から提供されているセルライブラリの，駆動能力最小のインバータのゲートサイズとする．また，各実験において初段のゲートサイズは変化しない．

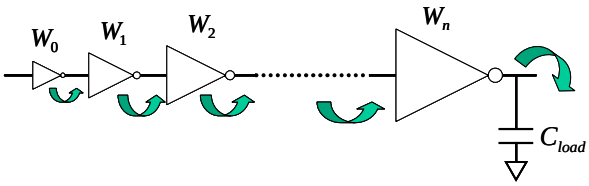

図 4　実験に用いる回路

以上の条件で，与えられた C_{load}，T_0 において，目的関数を最大化するゲートサイズ，ゲート段数を求め，そのときの k_i，及びタイミング歩留りを得る．

4.3 結　　果

図 5〜図 8 にサイジングレートの結果を示す．図 9 は，従来手法を用いた場合，提案手法を用いた場合，それぞれにおいて選択されるゲート段数を示す．なお従来手法を用いた場合の段数は，ターゲット遅延時間によって変化しない．また図 10 に，従来手法を用いた場合に対する，提案手法を用いた場合の歩留り向上率を示す．全ての図において，ターゲット遅延時間の軸における Db および負荷容量の軸における Cb はそれぞれ、初段のゲートが同じサイズのゲートを駆動する遅延時間，初段のゲートの入力容量を表す．

なお，ターゲット遅延時間が小さく，かつ負荷容量が大きい一部分については，歩留りが 50%を割り込む（目的関数が負の値になる）ため今回は無視する．

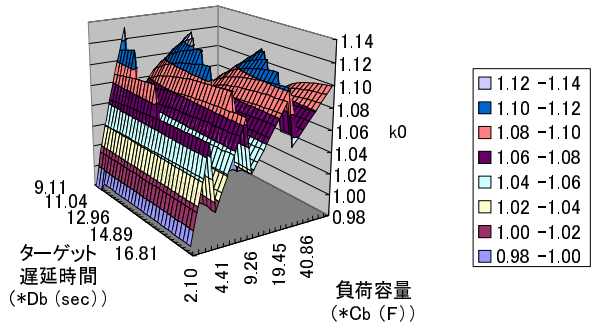

図 5　サイジングレート k0

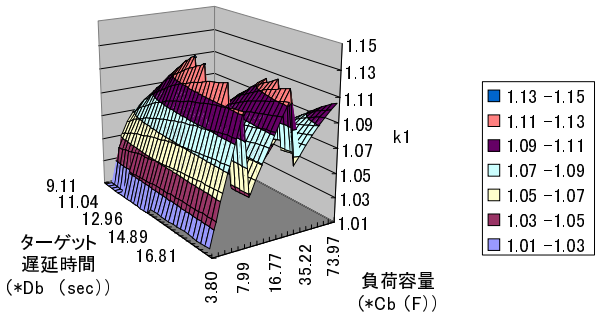

図 6　サイジングレート k1

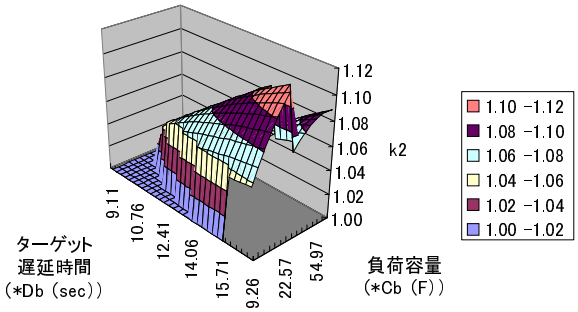

図 7　サイジングレート k2

図 5〜図 8 より，k の値は負荷容量によって大きく変化しているのが分かる．$k1$ においては，1 より小さな値をとるときもあった．また，図 11 より，提案手法での段数が変化する境で，$k0$ の値が大きくなっていく傾向が見られる．この傾向は，$k1$，$k2$，$k3$ においても同様であった．さらに図 10 より歩留り向上率については，従来手法での段数（図 9 左参照）が変化する境において値が高くなる傾向が見られる．また，段数が大きい（負荷容量が大きい）ときほど，ターゲット遅延時間が大きなところで差が出てくる傾向が見られる．

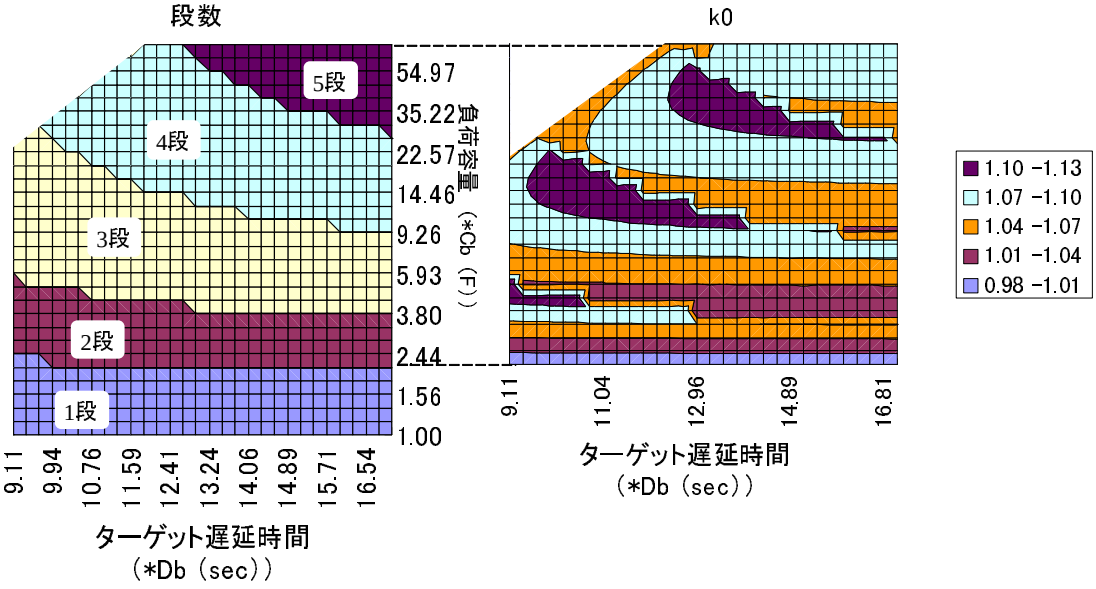

図 11　段数と k0 の関係

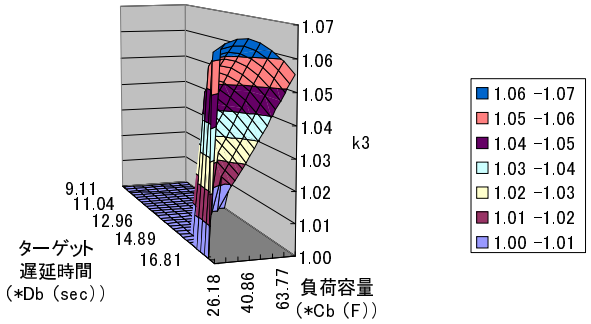

図 8　サイジングレート k3

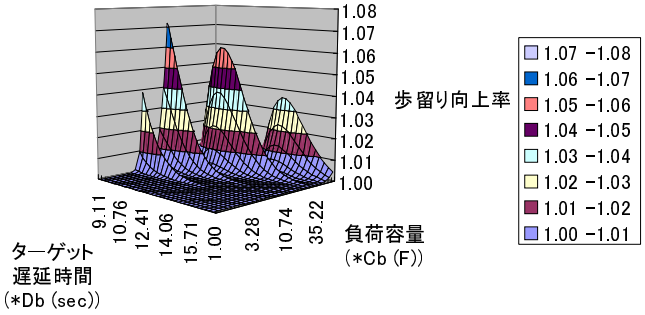

図 10　タイミング歩留りの向上率

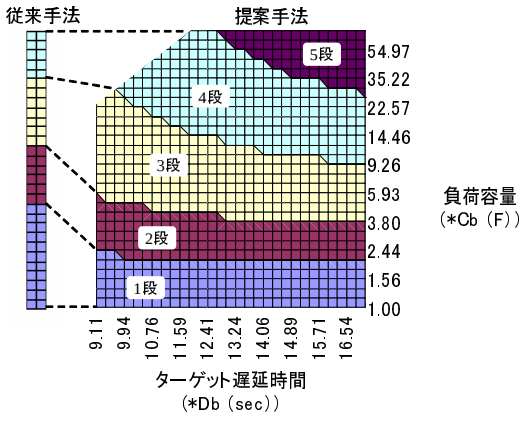

図 9　ゲート段数

4.4　考　　察

今回行ったサイジングレートの実験的決定手法では，提案手法を用いた場合，最大 1.07 倍の歩留り向上率が確認できた．ここで，バス幅 m-bit のバスにおいて歩留りがどのように変化するかを考察する（図 12 参照）．

バスのような並列回路では，m 本のパス全てにおいて，ターゲット遅延時間内に信号が伝播されなければならない．m 本のパスの内，1 本でもターゲット遅延時間を超えるパスがあれば，そのチップが不良品になると仮定すると，チップの歩留り Y_{bus} は次のように表される．

$$Y_{bus} = P^m \tag{27}$$

ここで P は，1 本のパスにおいて，信号がターゲット遅延時間内に伝播される確率を示す．

バス幅を，1, 2, 4, …, 32bit と変化させたとき，提案手法・従来手法それぞれを用いた場合の歩留りがどのように変化するかを図 13 に示す．図からバス幅が増加するに従って，両者ともに歩留りは低下していくが，その差は徐々に大きくなっていくことが確認できる．

なお，この条件時に選択されたゲート段数は 3 段で，サイジングレート k_0，k_1 はそれぞれ 1.10，1.09 である．

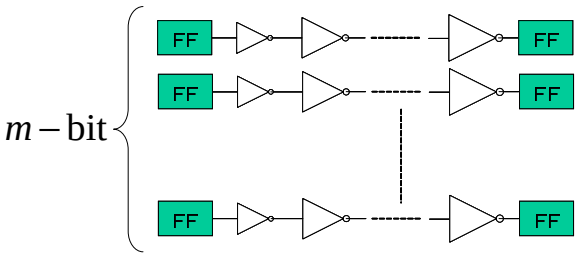

図 12　mbit のバス

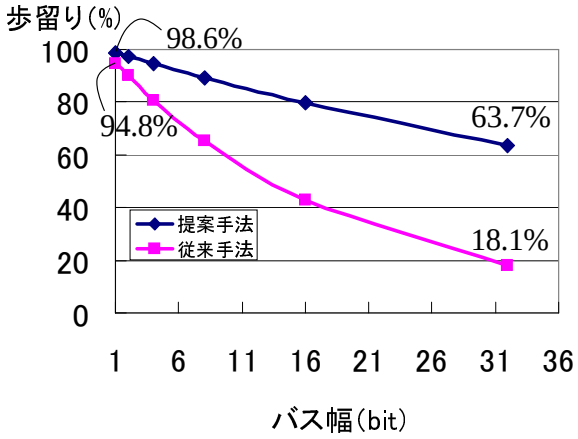

図 13　バス幅と歩留り

5. おわりに

本稿では，遅延時間ばらつきによる，チップの歩留り低下を抑止するための新しいゲートサイジング手法の提案を行った．タイミング歩留りを最大化するゲートサイズを数値的に求めた結果，サイジングファクターは各段によって異なり，また，ターゲット遅延時間，負荷容量によっても異なることを確認した．さらに，歩留りの向上において有効であることが確認できた．

今後 SPICE を用いて，より厳密なモデルでの提案手法の有効性検証が必要である．

謝辞　本研究は東京大学大規模集積システム設計教育研究センターを通し，株式会社半導体理工学研究センター，富士通株式会社，松下電器産業株式会社，NEC エレクトロニクス株式会社，株式会社ルネサステクノロジ，株式会社東芝の協力で行われたものである．また，本研究は一部科学研究費補助金（学術創成研究費（2））（課題番号:14GS0218）による．

文　献

[1] I. Sutherland, B. Sproull and D. Harris, “Losical Effort: Designing Fast CMOS Circuits,” Morgan Kaufmann Publisher, 1999.

[2] R. J. Baker, “CMOS: Circuit Design, Layout, and Simulation,” IEEE, Oct. 2004.

[3] M. Eisele, J. Berthold, D. Schmitt-Landsiedel, and R. Mahnkopf, “The Impact of Intra-Die Device Parameter Variations on Path Delays and on the Design for Yield of Low Voltage Digital Circuits,” International Symposium on Low Power Electronics and Design, Digest, of Technical Papers, pp.237-242, 1996.

[4] H. Masuda, S. Ohkawa, A. Kurokawa and M. Aoki, “Challenge: Variability Characterization and Modeling for 65- to 90-nm Processes,” IEEE CICC, 2005.

[5] Y. Taur and T. H. Ning, Fundamentals of Modern VLSI Devices, Cambridge University Press, 1998.

[6] 山口 聖貴, Yang Yuan, 樽見 幸祐, 坂本 良太, 室山 真徳, 石原 亨, 安浦 寛人, “90nmCMOS 回路における遅延および電力ばらつきの実測と解析,” 電子情報通信学会技術研究報告, VLD2006-13(2006-5), pp.41-46, May. 2006.