

90nmCMOS回路における遅延・電力ばらつきのゲート 段数およびゲート幅依存性に関する考察

山口, 聖貴
九州大学大学院システム情報科学府

Yang, Yuan
School of Automation and Information Engineering, Xi'an University of Technology

坂本, 良太
九州大学大学院システム情報科学府

室山, 真徳
九州大学システムLSI 研究センター

他

<http://hdl.handle.net/2324/6363>

出版情報 : 電子情報通信学会技術研究報告, VLD2006-118, pp.73-78, 2007-03. 電気情報通信学会
バージョン :
権利関係 :



90nmCMOS 回路における遅延・電力ばらつきのゲート段数 およびゲート幅依存性に関する考察

山口 聖貴[†] YuanYang^{††} 坂本 良太[†] 室山 真徳^{†††}
石原 亨^{†††} 安浦 寛人^{††††}

[†]九州大学大学院 システム情報科学府 〒819-0395 福岡市西区元岡 744

^{††}西安理工大学 自動化・情報工程学院 710048 西安市金花南路 5

^{†††}九州大学 システム LSI 研究センター 〒814-0001 福岡市早良区百道浜 3-8-33

^{††††}九州大学大学院 システム情報科学研究院 〒819-0395 福岡市西区元岡 744

E-mail: †{masaki,sakamoto}@c.csce.kyushu-u.ac.jp, ††yangyuan@xaut.edu.cn,

†††{muroyama,ishihara}@slrc.kyushu-u.ac.jp, ††††yasuura@c.csce.kyushu-u.ac.jp

あらまし 近年、製造ばらつきに起因する回路性能のばらつきが顕著になってきている。回路性能のばらつきは歩留まりを低下させるため、ばらつきに対処する設計手法が必要である。設計時にばらつきを考慮するためには、まず性能ばらつきの実態を確認する必要がある。本稿では、90nm プロセスを用いた CMOS 回路において実測を行い、遅延・電力ばらつきについて解析を行った。測定対象としてゲート段数、ゲート幅の異なるリングオシレータを用いた。ばらつきはチップ内およびチップ間に分けて測定し、ゲート段数およびゲート幅が遅延・電力ばらつきに与える影響について考察を行った。実測結果から、ゲート段数を増やすことで遅延ばらつきが抑えられることを確認した。また、ゲート幅を大きいとき遅延・電力ばらつきも大きいという実測結果が得られ、この要因について考察した。

キーワード 遅延ばらつき、電力ばらつき、Deep Sub-Micron、CMOS

A Study of Dependence on Gate Depth/Width for Analyzing Delay/Power Variations in 90nm CMOS Circuits

Masaki YAMAGUCHI[†], Yuan YANG^{††}, Ryota SAKAMOTO[†], Masanori MUROYAMA^{†††},
Tohru ISHIIHARA^{†††}, and Hiroto YASUURA^{††††}

[†] Graduate School of Information Science and Electrical Engineering, Kyushu University
744 Motooka, Nishi-ku, Fukuoka 819-0395 Japan

^{††} School of Automation and Information Engineering, Xi'an University of Technology
5 Jinhua South Road, Xi'an, 710048 China

^{†††} System LSI Research Center, Kyushu University

3-8-33 Momochihama, Sawara-ku, Fukuoka 814-0001 Japan

^{††††} Graduate School of Information Science and Electrical Engineering, Kyushu University
744 Motooka, Nishi-ku, Fukuoka 819-0395 Japan

E-mail: †{masaki,sakamoto}@c.csce.kyushu-u.ac.jp, ††yangyuan@xaut.edu.cn,

†††{muroyama,ishihara}@slrc.kyushu-u.ac.jp, ††††yasuura@c.csce.kyushu-u.ac.jp

Abstract As the transistor size shrinks, process variations increase. Under the existence of the variations, an existing design flow will not be effective for minimizing the worst-case circuit delay and average power consumption. As the first step toward developing a better solution, this paper investigates basic characteristics of the delay/power variation. We measured delay/power consumption values for 5 kinds of ring oscillator circuits with some gate depth/width designed with 90nm CMOS technology. We analyzed delay/power variations dependence on gate depth/width. The measurement results demonstrated that delay variations can be suppressed by increasing the number of gate steps and showed that delay/power variations increase by enlarging gate width.

Key words Delay Variation, Power Variation, Deep Sub-Micron, CMOS

1. はじめに

集積回路の製造技術の進歩によってトランジスタの微細化が進み、集積回路の小型化や高速化が図られてきたが、製造プロセスにおいて発生するイオン注入条件や熱処理温度などの製造上のばらつきが顕著になってきた [1]。製造上のばらつきは、ゲート長や酸化膜厚などの素子の形状や、不純物濃度などをばらつかせ、結果閾値電圧やドレイン電流などといった素子の電気的特性をばらつかせる。回路を構成する素子の電気的特性がばらつくと遅延・電力などといった回路性能もばらつくことになる。そのため、仕様どおりに動作しない回路が増加し、歩留まりを低下させ、コストの増大を引き起こすという問題が生じている。

従来から回路性能がばらついていても一定個数以上は仕様を満たすように、マージンをもたせた設計が行われている。しかし、既存の設計手法で設計を行った場合には微細化とともにマージンは相対的に大きくなってしまふ。微細なプロセスは大きなマージンのために、古いプロセスよりも回路性能が劣化してしまう可能性がある。性能を劣化させずに歩留まりを向上させるためには、マージンを小さくするなどのばらつきに対処するための設計手法が必要である。今後ばらつきに対処する設計手法の提案をするためには、性能ばらつきに影響を与える要因などといった性能ばらつきの実態を確認する必要がある。性能ばらつきの実態を確認するには、実際にチップを実測して性能ばらつき基礎データを得る必要がある。

以上の背景から、特に遅延・電力ばらつき基礎データを得ることを目的として、本稿では 90nm プロセスで設計された CMOS 回路の遅延・電力を実測し、遅延・電力ばらつきについて解析を行った。測定対象としてゲート段数、ゲート幅の異なる 5 種類のリングオシレータを用いた。それぞれの発振周波数、動作時の消費電力および待機時の消費電力のばらつきについて実測し、ゲート段数およびゲート幅が遅延・電力ばらつきに与える影響について考察を行った。また、ばらつきはチップ内およびチップ間に分けて実測・解析を行った。

本稿は次のような構成になっている。第 2 章では CMOS 回路における遅延と電力について述べる。第 3 章では測定するリングオシレータ回路について説明し、その測定方法について述べる。第 4 章では遅延・電力ばらつきの実測結果を示す。第 5 章で遅延・電力ばらつきゲート段数、ゲート幅依存性について考察を行う。第 6 章で本稿をまとめる。

2. CMOS 回路における遅延と電力

ここでは、今回の測定回路に用いられている CMOS インバータ、リングオシレータにおける遅延および電力について述べる。

2.1 CMOS インバータ

CMOS インバータは最も基本的な CMOS 回路であり、入力信号を反転したものを出力する回路である。

2.1.1 遅延時間

CMOS インバータ 1 段の遅延時間 d_{inv} は次式で表される [2]:

$$d_{inv} \propto \frac{C_{load}V_{dd}}{\mu C_{ox}(W/L)(V_{dd} - V_{th})^\alpha} \quad (1)$$

ここで μ はキャリアの移動度、 C_{load} はインバータの出力負荷容量、 C_{ox} は単位面積あたりのゲート酸化膜容量、 W はゲート幅、 L はゲート長、 V_{dd} は電源電圧、 V_{th} は閾値電圧、 α は短チャネル効果に依存し 1~2 の値をとる [3]。リングオシレータは全て同じ大きさのインバータで構成されているので格段の出力負荷容量 C_{load} は等しく次式のように表される [4]:

$$C_{load} = C_{ox}WL. \quad (2)$$

式 (2) を式 (1) に代入して整理すると

$$d_{inv} \propto \frac{L^2V_{dd}}{\mu(V_{dd} - V_{th})^\alpha} \quad (3)$$

となる。

2.1.2 消費電力

CMOS インバータの消費電力 P_{inv} は次式で表される:

$$P_{inv} = P_{inv_sw} + P_{inv_sh} + P_{inv_leak} \quad (4)$$

P_{inv_sw} は負荷容量を充放電するために消費される電力、 P_{inv_sh} は貫通電流による消費電力、 P_{inv_leak} はリーク電流による消費電力である。90nm プロセスでは、 P_{inv_sw} と比較して P_{inv_sh} の割合が十分に小さい [1]。よって

$$P_{inv} \doteq P_{inv_sw} + P_{inv_leak} \quad (5)$$

と表すことができる。

P_{inv_sw} は次式で表される [4]:

$$P_{inv_sw} = s_w C_{load} V_{dd}^2 \quad (6)$$

ここで、 s_w は単位時間当たりのスイッチング回数である。

P_{inv_leak} は次式で表される [5]:

$$P_{inv_leak} = I_0 10^{\frac{-V_{th}}{S}} V_{dd} \quad (7)$$

ここで I_0 は閾値電圧におけるドレイン電流である。 S はサブスレッショルド・スロープと呼ばれるもので温度に依存する値である。 I_0 は W と比例関係にあるため P_{inv_leak} も W と比例関係にある [4]。

2.2 リングオシレータ

リングオシレータとはインバータを奇数個直列に接続することによって発振機能を持たせた回路である。リングオシレータの遅延・電力を解析することによって、インバータ 1 段の遅延・電力を間接的に解析することができる。今回は NAND ゲート 1 個とインバータ偶数個を直列に接続し発振制御機能を持ったリングオシレータを用いる (図 1 参照)。CTRL が 0 のとき、NAND ゲートの出力は 1 で固定されるためこの回路は発振しない。CTRL が 1 のとき、NAND ゲートがインバータのような構造をとるのでこの回路は発振する。また NAND ゲートは、一方の入力が 1 のときインバータのような構造をとるので、本稿では NAND ゲートの遅延・電力とインバータの遅延・電力は等しいと仮定する。

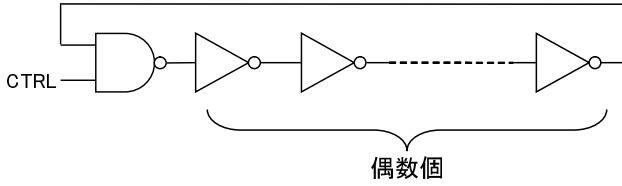


図 1 発振制御機能を持つリングオシレータ

2.2.1 発振周波数

リングオシレータの発振周波数はインバータ 1 段あたりの遅延によって決まる．リングオシレータはループを 2 周すると 1 周期となるので，リングオシレータの発振周波数 f_{rosc} は式 (1) を用いると次式で表される：

$$f_{rosc} = \frac{1}{2Nd_{inv}} \quad (8)$$

$$f_{rosc} \propto \frac{\mu(V_{dd} - V_{th})^\alpha}{2NL^2V_{dd}} \quad (9)$$

ここで N はリングオシレータの段数である．

2.2.2 消費電力

式 (5) と同様に，リングオシレータの消費電力 P_{rosc} は次式で表される：

$$P_{rosc} \doteq P_{rosc_sw} + P_{rosc_leak} . \quad (10)$$

負荷容量の充放電電流による消費電力 P_{rosc_sw} は次式で表される：

$$P_{rosc_sw} = \sum_{i=1}^N s_{wi} C_i V_{dd}^2 \quad (11)$$

s_{wi} は i 段目のインバータの単位時間当たりのスイッチング回数， C_i は負荷容量である．ここで，リングオシレータは端子間の配線以外は全てのレイアウトパターンが同じインバータで構成されており，端子間配線もすべてほぼ同じ容量であるので C_i と s_{wi} は以下のように置き換えられる：

$$C_1 = C_2 = \dots = C_N = C_{load} \quad (12)$$

$$s_{w1} = s_{w2} = \dots = s_{wN} = f_{rosc} . \quad (13)$$

よって P_{rosc_sw} は式 (2) を用いて次式で表される：

$$P_{rosc_sw} = N f_{rosc} C_{load} V_{dd}^2 \quad (14)$$

$$P_{rosc_sw} = N f_{rosc} C_{ox} W L V_{dd}^2 . \quad (15)$$

リーク電流による消費電力 P_{rosc_leak} は式 (7) を用いて次式で表される：

$$P_{rosc_leak} = N P_{inv_leak} \quad (16)$$

$$= N I_0 10^{\frac{V_{th}}{S}} V_{dd} . \quad (17)$$

3. 測定回路と測定方法

測定回路は 63 列のリングオシレータのブロックが 5 つ設計されており，段数・ゲート幅を変えたときの遅延時間・消費電力の比較ができるようになっている．測定回路は基本回路と拡張回路の 2 つからなる．基本回路は比較対象となるリングオシレータが設計されている．拡張回路は基本回路と段数・ゲート幅が異なるリングオシレータが 4 ブロック設計されている．

3.1 測定回路の構造

3.1.1 基本回路

基本回路の回路図を図 2 に示す．199 段のリングオシレータを $Rosc1$ から $Rosc63$ まで 63 列並列に接続したものとデコーダ Dec ，マルチプレクサ Mux からなる．チップ内でのばらつきを見るため，回路構造，レイアウト，向きが同じ設計の $Rosc$ を 63 列並列に接続している．全ての $Rosc$ が発振しない sleep モードと，63 列のうち 1 列の $Rosc$ が動作する run モードがあり，sleep モードではスイッチングが行われず負荷容量を充放電する電流が流れない．よって sleep モードではリーク電流を測定することができる． Dec で sleep モードと run モードの切り替えやどの $Rosc$ を発振させるかを制御する． Mux でどの $Rosc$ の出力を観測するかを制御する．また， Dec と Mux に供給される電源 VDD と $Rosc$ に供給される電源 VDD_B はそれぞれ独立しているので， $Rosc$ 部分のみの消費電力を測定することが可能である．

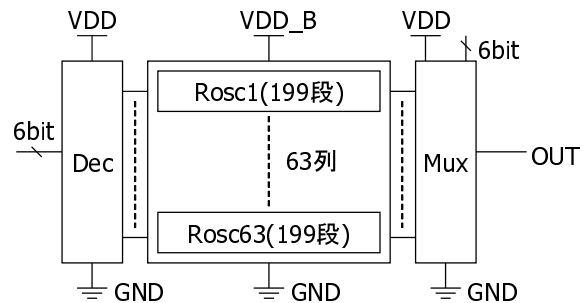


図 2 基本回路

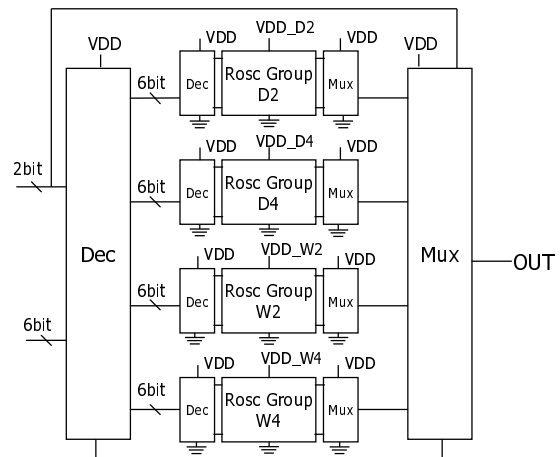


図 3 拡張回路

3.1.2 拡張回路

拡張回路を図 3 に示す。リングオシレータブロック Rosc Group D2, Rosc Group D4, Rosc Group S2, Rosc Group S4 とデコーダ Dec, マルチプレクサ Mux からなる。Rosc Group D2 は 399 段の Rosc を 63 列並列に接続したものであり、インバータのゲート幅は基本回路のインバータのゲート幅と同じである。Rosc Group D4 は 799 段の Rosc を 63 列並列に接続したものであり、インバータのゲート幅は基本回路のインバータのゲート幅と同じである。Rosc Group W2 は各段のインバータのゲート幅を基本回路のインバータのゲート幅の 2 倍に設定した Rosc である。段数は 199 段である。Rosc Group W4 は各段のインバータのゲート幅を基本回路のインバータのゲート幅の 4 倍に設定した Rosc である。段数は 199 段である。基本回路と同様に、各 Rosc ブロックにおいて sleep モードと run モードがある。Dec によって 4 つのブロックのうちどのブロックを動作させるか、またどの Rosc を発振させるかを制御する。Mux でどのブロック、どの Rosc からの出力を観測するかを制御する。各 Dec, Mux に供給される電源 VDD と各 Rosc ブロックに供給される電源 VDD.D2, VDD.D4, VDD.W2, VDD.W4 はそれぞれ独立しているので、各 Rosc ブロック部分のみの消費電力を測定することが可能である。

3.2 測定項目

この回路では、ゲート段数・ゲート幅の異なる 5 種類のリングオシレータの発振周波数と消費電力を測定する。発振周波数は、出力波形を観測することによって測定する。消費電力は、動作時に消費されるスイッチング電力と、待機時に消費されるリーク電力の 2 種類を測定する。スイッチング電力は、Dec によって 63 列のうち 1 列だけリングオシレータを発振させた状態で測定する。リーク電力は、Dec によって 63 列全てのリングオシレータを発振させない状態で測定する。一つのブロックのなかに 63 列のリングオシレータが設計されているので、各リングオシレータの遅延・電力を比較することによって、各ブロックにおいてチップ内の遅延・電力ばらつきを測定することができる。また、今回は同じ回路が設計されたチップが 30 個あるので、同じ位置に設計されているリングオシレータの遅延・電力をチップごとに比較することによって、チップ間における遅延・電力ばらつきを測定することができる。また、ゲート段数・ゲート幅の異なるリングオシレータの遅延・電力ばらつきの比較により、ゲート段数・ゲート幅が遅延・電力ばらつきに与える影響について考察することが可能である。

3.3 測定方法

チップ実測の測定系を図 4 に示す。ここで VDDR とは、各リングオシレータ用の電源 VDD.B, VDD.D2, VDD.D4, VDD.W2, VDD.W4 のことを示している。電源装置から電源 VDD を与える。VDDR は、測定対象とする電源のみ電源装置からデジタルマルチメータを通して与える。そうすることでリングオシレータに供給される電流を測定し、消費電力を求めることができる。電源端子の電圧を安定させるため、電源とグラウンドの間にはキャパシタを接続する。測定対象以外のリング

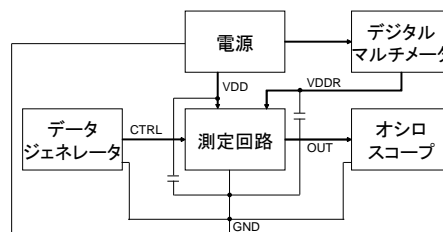


図 4 測定系

表 1 測定機器

区分	機器名	メーカー
オシロスコープ	TDS7254B	テクトロニクス
データジェネレータ	DG2020A	テクトロニクス
デジタルマルチメータ	DL-2050	ケンウッド
電源装置	PW18-1.8AQ	ケンウッド

オシレータブロックの電源はグラウンドに接続し、他のブロックの影響を受けないようにする。Dec, Mux の入力パターンはデータジェネレータによって与える。回路からの出力波形 OUT をオシロスコープで観測することによって発振周波数を求める。

3.4 測定機器

測定に使用する機器を表 1 に示す。今回使用したオシロスコープの帯域は $2.5GHz$ 、サンプルレートは $10GS/s$ である。また、デジタルマルチメータの直流電流分解能は $0.1\mu A$ である。

4. 遅延・電力ばらつきの実測結果

4.1 平均値の比較

図 5, 6 に周波数、スイッチング電力、リーク電力の全リングオシレータにおける平均値の比較を示す。ここで示す周波数、スイッチング電力、リーク電力は 199 段、ゲート幅 W の値を 1 として正規化した値である。 W とは、基本回路のインバータのゲート幅を表す定数である。

式 (7)、式 (9)、式 (15)、式 (17) より、リングオシレータにおいてゲート段数を k 倍にしたとき、周波数は約 $1/k$ 倍、リーク電力は約 k 倍となり、スイッチング電力は変化しない。また、ゲート幅を k 倍にしたとき、スイッチング電力、リーク電力は約 k 倍となり、周波数は変化しない。図 5, 6 より、実測結果はこれらのモデルとほぼ一致していることが確認できる。

4.2 度数分布の比較

図 7~図 10 に基本回路における周波数、スイッチング電力、リーク電力の度数分布を示す。周波数、スイッチング電力はチップ内とチップ間の分布を示す。リーク電力は 1 列ごとにリーク電力を測定することができず、チップ内ばらつきを測定することができないため、チップ間の分布のみを示す。ここで示す周波数、スイッチング電力、リーク電力の値は平均を 1 として正規化した値である。また、度数は定数を基準に正規化した値である。ここでは代表値として 199 段、ゲート幅 W のリングオシレータにおける分布を示しているが、他の 4 種類のリングオシレータにおいても同じ様な傾向を示している。

図 7~図 10 より、周波数、スイッチング電力のチップ内にお

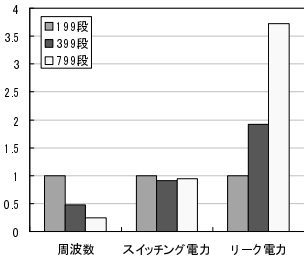


図 5 平均値の比較 (段数)

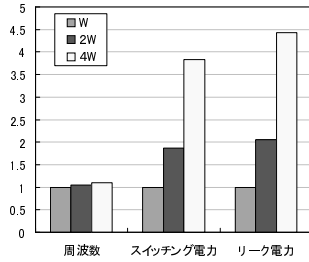


図 6 平均値の比較 (ゲート幅)

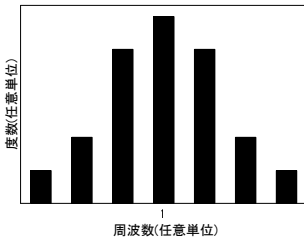


図 7 周波数の度数分布 (チップ内)

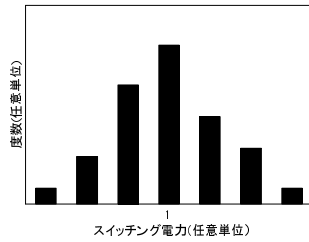


図 8 スイッチング電力の度数分布 (チップ内)

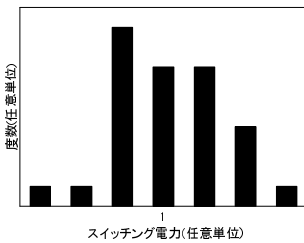


図 9 スイッチング電力の度数分布 (チップ間)

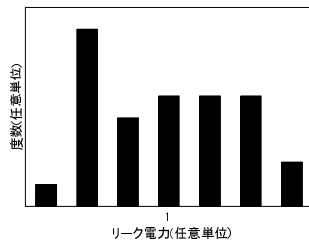


図 10 リーク電力の度数分布 (チップ間)

表 2 標準偏差の比較

	f_{rosc}	P_{total}	P_{sw}	P_{leak}
チップ内	1.00	0.784	0.899	-
チップ間	6.43	8.82	6.23	30.7

ける分布は、正規分布に近いような形をとっていることが確認できる。周波数、スイッチング電力、リーク電力のチップ間における分布は正規分布のような形はとっておらず、チップ内における分布とは異なる形をとっている。したがって、チップ内ばらつきとチップ間ばらつきは性質が異なると考えられる。

5. 考 察

5.1 チップ内・チップ間ばらつきの比較

表 2 に基本回路におけるばらつきの大きさの比較を示す。ばらつきの大きさの指標としてここでは変動係数を用いる。変動係数とは標準偏差を平均値で割った値である。また、 f_{rosc} は発振周波数、 P_{total} は総消費電力、 P_{sw} はスイッチング電力、 P_{leak} はリーク電力の標準偏差を示し、それぞれの値はチップ内の周波数の標準偏差を 1 として正規化したものである。ここでは代表値として 199 段、ゲート幅 W のリングオシレータに

おけるばらつきの比較を行っているが、他の 4 種類のリングオシレータにおいても同じ様な傾向を示している。

表 2 より、チップ内とチップ間でばらつきの大きさを比較すると、チップ内よりチップ間の方がばらつきが大きいことが確認できる。また、各パラメータごとにばらつきの大きさを比較すると、リーク電力のばらつきが最も大きいことが確認できる。今回はリーク電力が総消費電力に占める割合が小さいので、結果的に総消費電力のばらつきは大きくなっていない。総消費電力に占めるリーク電力の割合が大きい回路のときはリーク電力のばらつきに対処することが重要であると考えられる。

5.2 ゲート段数依存性に関する考察

図 11～図 13 に遅延時間、スイッチング電力、リーク電力のばらつきの段数による変化を示す。遅延時間は、式 (9) を用いて発振周波数から 1 段あたりの遅延時間を導出した。また、ばらつきの大きさの指標としてここでは変動係数を用いる。周波数とスイッチング電力の変動係数は実測値とシミュレーション値を示す。それぞれの値は 199 段の変動係数を 1 として正規化したものである。

ここで示すシミュレーション値は、閾値電圧が正規分布に従ってばらつくと仮定して、回路シミュレータのモンテカル口解析を用いて見積もった値である。回路シミュレータツールはシノプシス社の HSPICE を使用した。またシミュレーションに用いたネットリストは LPE(Layout Parameter Extraction) を実行して得られたネットリストを用いた。LPE とはレイアウトからトランジスタや配線の大きさや寄生成分を抽出することであり、配線に寄生する抵抗・容量を考慮した見積もりを行った。LPE ツールはメンター社の Calibre を使用した。

図 11～図 13 から、遅延ばらつき、スイッチング電力ばらつき、リーク電力ばらつきはシミュレーション値と近い値を示していることが確認できる。ゲート段数を増やすことによって遅延ばらつきは相対的に小さくなっていることがわかる。よって、ゲート段数を増やすことによって 1 段あたりの遅延ばらつきを抑えることができる。スイッチング電力、リーク電力のばらつきは、ゲート段数を増やしてもあまり変化が見られないため、ゲート段数が電力ばらつきに与える影響は小さいと考えられる。

5.3 ゲート幅依存性に関する考察

図 14～図 16 に遅延時間、スイッチング電力のばらつきのゲート幅による変化を示す。ばらつきの大きさの指標として変動係数を用いる。変動係数は実測値とシミュレーション値を示す。シミュレーション値はゲート段数と同様、閾値電圧が正規分布に従ってばらつくと仮定して、回路シミュレータのモンテカル口解析を用いて見積もった値である。また、それぞれの値はゲート幅 W の変動係数を 1 として正規化したものである。

図 14～図 16 から、ゲート幅が大きいときばらつきも大きくなっていることが確認できる。シミュレーション値も傾向は比較的似ている。しかし [6] では、MOS トランジスタのオン電流のばらつきが $1/\sqrt{LW}$ に比例することを実測結果から導いている。ゲート幅が大きいときばらつきも大きくなるという結果が得られた要因として以下のことが考えられる。

(1) 温度の影響

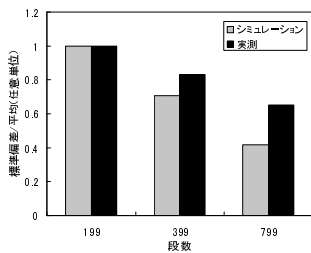


図 11 遅延ばらつきの段数依存性 (チップ内)

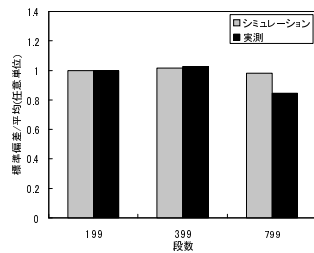


図 12 スwitching電力ばらつきの段数依存性 (チップ間)

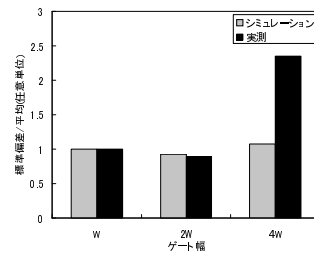


図 15 スwitching電力ばらつきのゲート幅依存性 (チップ内)

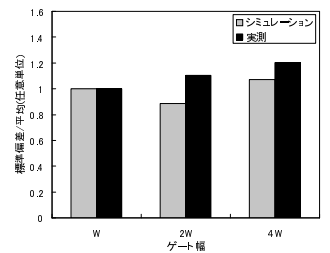


図 16 リーク電力ばらつきのゲート幅依存性 (チップ間)

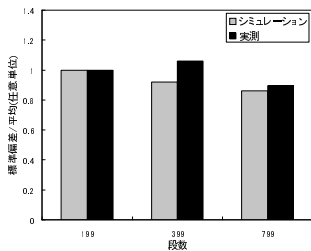


図 13 リーク電力ばらつきの段数依存性 (チップ間)

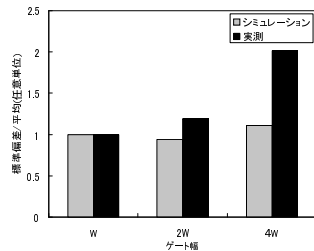


図 14 周波数のゲート幅依存性 (チップ内)

延・電力ばらつきの実測を行い、ゲート段数、ゲート幅がばらつきに与える影響について考察を行った。ゲート段数を増やすことによって遅延ばらつきを抑えられることを確認した。また、ゲート幅が大きいとき性能ばらつきが大きいという測定結果が得られ、この要因について考察を行った。

今後の課題として、ゲート幅が大きいとき性能ばらつきが大きくなる要因を解析するため、温度の影響やレイアウトの影響などが性能ばらつきに与える影響を考察する必要がある。

謝辞 本チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター、富士通株式会社、松下電器産業株式会社、NEC エレクトロニクス株式会社、株式会社ルネサステクノロジ、株式会社東芝の協力で行われたものである。また、本研究は日本ケイデンス株式会社、シノプシス株式会社、メンター株式会社の協力で行われたものである。また、本研究は一部科学研究費補助金(学術創成研究費(2))(課題番号:14GS0218)によるものである。

文献

- [1] Neil H. E. Weste, David Harris, "CMOS VLSI DESIGN : A Circuits and Systems Perspective", Addison Wesley, 2004.
- [2] M. Eisele, J. Berthold, D. Schmitt-Landsiedel, and R. Mahnkopf, "The Impact of Intra-Die Device Parameter Variations on Path Delays and on the Design for Yield of Low Voltage Digital Circuits", International Symposium on Low Power Electronics and Design, Digest, of Technical Papers, pp.237-242, 1996.
- [3] T. Sakurai, R. Newton, "Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas", IEEE Journal of Solid-State Circuits, Vol.25, No.2, pp.584-594, Apr.1990.
- [4] Y. Taur and Tak H. Ning, "最新 VLSI の基礎", 芝原 健太郎 (監訳), 丸善, 2002.
- [5] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee, and T. Sakurai, "VTH-Hopping Scheme to Reduce Subthreshold Leakage for Low-Power Processors", IEEE Journal of Solid-State Circuits, Vol.37, No.3, pp.413-419, Mar.2002.
- [6] H. Masuda, S. Ohkawa, A. Kurokawa, and M. Aoki, "Challenge: Variability Characterization and Modeling for 65- to 90-nm Processes", IEEE Custom Integrated Circuits Conference, pp.593-600, 2005.
- [7] 山口 聖貴, Y. Yang, 樽見 幸祐, 坂本 良太, 室山 真徳, 石原 亨, 安浦 寛人, "90nm CMOS 回路における遅延および電力ばらつきの実測と解析", 電子情報通信学会技術研究報告, VLD2006-13(2006-05), pp.41-46, May. 2006.

(2) レイアウト位置の影響

(3) ゲート長ばらつきなど閾値電圧ばらつき以外の影響

5.3.1 温度の影響

今回は、室温を一定になるように設定して測定を行った。しかし、チップ内部やチップ表面の温度を一定にする環境は無いため、リングオシレータの発振時に消費されるスイッチング電力によってチップ内部の温度が上昇し、遅延・電力が変化した可能性が考えられる。特にリーク電力は温度の変化によって指数関数的に変化する。発振時に発生するエネルギーによって温度が変化し、結果的にばらつきが大きくなった可能性が考えられる。

5.3.2 レイアウト位置の影響

レイアウト位置の影響ではばらつきが大きくなったことが考えられる。ゲート幅 W のリングオシレータブロックとゲート幅 $4W$ のリングオシレータブロックは面積が 4 倍異なるため、1 列目と 63 列目の距離も 4 倍遠くなっている。レイアウト位置が性能ばらつきに与える影響が大きく、結果的にゲート幅が大きいときにばらつきが大きくなった可能性がある。

5.3.3 閾値電圧ばらつき以外の影響

ゲート幅が大きいとき、ゲート長ばらつきなどといった閾値電圧ばらつき以外のばらつきの影響が強くなったということが考えられる。一般的に性能ばらつきは、不純物濃度のばらつきによる閾値電圧のばらつきが支配的であると言われているが、ある程度ゲート幅が大きくなったとき、不純物濃度のばらつきよりもゲート長ばらつきや酸化膜厚ばらつきなど他のばらつきが支配的になる可能性がある。

6. おわりに

本稿では 90nm プロセスで設計・試作した CMOS 回路の遅