

LUT型FPGAを対象とした消費電力および遅延の見積もり手法について

中村, 隆二
九州大学大学院システム情報科学府

松永, 裕介
九州大学大学院システム情報科学研究院

<https://hdl.handle.net/2324/6351>

出版情報 : 電子情報通信学会技術研究報告, VLD2006-72, DC2006-59, pp. 1-6, 2006-11. 電子情報通信学会
バージョン :
権利関係 :

LUT型FPGAを対象とした消費電力および遅延の見積もり手法について

中村 隆二[†] 松永 裕介^{††}

[†]九州大学大学院システム情報科学府

〒819-0395 福岡県福岡市西区元岡 744

^{††}九州大学大学院システム情報科学研究院

〒819-0395 福岡県福岡市西区元岡 744

E-mail: [†]{n-ryuji,matsunaga}@c.csce.kyushu-u.ac.jp

あらまし FPGAの消費電力削減と性能向上を実現させるためには、アーキテクチャと回路合成技術の面から考えなければならない。本研究では、消費電力および遅延の削減を目的関数とする配置配線アルゴリズムの提案を目指している。本稿では、そのための基礎技術としてLUT型FPGAを対象とした消費電力および遅延の見積もり手法の提案を行い、精度の評価を行うためにNanosimによる見積もり結果との比較を行った。

キーワード FPGA、EDA、見積もり、消費電力、遅延

On power and delay estimation method for LUT-based FPGAs

Ryuji NAKAMURA[†] and Yusuke MATSUNAGA^{††}

[†] Graduate School of Information Science and Electrical Engineering Kyushu University

744 Motooka, Nishiku, Fukuoka, 819-0395, JAPAN

^{††} Faculty of Information Science and Electrical Engineering Kyushu University

744 Motooka, Nishiku, Fukuoka, 819-0395, JAPAN

E-mail: [†]{n-ryuji,matsunaga}@c.csce.kyushu-u.ac.jp

Abstract It is necessary to consider the architecture and synthesis technology to achieve the power reduction and the performance improvement of FPGA. In this research, it proposes the placement and routing algorithm for power and delay reduction. In this paper, it proposes the power and delay estimation method for LUT-based FPGAs, and it compared with the estimate result by Nanosim to evaluate accuracy.

Key words FPGA、EDA、estimation、power、delay

1. はじめに

少量生産のLSI(Large Scale Integrated circuit)を低コストで実現するための手法の一つに、再構成可能デバイスを用いた設計がある。再構成可能デバイスは、複数の設計に対して同一のデバイスを用いることができ、チップの単価を安く抑えられる可能性がある。現在、広く用いられている再構成可能デバイスにLUT(LookUp Table)型FPGA(Field Programmable Gate Array)がある。LUT型FPGAは、ASIC(Application-Specific Integrated Circuit)と比べて、再構成のために多くのトランジスタを使用しているため、消費電力と性能の面で劣っている欠点がある。消費電力の削減と性能の向上のためには、アーキテクチャと回路合成技術の面から考えなければならない。消費電力削減および遅延最小のための回路合成技術の一つに配置配線がある。

研究目的として開発されたFPGA向けの配置配線ツールに

VPR(Versatile Place and Route)がある[1]。VPRは、論理ブロック間のトラック数が可変であるという仮定のもとで論理ブロック間の配線数最小を目的としている。しかし、FPGAのトラック数は、設計をする前にあらかじめ決められているため、この目的関数は不適切である。また、VPRは、消費電力の見積もりはしておらず、遅延についても簡単な見積もりしかしていない。そこで、本研究では、消費電力および遅延の削減を目的関数とする配置配線アルゴリズムの提案を目指している。本稿では、そのための基礎技術として消費電力および遅延の見積もり手法の提案を行う。

消費電力および遅延を見積もるツールとして、主にSynopsys社のSPICEやNanosimがある。これらのツールは、配置配線情報、デバイス情報、アーキテクチャ情報、回路情報から作成されたネットリストを用いて消費電力と遅延を算出する。そのため、配置配線情報やアーキテクチャ情報が変わるたびにネットリストを変更しなければならないので、時間がかかる。そこ

で、本手法は、SPICE および Nanosim と同じ精度を目指し、かつ、処理時間を短縮することを目指す。本手法では、配置情報、デバイス情報、アーキテクチャ情報、回路情報を入力として与え、各入力から消費電力および遅延に必要なパラメータを求め、それらのパラメータを用いて消費電力と遅延を算出する。そのため、配置配線情報やアーキテクチャ情報が変わっても、変わった情報に依存するパラメータの値のみを変更することで見積もりができる。本稿では、消費電力および遅延の見積もり手法について述べ、基礎実験として、配置配線情報、デバイス情報、アーキテクチャ情報、回路情報を入力として与え、本手法による見積もりと Nanosim による見積もりを行ったので、その比較結果について述べる。

本稿は、以下の構成となっている。第2章で、今回対象とする LUT 型 FPGA アーキテクチャの構造について述べる。第3章で、見積もり手法について述べ、第4章と第5章で消費電力および遅延の算出について述べる。第6章で、今回行った実験について述べ、最後に、第7章でまとめる。

2. LUT 型 FPGA アーキテクチャ

LUT 型 FPGA において一般に用いられているアーキテクチャの1つに、Island Style アーキテクチャがある。Island Style アーキテクチャは、図1のように格子状に並べた論理ブロックと論理ブロック間の配線領域から成る[2]。図1において、CLB(Cluster-based Logic Block) は論理ブロック、Sはスイッチブロック、Cはコネクションブロックを表している。CLB間の配線領域は、チャンネルと呼ばれ、チャンネルの各々の配線をトラックという。論理ブロックは、入力数以下の任意の論理関数を実現するブロックである。スイッチブロックは、水平トラックと垂直トラックが交差する点に位置し、トラック同士を接続する役割を果たす。また、コネクションブロックは、スイッチブロック間に位置し、CLBの入出力ピンとトラックを接続する役割を果たす。次に、今回対象とする各々のブロックの構造について説明する。

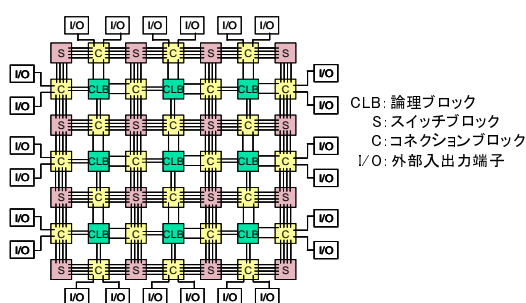


図1 Island Style Architecture

2.1 CLB

CLB は、入力 I 以下の任意の論理関数を実現するブロックである。CLB の構造を図2に示す。CLB は、複数の BLE(Basic Logic Element)、BLE の入力数分のセクター、セクターへの制御信号を記憶するシフトレジスタから成る。CLB の入力 I と BLE から出力 N がセクターの入力信号であり、シフ

トレジスタからの制御信号によって各セクターの出力が決まる。各セクターの出力は、BLE の入力となる。CLB の入力

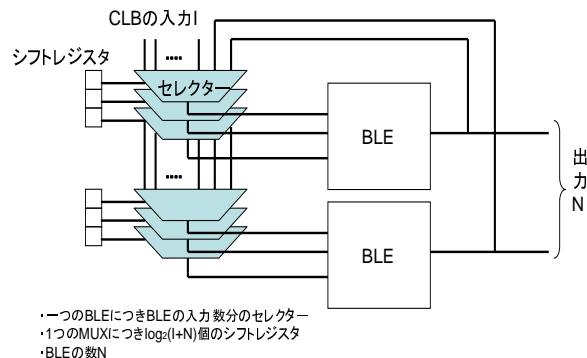


図2 CLB

I とサイズ N 、BLE の入力数 k は、アーキテクチャのパラメータとして与える。ここで述べている CLB のサイズは、CLB 内の BLE 数である。

次に BLE の構造を図3に示す。BLE は、 k 入力の LUT、フリップフロップ、セクター、セクターへの制御信号を記憶するシフトレジスタから成る。次にセクターの構造を図4に

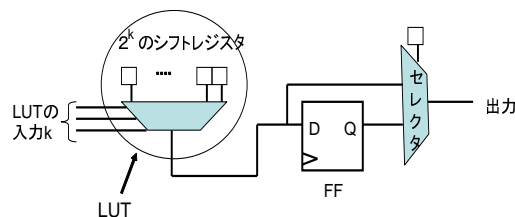


図3 BLE

示す。セクターは、インバータとパストラジスタから成っ

シフトレジスタからの制御信号

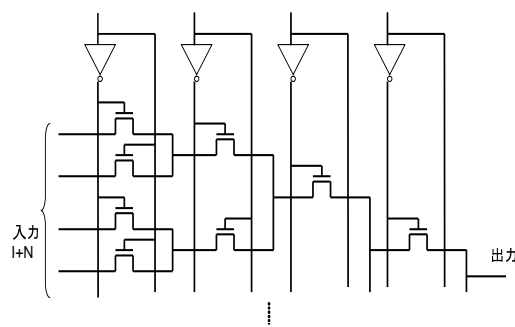


図4 セクター

ており、シフトレジスタからの制御信号によりパストラジスタのゲートを ON/OFF させ、出力を決定する。LUT は、セクターにシフトレジスタが加わった構造をしている。セクターと違い、入力信号がパストラジスタの ON/OFF を決める制御信号になり、シフトレジスタの値が出力となる。

2.2 スイッチブロック

スイッチブロックは、水平トラックと垂直トラックを接続する役割を果たす。スイッチブロックの構造を図5に示す。垂直トラックの総数 W に対して一つの水平トラックが接続できる割合 F_S は、アーキテクチャのパラメータとして与える。つまり、スイッチブロック内のスイッチ数は、 $F_S W$ である。スイッチの構造は、遅延および面積を考慮して様々な構造をとる。図5の場合、信号がどの経路を選んでもパストランジスタ2つとバッファ1つを通る。

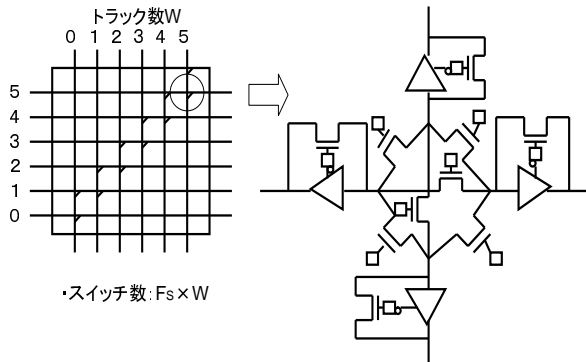


図5 スイッチブロックの構造

2.3 コネクションブロック

コネクションブロックは、入出力ピンとトラックを接続する役割を果たす。コネクションブロックの構造を図6に示す。コネクションブロックもスイッチブロックと同様に、入出力ピンからの配線が接続できるトラックの割合 F_C は、アーキテクチャのパラメータとして与える。入出力ピンからの配線とトラックを接続するスイッチは、遅延と面積を考慮して様々な構造が考えられる。図6の場合、各スイッチ部分は、パストランジスタ1つから成る。

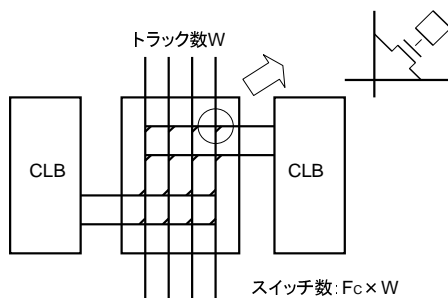


図6 CBLOCK

3. 見積もり手法

本見積もり手法では、デバイス情報、アーキテクチャ情報、回路情報、配置配線情報を入力とする。以下に各々の入力情報の詳細を示す。

デバイス情報

- トランジスタサイズ
- クロック周波数

- 電源電圧
- 配線抵抗、配線容量

アーキテクチャ情報

- クラスタサイズ
- クラスタの入力数
- チャンネルのトラック数
- LUT サイズ
- 入出力ピンからの配線が接続できるトラックの割合
- 垂直トラックが接続できる水平トラックの割合

回路情報

- 信号遷移確率

配置配線情報

- 各クラスタの位置
- クラスタ間の配線の経路

これらの入力をもとに消費電力および遅延の算出フローを図7に示す。図7のように各入力に依存するパラメータを算出し、

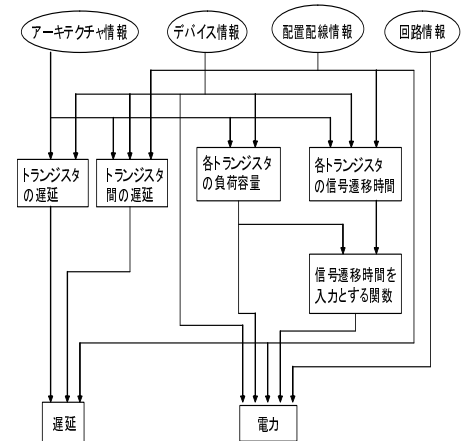


図7 見積もりフロー

そのパラメータを用いて消費電力と遅延を算出する。各トランジスタの負荷容量は、アーキテクチャ情報とトランジスタサイズが決まれば見積もることができる。各トランジスタの信号遷移時間は、アーキテクチャ情報、デバイス情報、配置配線情報から見積もることができ、信号遷移時間を入力とする関数は、負荷容量、信号遷移時間から見積もることができる。これらのパラメータから各トランジスタの消費電力を求め、合計値をとる。入力に変化したとき、その入力に依存するパラメータの値だけを変えて、見積もりを行うことができる。遅延は、トランジスタの遅延と配線の遅延に分けて算出する。トランジスタの遅延は、アーキテクチャの情報とデバイスの情報から見積もり、トランジスタ間の遅延は、さらに配置配線情報を用いて見積もる。パラメータを用いて消費電力と遅延を見積もることで、入力の値が変化したとき、その入力に依存するパラメータのみ変えることで見積もりを行うことができる。以下の章で、各トランジスタの消費電力および遅延の算出方法について述べる。

4. 消費電力の算出

FPGA で考慮しなければならない消費電力は、大きく分けて

ダイナミック電力とスタティック電力の2つである。ダイナミック電力は、信号遷移が起きるときに消費される電力で、スイッチング電力と貫通電流電力がある。スタティック電力は、信号遷移にかかわらず発生する電力で、リーク電力といわれる。以下で、ダイナミック電力とスタティック電力のそれぞれの算出方法について述べる。

4.1 ダイナミック電力

ダイナミック電力は、信号遷移が起きるときに負荷容量の充放電によって消費される。つまり、ダイナミック電力は、配線の経路上にあるインバータとLUT内のインバータ、シフトレジスタでのみ発生する。

4.1.1 インバータのダイナミック電力

インバータのスイッチング電力 P_{sw} は、

$$P_{sw} = 0.5fV_{dd}^2 \sum_{i=1}^n C_i E_i \quad (1)$$

で表される。ここで、 n は、経路上にあるインバータの総数を表し、 f は、クロック周波数を表す。また、 V_{dd} は、電源電圧、 C_i は、インバータ i の負荷容量、 E_i は、インバータ i の信号遷移確率を表す。また、貫通電流電力 P_{sc} は、

$$P_{sc} = 0.5fV_{dd}^2 \sum_{i=1}^n \alpha(t_{r_i}) C_i E_i \quad (2)$$

で表される。ここで、 t_{r_i} は、インバータ i の信号遷移時間、 $\alpha(t_{r_i})$ は、信号遷移時間を入力とする関数を表す。つまり、インバータのダイナミック電力 P_D は、

$$P_D = 0.5fV_{dd}^2 \sum_{i=1}^n (1 + \alpha(t_{r_i})) C_i E_i \quad (3)$$

で表される [3]。ここで、負荷容量、信号遷移時間、信号遷移時間を入力とする関数は、以下の方法で算出する。

負荷容量 C_i は、アーキテクチャの情報とデバイスの情報からわかる。これらの情報をもとに簡単な RC 回路のネットリストを作成し、回路シミュレータを用いて抽出する。インバータ i がインバータ 1 つを駆動させると仮定する。このとき、図 8 の回路を作成し、B の電位を求める。B の電位 $V_{out}(t)$ は、

$$V_{out}(t) = V_{pulse}(1 - e^{-t/RC_i}) \quad (4)$$

となる。ここで、 V_{pulse} は、入力の最大電圧である。

B の電圧が最終電圧の 10% から 90% まで上がる時間を t_B とすると、(4) 式から

$$t_B = t_{90\%} - t_{10\%} = 2.2RC_i \quad (5)$$

となる。ここで、 t_B に回路シミュレータで求めた値を代入し、負荷容量 C_i を求める。

信号遷移時間 t_{r_i} は、アーキテクチャの情報とデバイスの情報に加え、配置配線の情報からいくつのブロックを通ってきたかによって決まる。あらかじめ回路シミュレータを用いて通ったブロック数に対応する信号遷移時間を求める。信号遷移時間を入力とする関数 $\alpha(t_{r_i})$ も回路シミュレータで求めた値を用

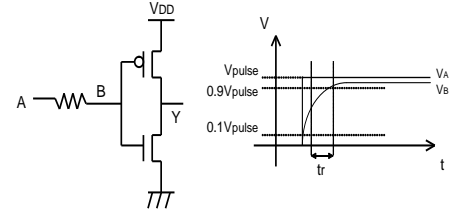


図 8 RC 回路

いる。信号遷移時間 t_{r_i} のときのダイナミック電力 P_{D_i} を回路シミュレータで求める。ダイナミック電力 P_{D_i} を用いると信号遷移時間を入力とする関数 $\alpha(t_{r_i})$ は、

$$\alpha(t_{r_i}) = 1 - \frac{P_{D_i}}{C_i V_{dd}^2 / 2} \quad (6)$$

で求めることができる。

4.1.2 LUT のダイナミック電力

LUT のダイナミック電力は、入力の変化による LUT 内のインバータのダイナミック電力と出力の変化による LUT 内のパストランジスタおよび出力側にあるインバータの負荷容量の充放電によって決まる。つまり、LUT の場合、LUT の入力パターンのペアと、出力値の変化の有無によってダイナミック電力が決まる。そのため、LUT のダイナミック電力は、LUT の入力値の発生確率がすべて等しいと仮定し、すべての入力パターンのペアを用いて、回路シミュレータで測定する。その平均のダイナミック電力を LUT のダイナミック電力とする。

4.2 スタティック電力

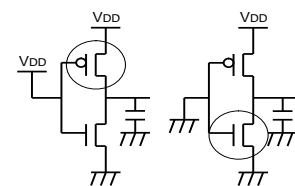
スタティック電力は、信号遷移にかかわらず発生する電力である。スタティック電力には、ドレインとソースの電位差によって発生するサブスレシヨルドリーク、ゲートと基板の電位差によって発生するゲートリークなどがある。トランジスタ i で発生するスタティック電力 P_{leak_i} は、

$$P_{leak_i} = V_{dd} I_{leak_i} \quad (7)$$

で表される。 I_{leak_i} は、トランジスタ i における漏れ電流である。

4.2.1 インバータのスタティック電力

図 9 のようにインバータのスタティック電力は、入力信号が High のときと Low のときで異なる。入力信号が High のとき PMOS でスタティック電力が発生し、入力信号が Low のとき NMOS でスタティック電力が発生する。回路シミュレータを用いて、この 2 つの場合のスタティック電力を測定し、その平均をインバータのスタティック電力とする。



(a)入力信号がHigh (b)入力信号がLow

図 9 インバータのスタティック電力

4.2.2 シフトレジスタのリーク電力

シフトレジスタの構造を図 10 に示す。シフトレジスタは、回路の動作中にデータの変更がないため、スタティック電力のみを考えればよい。シフトレジスタのスタティック電力は、インバータと同様に OFF になっているトランジスタで発生する電力を回路シミュレータで測定する。すべてのシフトレジスタのスタティック電力が同じであるとする。

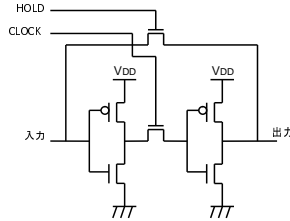


図 10 シフトレジスタのリーク電力

5. 遅延の算出

算出する遅延は、フリップフロップの出力ピンからフリップフロップの入力ピンまでの遅延の最大値である。インバータ、LUT、フリップフロップの入出力ピンをノードとし、接続関係のあるノード同士を辺で対応づける。各辺には、遅延値を重みとして持たせ、すべてのノードから成るグラフを考える。入力をもたないノードを始点ノード、出力をもたないノードを終点ノードとする。図 11 のように、始点ノードから辺をたどり、到達したノードで、そのノードにたどり着くまでのパスの重みの最大値をそのノードの重みとして保持する。終点ノードに到達するまで、この作業を繰り返し、各終点ノードが保持している値の最大値を遅延とする。

辺の重みには、インバータの遅延、LUT の遅延、配線およ

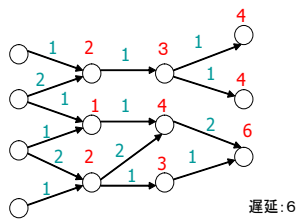


図 11 グラフ

びパストラジスタの遅延がある。インバータの遅延は、アーキテクチャの情報とデバイスの情報から各インバータのネットリストを作成し、立ち上がり信号と立ち下がり信号を入力として、回路シミュレータで測定する。LUT の遅延もインバータと同様にアーキテクチャの情報とデバイスの情報からネットリストを作成し、回路シミュレータで測定する。このとき、すべての入力パターンと出力パターンの組み合わせで測定し、その中の最大値を LUT の遅延とする。配線およびパストラジスタの遅延の算出には、エルモア遅延モデルを用いる [4]。単位長さあたりの配線およびパストラジスタを図 12 のように等価回路に置き換え、抵抗と負荷容量から遅延を算出する。配線と

パストラジスタから成る辺 k の遅延 D_k は、

$$D_k = \sum_{j=1}^m R_j C(\text{subtree}_j) \quad (8)$$

で表される。ここで、 m は、ノード間の単位長さあたりの配線とパストラジスタの総数を表し、 $C(\text{subtree}_j)$ は、 j からノードまでの負荷容量を表す。

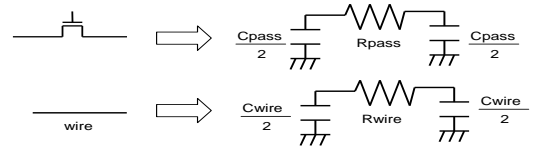


図 12 等価回路

6. 実験

本手法による見積り精度を確認するための基礎実験として、回路を決めて配置配線を行い、実際に本手法と回路シミュレータで見積りを行い、結果を比較した。本実験では、CLB 数が 4 つの FPGA のネットリストを作成し、2 ビットの乗算器を組み合わせ回路で実現させた。本実験で使用したプロセスデータは、ROHM の $0.35\mu\text{m}$ であり、回路シミュレータとして Cadence 社の Nanosim を使用した。以下に実験で使用したパラメータを示す。本手法を用いた見積り結果と Nanosim

表 1 実験で使用したパラメータ

CLB サイズ N	2
CLB の入力数 I	6
LUT サイズ k	4
トラック数 W	4
F_S	1/4
F_C	1
V_{dd}	3.3

を用いた測定結果の比較を以下の表に示す。遅延に関しては、

表 2 実験結果

	遅延	消費電力
本手法	10.764ns	28.881uW
Nanosim	10.613ns	32.309uW
誤差	1.4%	11.8%

ほとんど誤差がなく、本手法の精度が高いことがわかる。しかし、消費電力の見積り結果の誤差は、10%以上あり、精度が高いとはいえない。これは、過渡的な信号遷移による消費電力を考慮していないことが原因であると考えられる。過渡的な信号遷移とは、LUT で発生する。理想的には、2 以上の入力と同じタイミングで信号遷移する場合、実際は、どちらかの信号遷移が遅れることがある。そのとき、出力が変わらない入力パターンに対してその信号遷移の遅れによって出力が変化することがある。

本手法は、設計をするための見積り手法である。そのため、

配置配線結果や回路によって消費電力および遅延の結果がばらつくかどうかを確認する必要がある。また、今回の実験では、見積もり手法と Nanosim の実行時間の比較をしていない。見積もり手法で、入力に依存するパラメータをあらかじめ表引きにして保持しておくことと仮定すると、見積もり手法は、計算式にパラメータをあてはめるだけなので、Nanosim に比べて見積もり手法のほうが少なくとも数倍は早くなると予測される。

7. おわりに

本発表では、消費電力および遅延を見積る手法について述べ、本手法の精度を確認するための基礎実験について述べた。実験では、1つの回路で1パターンの配置配線結果のみの見積もりしか行っていない。今後は、いくつかの回路で数パターンの配置配線結果を用いて実験を行い、回路や配置配線結果によって値がばらつくかどうかを確認する。また、見積もり手法と Nanosim との実行時間の比較を行う。

謝 辞

本研究は、一部科学研究費補助金(学術創生研究費(2))(課題番号 14GS0218)による。また、本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

文 献

- [1] V.Betz, J.Rose, “VPR: A New Packing, Placement and Routing Tool for FPGA Reserch”, International Workshop on Field Programmable Logic and Applications, 1997.
- [2] G.Lemieux, D.Lewis, “Design of Interconnection Networks for Programmable Logic”, Kluwer Academic Publishers, 2003.
- [3] F.Li, Y.Lin, L.He, D.Chen, J.Cong, “Power Modeling and Characteristics of Field Programmable Gate Arrays”, IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, vol.24, no.11, Nov.2005.
- [4] V.Betz, J.Rose, A.Marquardt, “Architecture and CAD for Deep-Submicron FPGAs”, Kluwer Academic Publishers, 1999.