九州大学学術情報リポジトリ Kyushu University Institutional Repository

LUT型FPGAを対象とした消費電力および遅延の見積も り手法について

中村,隆二 九州大学大学院システム情報科学府

松永, 裕介 九州大学大学院システム情報科学研究院

https://hdl.handle.net/2324/6351

出版情報:電子情報通信学会技術研究報告,VLD2006-72,DC2006-59,pp.1-6,2006-11. 電子情報通信学会 バージョン: 権利関係:

LUT型 FPGA を対象とした消費電力および遅延の見積もり手法について

中村 隆二[†] 松永 裕介^{††}

† 九州大学大学院システム情報科学府
 〒 819-0395 福岡県福岡市西区元岡 744
 †† 九州大学大学院システム情報科学研究院
 〒 819-0395 福岡県福岡市西区元岡 744
 E-mail: †{n-ryuji,matsunaga}@c.csce.kyushu-u.ac.jp

あらまし FPGA の消費電力削減と性能向上を実現させるためには、アーキテクチャと回路合成技術の面から考えな ければならない。本研究では、消費電力および遅延の削減を目的関数とする配置配線アルゴリズムの提案を目指して いる。本稿では、そのための基礎技術として LUT 型 FPGA を対象とした消費電力および遅延の見積もり手法の提案 を行い、精度の評価を行うために Nanosim による見積もり結果との比較を行った。 キーワード FPGA、EDA、見積もり、消費電力、遅延

On power and delay estimation method for LUT-based FPGAs

Ryuji NAKAMURA[†] and Yusuke MATSUNAGA^{††}

† Graduate School of Information Science and Electrical Engineering Kyushu University 744 Motooka, Nishiku, Fukuoka, 819-0395, JAPAN

†† Faculty of Information Science and Electrical Engineering Kyushu University

744 Motooka, Nishiku, Fukuoka, 819-0395, JAPAN

E-mail: †{n-ryuji,matsunaga}@c.csce.kyushu-u.ac.jp

Abstract It is necessary to consider the architecture and synthesis technology to achieve the power reduction and the performance improvement of FPGA. In this research, it proposes the placement and routing algorithm for power and delay reduction. In this paper, it proposes the power and delay estimation method for LUT-based FPGAs, and it compared with the estimate result by Nanosim to evaluate accuracy.

Key words FPGA, EDA, estimation, power, delay

1. はじめに

少量生産のLSI(Large Scale Integrated circuit)を低コスト で実現するための手法の一つに、再構成可能デバイスを用い た設計がある。再構成可能デバイスは、複数の設計に対して同 ーのデバイスを用いることができ、チップの単価を安く抑えら れる可能性がある。現在、広く用いられている再構成可能デバ イスにLUT(LookUp Table)型 FPGA(Field Programmable Gate Array)がある。LUT型 FPGAは、ASIC(Application-Specific Integrated Circuit)と比べて、再構成のために多くの トランジスタを使用しているので、消費電力と性能の面で劣っ ている欠点がある。消費電力の削減と性能の向上のためには、 アーキテクチャと回路合成技術の面から考えなければならない。 消費電力削減および遅延最小のための回路合成技術の一つに配 置配線がある。

研究目的として開発された FPGA 向けの配置配線ツールに

VPR(Versatile Place and Route) がある [1]。VPR は、論理ブ ロック間のトラック数が可変であるという仮定のもとで論理ブ ロック間の配線数最小を目的としている。しかし、FPGA のト ラック数は、設計をする前にあらかじめ決められているため、 この目的関数は不適切である。また、VPR は、消費電力の見 積もりはしておらず、遅延に関しても簡単な見積もりしかして いない。そこで、本研究では、消費電力および遅延の削減を目 的関数とする配置配線アルゴリズムの提案を目指している。本 稿では、そのための基礎技術として消費電力および遅延の見積 もり手法の提案を行う。

消費電力および遅延を見積もるツールとして、主に Synopsys 社の SPICE や Nanosim がある。これらのツールは、配置配線 情報、デバイス情報、アーキテクチャ情報、回路情報から作成 されたネットリストを用いて消費電力と遅延を算出する。その ため、配置配線情報やアーキテクチャ情報が変わるたびにネッ トリストを変更しなければならないので、時間がかかる。そこ で、本手法は、SPICE および Nanosim と同じ精度を目指し、 かつ、処理時間を短縮することを目指す。本手法では、配置情 報、デバイス情報、アーキテクチャ情報、回路情報を入力とし て与え、各入力から消費電力および遅延に必要なパラメータを 求め、それらのパラメータを用いて消費電力と遅延を算出す る。そのため、配置配線情報やアーキテクチャ情報が変わって も、変わった情報に依存するパラメータの値のみを変更するこ とで見積もりができる。本稿では、消費電力および遅延の見積 もり手法について述べ、基礎実験として、配置配線情報、デバ イス情報、アーキテクチャ情報、回路情報を入力として与え、 本手法による見積もりと Nanosim による見積もりを行ったの で、その比較結果について述べる。

本稿は、以下の構成となっている。第2章で、今回対象とす る LUT 型 FPGA アーキテクチャの構造について述べる。第3 章で、見積もり手法について述べ、第4章と第5章で消費電力 および遅延の算出について述べる。第6章で、今回行った実験 について述べ、最後に、第7章でまとめる。

2. LUT 型 FPGA アーキテクチャ

LUT型 FPGA において一般に用いられているアーキテク チャの1つに、Island Style アーキテクチャがある。Island Style アーキテクチャは、図1のように格子状に並べた論理ブロッ クと論理ブロック間の配線領域から成る[2]。図1において、 CLB(Cluster-based Logic Block)は論理ブロック、Sはスイッ チブロック、Cはコネクションブロックを表している。CLB間 の配線領域は、チャネルと呼ばれ、チャネルの各々の配線をト ラックという。論理ブロックは、入力数以下の任意の論理関数 を実現するブロックである。スイッチブロックは、水平トラッ クと垂直トラックが交差する点に位置し、トラック同士を接続 する役割を果たす。また、コネクションブロックは、スイッチ ブロック間に位置し、CLBの入出力ピンとトラックを接続する 役割を果たす。次に、今回対象とする各々のブロックの構造に ついて説明する。



 $\boxtimes 1$ – Island Style Architecture

2.1 CLB

CLB は、入力 I 以下の任意の論理関数を実現するブロックで ある。CLB の構造を図 2 に示す。CLB は、複数の BLE(Basic Logic Element)、BLE の入力数分のセレクター、セレクター への制御信号を記憶するシフトレジスタから成る。CLB の入力 I と BLE からの出力 N がセレクターの入力信号であり、シフ トレジスタからの制御信号によって各セレクターの出力が決まる。各セレクターの出力は、BLEの入力となる。CLBの入力



I とサイズ N、BLE の入力数 k は、アーキテクチャのパラメー タとして与える。ここで述べている CLB のサイズは、CLB 内 の BLE 数である。

次に BLE の構造を図 3 に示す。BLE は、k 入力の LUT、フ リップフロップ、セレクター、セレクターへの制御信号を記憶 するシフトレジスタから成る。次にセレクターの構造を図 4 に



🛛 3 BLE

示す。セレクターは、インバータとパストランジスタから成っ



ており、シフトレジスタからの制御信号によりパストランジス タのゲートを ON/OFF させ、出力を決定する。LUT は、セ レクターにシフトレジスタが加わった構造をしている。セレク ターと違い、入力信号がパストランジスタの ON/OFF を決め る制御信号になり、シフトレジスタの値が出力となる。

2.2 スイッチブロック

スイッチブロックは、水平トラックと垂直トラックを接続す る役割を果たす。スイッチブロックの構造を図 5 に示す。垂直 トラックの総数 W に対して一つの水平トラックが接続できる 割合 F_S は、アーキテクチャのパラメータとして与える。つま り、スイッチブロック内のスイッチ数は、F_SW である。スイッ チの構造は、遅延および面積を考慮して様々な構造をとる。図 5 の場合、信号がどの経路を選んでもパストランジスタ 2 つと バッファ1 つを通る。



図 5 スイッチブロックの構造

2.3 コネクションブロック

コネクションブロックは、入出力ピンとトラックを接続する 役割を果たす。コネクションブロックの構造を図6に示す。コ ネクションブロックもスイッチブロックと同様に、入出力ピン からの配線が接続できるトラックの割合 F_Cは、アーキテクチャ のパラメータとして与える。入出力ピンからの配線とトラック を接続するスイッチは、遅延と面積を考慮して様々な構造が考 えられる。図6の場合、各スイッチ部分は、パストランジスタ 1つから成る。



3. 見積もり手法

本見積もり手法では、デバイス情報、アーキテクチャ情報、 回路情報、配置配線情報を入力とする。以下に各々の入力情報 の詳細を示す。

デバイス情報

- トランジスタサイズ
- クロック周波数

- 電源電圧
- 配線抵抗、配線容量

アーキテクチャ情報

- クラスタサイズ
- クラスタの入力数
- チャネルのトラック数
- LUT サイズ
- 入出力ピンからの配線が接続できるトラックの割合
- 垂直トラックが接続できる水平トラックの割合
- 回路情報
 - 信号遷移確率

配置配線情報

- 各クラスタの位置
- クラスタ間の配線の経路

これらの入力をもとに消費電力および遅延の算出フローを図 7 に示す。図7のように各入力に依存するパラメータを算出し、



図 7 見積もりフロー

そのパラメータを用いて消費電力と遅延を算出する。各トラン ジスタの負荷容量は、アーキテクチャ情報とトランジスタサイ ズが決まれば見積もることができる。各トランジスタの信号遷 移時間は、アーキテクチャ情報、デバイス情報、配置配線情報 から見積もることができ、信号遷移時間を入力とする関数は、 負荷容量、信号遷移時間から見積もることができる。これらの パラメータから各トランジスタの消費電力を求め、合計値をと る。入力が変化したとき、その入力に依存するパラメータの値 だけを変えて、見積もりを行うことができる。遅延は、トラン ジスタの遅延と配線の遅延に分けて算出する。トランジスタの 遅延は、アーキテクチャの情報とデバイスの情報から見積もり、 トランジスタ間の遅延は、さらに配置配線情報を用いて見積も る。パラメータを用いて消費電力と遅延を見積もることで、入 力の値が変化したとき、その入力に依存するパラメータのみ変 えることで見積もりを行うことができる。以下の章で、各トラ ンジスタの消費電力および遅延の算出方法について述べる。

消費電力の算出

FPGA で考慮しなければならない消費電力は、大きく分けて

ダイナミック電力とスタティック電力の2つである。ダイナミッ ク電力は、信号遷移が起きるときに消費される電力で、スイッ チング電力と貫通電流電力がある。スタティック電力は、信号 遷移にかかわらず発生する電力で、リーク電力といわれる。以 下で、ダイナミック電力とスタティック電力のそれぞれの算出 方法について述べる。

4.1 ダイナミック電力

ダイナミック電力は、信号遷移が起きるときに負荷容量の充 放電によって消費される。つまり、ダイナミック電力は、配線 の経路上にあるインバータと LUT 内のインバータ、シフトレ ジスタでのみ発生する。

4.1.1 インバータのダイナミック電力 インバータのスイッチング電力 *P*_{sw} は、

$$P_{sw} = 0.5 f V_{dd}^2 \sum_{i=1}^{n} C_i E_i$$
 (1)

で表される。ここで、n は、経路上にあるインバータの総数を 表し、f は、クロック周波数を表す。また、 V_{dd} は、電源電圧、 C_i は、インバータiの負荷容量、 E_i は、インバータiの信号 遷移確率を表す。また、貫通電流電力 P_{sc} は、

$$P_{sc} = 0.5 f V_{dd}^2 \sum_{i=1}^n \alpha(t_{r_i}) C_i E_i$$
(2)

で表される。ここで、 t_{r_i} は、インバータiの信号遷移時間、 $\alpha(t_{r_i})$ は、信号遷移時間を入力とする関数を表す。つまり、イ ンバータのダイナミック電力 P_D は、

$$P_D = 0.5 f V_{dd}^2 \sum_{i=1}^n (1 + \alpha(t_{r_i})) C_i E_i$$
(3)

で表される[3]。ここで、負荷容量、信号遷移時間、信号遷移時 間を入力とする関数は、以下の方法で算出する。

負荷容量 *C_i* は、アーキテクチャの情報とデバイスの情報からわかる。これらの情報をもとに簡単な RC 回路のネットリストを作成し、回路シミュレータを用いて抽出する。インバータ*i* がインバータ1つを駆動させると仮定する。このとき、図8の回路を作成し、B の電位を求める。B の電位 *V*out(*t*) は、

$$V_{out}(t) = V_{pulse}(1 - \epsilon^{-t/RC_i}) \tag{4}$$

となる。ここで、*V_{pulse}*は、入力の最大電圧である。

B の電圧が最終電圧の 10% から 90% まで上がる時間を t_B とすると、(4) 式から

$$t_B = t_{90\%} - t_{10\%} = 2.2RC_i \tag{5}$$

となる。ここで、 t_B に回路シミュレータで求めた値を代入し、 負荷容量 C_i を求める。

信号遷移時間 t_{r_i} は、アーキテクチャの情報とデバイスの情報に加え、配置配線の情報からいくつのプロックを通ってきたかによって決まる。あらかじめ回路シミュレータを用いて通ったプロック数に対応する信号遷移時間を求める。 信号遷移時間を入力とする関数 $\alpha(t_{r_i})$ も回路シミュレータで求めた値を用



図 8 RC 回 路

いる。信号遷移時間 t_{r_i} のときのダイナミック電力 P_{D_i} を回路 シミュレータで求める。ダイナミック電力 P_{D_i} を用いると信号 遷移時間を入力とする関数 $\alpha(t_{r_i})$ は、

$$\alpha(t_{r_i}) = 1 - \frac{P_{D_i}}{C_i V_{dd}^2/2} \tag{6}$$

で求めることができる。

4.1.2 LUT のダイナミック電力

LUT のダイナミック電力は、入力の変化による LUT 内の インバータのダイナミック電力と出力の変化による LUT 内の パストランジスタおよび出力側にあるインバータの負荷容量 の充放電によって決まる。つまり、LUT の場合、LUT の入力 パターンのペアと、出力値の変化の有無によってダイナミック 電力が決まる。そのため、LUT のダイナミック電力は、LUT の入力値の発生確率がすべて等しいと仮定し、すべての入力パ ターンのペアを用いて、回路シミュレータで測定する。その平 均のダイナミック電力を LUT のダイナミック電力とする。

4.2 スタティック電力

スタティック電力は、信号遷移にかかわらず発生する電力で ある。スタティック電力には、ドレインとソースの電位差によっ て発生するサブスレショルドリーク、ゲートと基板の電位差に よって発生するゲートリークなどがある。トランジスタ*i*で発 生するスタティック電力 *P*_{leak}*i* は、

$$P_{leak_i} = V_{dd} I_{leak_i} \tag{7}$$

で表される。 I_{leak_i} は、トランジスタiにおける漏れ電流である。

4.2.1 インバータのスタティック電力

図 9 のようにインバータのスタティック電力は、入力信号が High のときと Low のときで異なる。入力信号が High のとき PMOS でスタティック電力が発生し、入力信号が Low のとき NMOS でスタティック電力が発生する。回路シミュレータを用 いて、この 2 つの場合のスタティック電力を測定し、その平均 をインバータのスタティック電力とする。



(a)入力信号がHigh (b)入力信号がLow

図 9 インバータのスタティック電力

4.2.2 シフトレジスタのリーク電力

シフトレジスタの構造を図 10 に示す。シフトレジスタは、回路の動作中にデータの変更がないため、スタティック電力のみ を考えればよい。シフトレジスタのスタティック電力は、イン バータと同様に OFF になっているトランジスタで発生する電 力を回路シミュレータで測定する。すべてのシフトレジスタの スタティック電力が同じであるとする。



図 10 シフトレジスタのリーク電力

5. 遅延の算出

算出する遅延は、フリップフロップの出力ピンからフリップ フロップの入力ピンまでの遅延の最大値である。インバータ、 LUT、フリップフロップの入出力ピンをノードとし、接続関係 のあるノード同士を辺で対応づける。各辺には、遅延値を重み として持たせ、すべてのノードから成るグラフを考える。入力 をもたないノードを始点ノード、出力をもたないノードを終点 ノードとする。図11のように、始点ノードから辺をたどり、到 達したノードで、そのノードにたどり着くまでのパスの重みの 最大値をそのノードの重みとして保持する。終点ノードに到達 するまで、この作業を繰り返し、各終点ノードが保持している 値の最大値を遅延とする。

辺の重みには、インバータの遅延、LUT の遅延、配線およ

4 1 2 1 3 1 1 1 1 4 2 2 2 3 1 *Œ*Œ:6

図11 グラフ

びパストランジスタの遅延がある。インバータの遅延は、アー キテクチャの情報とデバイスの情報から各インバータのネット リストを作成し、立ち上がり信号と立ち下がり信号を入力とし て、回路シミュレータで測定する。LUTの遅延もインバータ と同様にアーキテクチャの情報とデバイスの情報からネットリ ストを作成し、回路シミュレータで測定する。このとき、すべ ての入力パターンと出力パターンの組み合わせで測定し、その 中の最大値をLUTの遅延とする。配線およびパストランジス タの遅延の算出には、エルモア遅延モデルを用いる[4]。単位長 さあたりの配線およびパストランジスタを図 12のように等価 回路に置き換え、抵抗と負荷容量から遅延を算出する。配線と パストランジスタから成る辺kの遅延 D_k は、

$$D_k = \sum_{j=1}^m R_j C(subtree_j) \tag{8}$$

で表される。ここで、m は、Jード間の単位長さあたりの配線とパストランジスタの総数を表し、 $C(subtree_j)$ は、j から ノードまでの負荷容量を表す。



6. 実 験

本手法による見積もりの精度を確認するための基礎実験とし て、回路を決めて配置配線を行い、実際に本手法と回路シミュ レータで見積もりを行い、結果を比較した。本実験では、CLB 数が4つの FPGA のネットリストを作成し、2 ビットの乗算 器を組み合わせ回路で実現させた。本実験で使用したプロセス データは、ROHM の 0.35um であり、回路シミュレータとし て Cadence 社の Nanosim を使用した。以下に実験で使用した パラメータを示す。本手法を用いた見積もり結果と Nanosim

表1 実験で使用したパラメータ

CLB サイズ N	2
CLB の入力数 I	6
LUT サイズ k	4
トラック数 W	4
F_S	1/4
F_C	1
V _{dd}	3.3

を用いた測定結果の比較を以下の表に示す。遅延に関しては、

表 2 実 験 結 果		
	遅延	消費電力
本手法	$10.764 \mathrm{ns}$	$28.881 \mathrm{uW}$
Nanosim	$10.613 \mathrm{ns}$	$32.309\mathrm{uW}$
誤差	1.4%	11.8%

ほとんど誤差がなく、本手法の精度が高いことがわかる。しか し、消費電力の見積もり結果の誤差は、10%以上あり、精度が 高いとはいえない。これは、過渡的な信号遷移による消費電力 を考慮していないことが原因であると考えられる。過渡的な信 号遷移とは、LUT で発生する。理想的には、2以上の入力が 同じタイミングで信号遷移する場合、実際は、どちらかの信号 遷移が遅れることがある。そのとき、出力が変わらない入力パ ターンに対してその信号遷移の遅れによって出力が変化するこ とがある。

本手法は、設計をするための見積もり手法である。そのため、

配置配線結果や回路によって消費電力および遅延の結果がばら つくかどうかを確認する必要がある。また、今回の実験では、 見積もり手法と Nanosim の実行時間の比較をしていない。見 積もり手法で、入力に依存するパラメータをあらかじめ表引き にして保持しておくと仮定すると、見積もり手法は、計算式に パラメータをあてはめるだけなので、Nanosimに比べて見積も り手法のほうが少なくとも数倍は早くなると予測される。

7. おわりに

本発表では、消費電力および遅延を見積る手法について述 べ、本手法の精度を確認するための基礎実験について述べた。 実験では、1つの回路で1パターンの配置配線結果のみの見積 もりしか行っていない。今後は、いくつかの回路で数パターン の配置配線結果を用いて実験を行い、回路や配置配線結果に よって値がばらつくかどうかを確認する。また、見積もり手法 と Nanosim との実行時間の比較を行う。

謝 辞

本研究は、一部科学研究費補助金 (学術創生研究費 (2))(課題 番号 14GS0218) による。また、本研究は東京大学大規模集積 システム設計教育研究センターを通し、シノプシス株式会社の 協力で行われたものである。

文 献

- V.Betz, J.Rose, "VPR: A New Packing, Placement and Routing Tool for FPGA Reserch", International Workshop on Field Programmable Logic and Applications, 1997.
- [2] G.Lemieux, D.Lewis, "Design of Interconnection Networks for Programmable Logic", Kluwer Academic Publishers, 2003.
- [3] F.Li, Y.Lin, L.He, D.Chen, J.Cong, "Power Modeling and Characteristics of Field Programmable Gate Arrays", IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, vol.24, no.11, Nov.2005.
- [4] V.Betz, J.Rose, A.Marquardt, "Architecture and CAD for Deep-Submicron FPGAs", Kluwer Academic Publishers, 1999.