

## 90nmCMOS回路における遅延および電力ばらつきの実測と解析

山口, 聖貴  
九州大学大学院システム情報科学府

Yang, Yuan  
School of Automation and Information Engineering, Xi'an University of Technology

樽見, 幸祐  
九州大学大学院システム情報科学府

坂本, 良太  
九州大学大学院システム情報科学府

他

<https://hdl.handle.net/2324/6323>

---

出版情報 : 電子情報通信学会技術研究報告, VLD2006-13(2006-05), pp.41-46, 2006-05. IEICE(VLD)  
バージョン :  
権利関係 :

# 90nmCMOS 回路における遅延および電力ばらつきの実測と解析

山口 聖貴<sup>†</sup> YangYuan<sup>††</sup> 樽見 幸祐<sup>†</sup> 坂本 良太<sup>†</sup>

室山 真徳<sup>†††</sup> 石原 亨<sup>†††</sup> 安浦 寛人<sup>††††</sup>

<sup>†</sup>九州大学大学院 システム情報科学府 〒 816-8580 福岡県春日市春日公園 6-1

<sup>††</sup>西安理工大学 自動化・情報工程学院 710048 西安市金花南路 5

<sup>†††</sup>九州大学 システム LSI 研究センター 〒 814-0001 福岡市早良区百道浜 3-8-33

<sup>††††</sup>九州大学大学院 システム情報科学研究院 〒 816-8580 福岡県春日市春日公園 6-1

E-mail: †{masaki,tarumi,sakamoto}@c.csce.kyushu-u.ac.jp, ††yangyuan@xaut.edu.cn,

†††{muroyama,ishihara}@slrc.kyushu-u.ac.jp, ††††yasuura@c.csce.kyushu-u.ac.jp

あらまし 近年、製造ばらつきに起因する回路性能のばらつきが顕著になってきている。回路性能のばらつきによって歩留まりが低下する。歩留まりを向上させるためにはばらつきに対処する設計手法が必要である。設計時にばらつきを考慮するためには、まず性能ばらつきの実態を確認する必要がある。本稿では、90nm プロセスを用いた CMOS 回路において実測を行い、製造ばらつきが遅延および電力に与える影響について解析を行った。測定対象として 199 段のリングオシレータを用いた。ばらつきはチップ内およびチップ間に分けて測定し、遅延、動作時の電力および静止時の電力のばらつきについて実測および解析を行った。実測結果から、リーク電力のばらつきが大きいこと、チップ内よりもチップ間の方がばらつきが大きいことなどが確認できた。

キーワード 遅延ばらつき、電力ばらつき、Deep Sub-Micron、CMOS

## Measurement and Analysis of Delay and Power Variations in 90nm CMOS Circuits

Masaki YAMAGUCHI<sup>†</sup>, Yang YUAN<sup>††</sup>, Kosuke TARUMI<sup>†</sup>, Ryota SAKAMOTO<sup>†</sup>,

Masanori MUROYAMA<sup>†††</sup>, Tohru ISHIHARA<sup>†††</sup>, and Hiroto YASUURA<sup>††††</sup>

<sup>†</sup> Graduate School of Information Science and Electrical Engineering, Kyushu University  
6-1 Kasugakoen, Kasuga-shi, Fukuoka 816-8580 Japan

<sup>††</sup> School of Automation and Information Engineering, Xi'an University of Technology  
5 Jinhua South Road, Xi'an, 710048 China

<sup>†††</sup> System LSI Research Center, Kyushu University  
3-8-33 Momochihama, Sawara-ku, Fukuoka 814-0001 Japan

<sup>††††</sup> Graduate School of Information Science and Electrical Engineering, Kyushu University  
6-1 Kasugakoen, Kasuga-shi, Fukuoka 816-8580 Japan

E-mail: †{masaki,tarumi,sakamoto}@c.csce.kyushu-u.ac.jp, ††yangyuan@xaut.edu.cn,

†††{muroyama,ishihara}@slrc.kyushu-u.ac.jp, ††††yasuura@c.csce.kyushu-u.ac.jp

**Abstract** As the transistor size shrinks, process variations increase. Under the existence of the variations, an existing design flow will not be effective for minimizing the worst-case circuit delay and average power consumption. As the first step toward developing a better solution, this paper investigates basic characteristics of the delay and the power variation. We measured delay and power consumption values for 1,890 ring oscillator circuits designed with 90nm CMOS technology. We also analyzed both intra-chip and inter-chip variations for delay, dynamic power consumption and leakage power consumption. The measurement results demonstrated that the leakage power variation is very large and the inter-chip variations are larger than the intra-chip variations.

**Key words** Delay Variation, Power Variation, Deep Sub-Micron, CMOS

## 1. はじめに

集積回路の製造技術の進歩によってトランジスタの微細化が進み、集積回路の小型化や動作速度の高速化が図られてきた。一方で、製造プロセスが進むにつれて、製造上のばらつきが回路性能のばらつきに与える影響が増大しているという問題点が報告されている [1]。

集積回路の製造プロセスにおいて、熱処理温度のばらつきやイオン注入条件のばらつきなどといった製造上のばらつきが発生する [1] [2]。製造上のばらつきは、ゲート長や酸化膜厚などの素子の形状や、不純物濃度などをばらつかせ、結果閾値電圧やドレイン電流などといった素子の電気的特性をばらつかせる。回路を構成する素子の電気的特性がばらつくと遅延・電力などといった回路性能もばらつくことになる。回路性能がばらつくこと、マージンが少ない場合には仕様どおりに動作しない回路が増加し、歩留まりが低下してしまう。

従来から回路性能がばらついても一定個数以上は仕様を満たすように、マージンをもたせた設計が行われている。しかし、既存の設計手法で設計を行った場合には微細化とともにマージンは相対的に大きくなってしまふ。微細なプロセスは大きなマージンのために、古いプロセスよりも回路性能が劣化してしまう可能性がある。性能を劣化させずに歩留まりを向上させるためには、マージンを小さくするなどのばらつきに対処するための設計手法が必要となってくる。今後ばらつきに対処する設計手法の提案をするためには、性能ばらつきに影響を与える要因などといった性能ばらつきの実態を確認する必要がある。性能ばらつきの実態を確認するには、実際にチップを実測して性能ばらつきの基本データを得る必要がある。

以上の背景から、特に遅延・電力ばらつきの基本データを得ることを目的として、本稿では 90nm プロセスで設計された CMOS 回路の遅延・電力を実測し、製造ばらつきが遅延・電力ばらつきに与える影響について解析を行った。測定対象として 199 段のリングオシレータを用いており、その発振周波数、動作時の消費電力および待機時の消費電力のばらつきについて実測および解析を行った。また、ばらつきはチップ内およびチップ間に分けて実測・解析を行った。

本稿は次のような構成になっている。第 2 章では CMOS 回路における遅延と電力について述べる。第 3 章では測定するリングオシレータ回路の説明を行う。第 4 章では遅延・電力ばらつきの実測結果について述べ、その解析を行う。第 5 章で本稿をまとめる。

## 2. CMOS 回路における遅延と電力

ここでは、今回の測定回路に用いられている CMOS インバータ、リングオシレータにおける遅延および電力について述べる。

### 2.1 CMOS インバータ

CMOS インバータは最も基本的な CMOS 回路であり、入力信号を反転したものを出力する回路である。

#### 2.1.1 遅延時間

CMOS インバータ 1 段の遅延時間  $d_{inv}$  は次式で表される [3]:

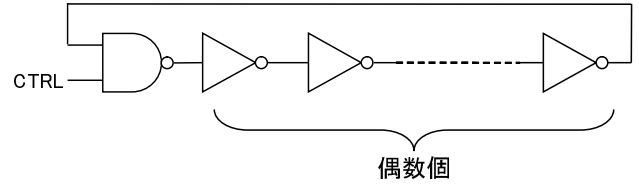


図 1 発振制御機能を持つリングオシレータ

$$d_{inv} \propto \frac{C_{load} V_{dd}}{\mu C_{ox} (W/L) (V_{dd} - V_{th})^\alpha} \quad (1)$$

ここで  $\mu$  はキャリアの移動度、 $C_{load}$  はインバータの出力負荷容量、 $C_{ox}$  は単位面積あたりのゲート酸化膜容量、 $W$  はゲート幅、 $L$  はゲート長、 $V_{dd}$  は電源電圧、 $V_{th}$  は閾値電圧、 $\alpha$  は短チャネル効果に依存し 1~2 の値をとる [4]。

#### 2.1.2 消費電力

CMOS インバータの消費電力  $P_{inv}$  は次式で表される:

$$P_{inv} = P_{inv-sw} + P_{inv-sh} + P_{inv-leak} \quad (2)$$

$P_{inv-sw}$  は負荷容量を充放電するために消費される電力、 $P_{inv-sh}$  は貫通電流による消費電力、 $P_{inv-leak}$  はリーク電流による消費電力である。90nm プロセスでは、 $P_{inv-sw}$  と比較して  $P_{inv-sh}$  の割合が十分に小さい [5]。よって

$$P_{inv} \doteq P_{inv-sw} + P_{inv-leak} \quad (3)$$

と表すことができる。

$P_{inv-sw}$  は次式で表される [6]:

$$P_{inv-sw} = s_w C_{load} V_{dd}^2 \quad (4)$$

ここで、 $s_w$  は単位時間当たりのスイッチング回数である。

$P_{inv-leak}$  は次式で表される [7]:

$$P_{inv-leak} = I_0 10^{-\frac{V_{th}}{S}} V_{dd} \quad (5)$$

ここで  $I_0$  は閾値電圧におけるドレイン電流である。 $S$  はサブスレッショルド・スロープと呼ばれるもので温度に依存する値である [6]。

### 2.2 リングオシレータ

リングオシレータとはインバータを奇数個直列に接続することによって発振機能を持たせた回路である。リングオシレータの遅延・電力を解析することによって、インバータ 1 段の遅延・電力を間接的に解析することができるため、今回は測定対象としてリングオシレータを用いた。今回測定するリングオシレータ回路は発振制御機能を持たせるため、NAND ゲート 1 個とインバータ偶数個を直列に接続した構造をとっている (図 1 参照)。

CTRL に 0 を入力すると、NAND ゲートの出力は 1 で固定されるためこの回路は発振しない。CTRL に 1 を入力すると、NAND ゲートがインバータのような構造をとるのでこの回路は発振する。

また NAND ゲートは、一方の入力が 1 のときインバータのような構造をとるので、本稿では NAND ゲートの遅延・電力とインバータの遅延・電力は等しいと仮定する。

### 2.2.1 発振周波数

リングオシレータの発振周波数はインバータ1段あたりの遅延によって決まる．リングオシレータはループを2周すると1周期となるので，リングオシレータの発振周波数  $f_{rosc}$  は次式で表される：

$$f_{rosc} = \frac{1}{2Nd_{inv}} \quad (6)$$

ここで  $N$  はリングオシレータの段数である．式 (1) を用いると次式で表される：

$$f_{rosc} \propto \frac{\mu C_{ox}(W/L)(V_{dd} - V_{th})^\alpha}{2NC_{load}V_{dd}} \quad (7)$$

### 2.2.2 消費電力

式 (3) と同様に，リングオシレータの消費電力  $P_{rosc}$  は次式で表される：

$$P_{rosc} \doteq P_{rosc\_sw} + P_{rosc\_leak} \quad (8)$$

負荷容量の充放電電流による消費電力  $P_{rosc\_sw}$  は次式で表される：

$$P_{rosc\_sw} = \sum_{i=1}^N s_{wi} C_i V_{dd}^2 \quad (9)$$

$s_{wi}$  は  $i$  段目のインバータの単位時間当たりのスイッチング回数， $C_i$  は負荷容量である．ここで，リングオシレータは端子間の配線以外は全てのレイアウトパターンが同じインバータで構成されており，端子間配線もすべてほぼ同じ容量であるので  $C_i$  と  $s_{wi}$  は以下のように置き換えられる：

$$C_1 = C_2 = \dots = C_N = C_{load} \quad (10)$$

$$s_{w1} = s_{w2} = \dots = s_{wN} = f_{rosc} \quad (11)$$

よって  $P_{rosc\_sw}$  は次式で表される：

$$P_{rosc\_sw} = \sum_{i=1}^N f_{rosc} C_{load} V_{dd}^2 \quad (12)$$

$$= N f_{rosc} C_{load} V_{dd}^2 \quad (13)$$

本稿では，リーク電流はスイッチングが行われていないインバータで発生する電流として考える．リーク電流による消費電力  $P_{rosc\_leak}$  は式 (5) を用いて次式で表される：

$$P_{rosc\_leak} = (N - 1) P_{inv\_leak} \quad (14)$$

$$= (N - 1) I_0 10^{-\frac{V_{th}}{S}} V_{dd} \quad (15)$$

## 3. 測定回路と測定方法

### 3.1 回路の構造

測定回路の回路図を図2に示す．199段のリングオシレータを Rosc1 から Rosc63 まで 63列並列に接続したものとデコーダ Dec，マルチプレクサ Mux からなる．チップ内でのばらつきを見るため，同じ設計の Rosc を 63列並列に接続している．全ての Rosc が発振しない sleep モードと，63列のうち1列の

Rosc が動作する run モードがあり，sleep モードではスイッチングが行われず負荷容量を充放電する電流が流れない．よって sleep モードではリーク電流を測定することができる．Dec で sleep モードと run モードの切り替えやどの Rosc を発振させるかを制御する．Mux でどの Rosc の出力を観測するかを制御する．また，Dec と Mux に供給される電源 VDD と Rosc に供給される電源 VDDR はそれぞれ独立しているので，Rosc 部分のみの消費電力を測定することが可能である．

### 3.2 測定項目

この回路では，リングオシレータの発振周波数と消費電力を測定する．発振周波数は，出力波形を観測することによって測定する．消費電力は，動作時に消費されるスイッチング電力と，待機時に消費されるリーク電力の2種類を測定する．スイッチング電力は，Dec によって63列のうち1列だけリングオシレータを発振させた状態で測定する．リーク電力は，Dec によって63列全てのリングオシレータを発振させない状態で測定する．一つのチップの中に同じ設計のリングオシレータが63列あるので，各リングオシレータの遅延・電力を比較することによって，チップ内における遅延・電力ばらつきを測定することができる．また，今回は同じ回路が設計されたチップが30個あるので，63列のうち同じ位置に設計されているリングオシレータの遅延・電力をチップごとに比較することによって，チップ間における遅延・電力ばらつきを測定することができる．

### 3.3 測定方法

チップ実測の測定系を図3に示す．電源装置から電源 VDD を与える．リングオシレータ用の電源 VDDR は，電源装置からデジタルマルチメータを通して与える．そうすることでリングオシレータに供給される電流を測定し，消費電力を求めることができる．また電源端子の電圧を安定させるため，電源とグラウンドの間にはキャパシタを接続する．Dec，Mux の入力パターンはデータジェネレータによって与える．回路からの出力波形 OUT をオシロスコープで観測することによって発振周波数を求める．

### 3.4 測定機器

測定に使用する機器を表1に示す．今回使用したオシロスコープの帯域は  $2.5GHz$ ，サンプルレートは  $10GS/s$  である．また，デジタルマルチメータの直流電流分解能は  $0.1\mu A$  である．

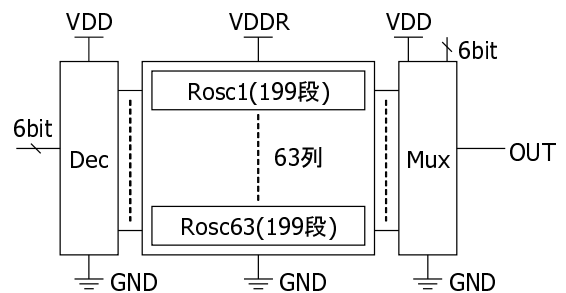


図2 測定回路

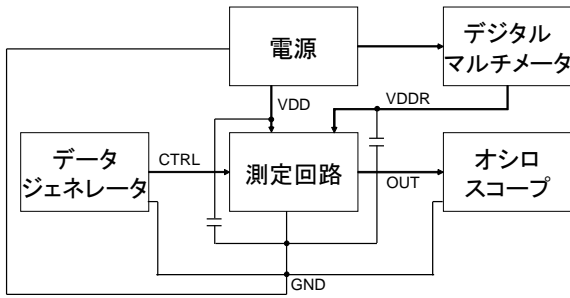


図3 測定系

表1 測定機器

区分	機器名	メーカー
オシロスコープ	TDS7254B	テクトロニクス
データジェネレータ	DG2020A	テクトロニクス
デジタルマルチメータ	DL-2050	ケンウッド
電源装置	PW18-1.8AQ	ケンウッド

#### 4. 遅延・電力ばらつきの実測結果と解析

##### 4.1 チップ内ばらつきとチップ間ばらつきと比較

図4～図8に周波数，スイッチング電力，リーク電力の度数分布を示す．周波数，スイッチング電力はチップ内とチップ間の分布を示す．リーク電力は1列ごとにリーク電力を測定することができず，チップ内ばらつきを測定することができないため，チップ間の分布のみを示す．ここで示す周波数，スイッチング電力，リーク電力の値は平均を100として正規化した値である．また，度数は定数を基準に正規化した値である．

図4～図8より，周波数，スイッチング電力のチップ内における分布は，正規分布に近いような形をとっていることが確認できる．また，周波数のチップ間における分布も正規分布に近いような形をとり，チップ内ばらつきと似たような形をとっている．しかし，スイッチング電力，リーク電力のチップ間における分布は正規分布のような形はとっておらず，チップ内における分布とは異なる形をとっている．したがってチップ内ばらつきとチップ間ばらつきは，ばらつきの性質が異なるということが考えられる．

図9にチップごとに周波数の最大値・最小値・平均値を比較したものを示す．図9より，チップごとに周波数の平均値は大きく異なっていることが確認できる．またチップごとの平均値の変化に比べると，各チップにおける周波数の最大値と最小値の差は小さい．以上のことから，チップ内よりチップ間の方がばらつきが大きいと考えられる．また図9より，平均値は最大値と最小値の差の中央ではなく，やや最大値側に寄っている事が確認できる．よって，最小値付近の周波数が得られる頻度は低く，最大値付近の周波数が得られる頻度が高いと考えられる．

表2にばらつきの大さきの比較を示す．ばらつきの大さきの指標としてここでは標準偏差を用いる．ここで， $f_{rosc}$  は発振周波数， $P_{total}$  は総消費電力， $P_{sw}$  はスイッチング電力， $P_{leak}$  はリーク電力， $P_{norm}$  は周波数で正規化したスイッチング電力の標準偏差を示し，それぞれの値はチップ内の周波数の標準偏差

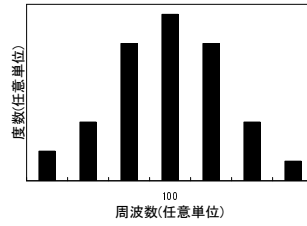


図4 周波数の度数分布 (チップ内)

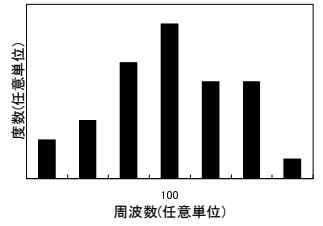


図5 周波数の度数分布 (チップ間)

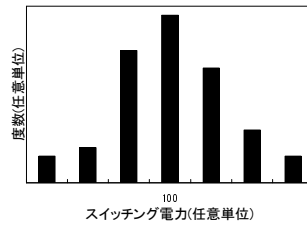


図6 スwitching電力の度数分布 (チップ内)

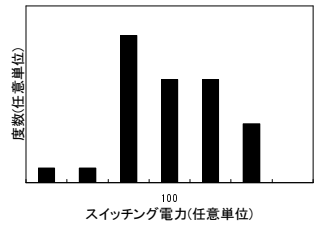


図7 スwitching電力の度数分布 (チップ間)

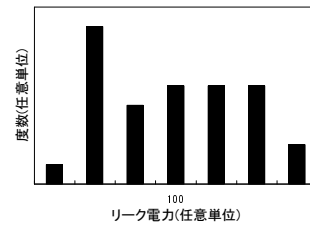


図8 リーク電力の度数分布 (チップ間)

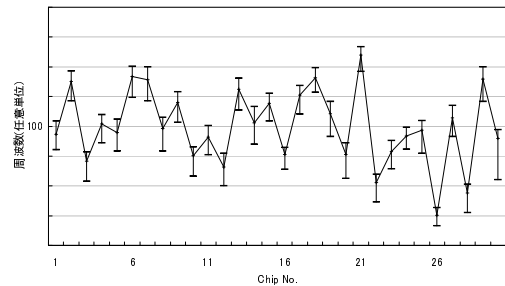


図9 チップごとの周波数の最大・最小・平均の比較

表2 標準偏差の比較

	$f_{rosc}$	$P_{total}$	$P_{sw}$	$P_{leak}$	$P_{norm}$
チップ内	1.00	0.784	0.899	-	0.521
チップ間	6.43	8.82	6.23	30.7	1.27

を1として正規化したものである．表2より，チップ内とチップ間でばらつきの大さを比較すると，チップ内よりチップ間の方がばらつきが大きいことが確認できる．

##### 4.2 周波数とスイッチング電力の関係

図10にチップ内における周波数とスイッチング電力の関係を示す．図10より，チップ内において周波数とスイッチング電力の間には正の相関があることが確認できる．これは，これは式(11)(13)より，周波数が大きくなると単位時間当たりのス

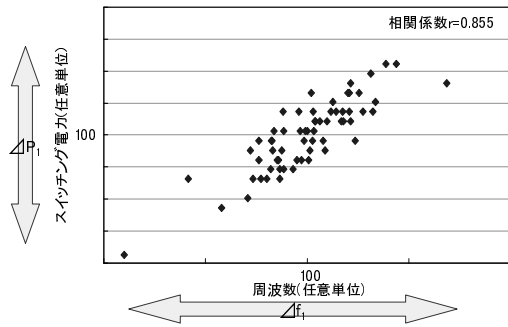


図 10 周波数とスイッチング電力の関係 (チップ内)

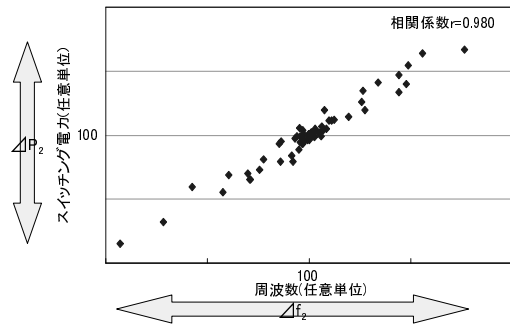


図 12 周波数とスイッチング電力の関係 (チップ間)

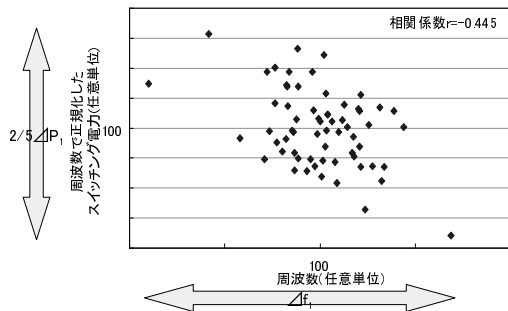


図 11 周波数とスイッチング電力 (周波数正規化) の関係 (チップ内)

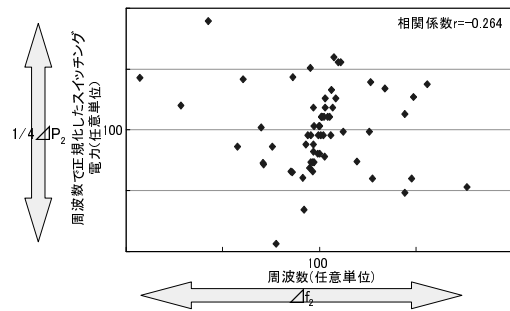


図 13 周波数とスイッチング電力 (周波数正規化) の関係 (チップ間)

スイッチング回数が多くなるため、その分スイッチング電力も増えるからであると考察できる。そこで、スイッチング電力を周波数で正規化して周波数の影響を取り除くと図 11 のようになる。式 (13) より、図 11 における周波数で正規化したスイッチング電力のばらつきは負荷容量  $C_{load}$  のばらつきの影響を受けていることになる。図 11 より、周波数の影響を取り除くことによって、周波数との相関は弱くなっていることが確認できる。また、チップ内におけるスイッチング電力のばらつきを  $\Delta P_1$  とすると、周波数で正規化したスイッチング電力のばらつきは  $2/5\Delta P_1$  で抑えられていることが確認できる。スイッチング電力のばらつきは、負荷容量のばらつきより周波数のばらつきの影響を強く受けると考察できる。

同様にして図 12 にチップ間における周波数とスイッチング電力の関係を示す。図 12 より、チップ間においても周波数とスイッチング電力の間に正の相関があることが確認できる。チップ内同様、スイッチング電力を周波数で正規化すると図 13 のようになる。図 13 より、チップ間におけるスイッチング電力のばらつきを  $\Delta P_2$  とすると、周波数で正規化したスイッチング電力のばらつきは  $1/4\Delta P_2$  で抑えられることが確認できる。

表 2 より、スイッチング電力を周波数で正規化するとチップ内、チップ間ともにばらつきは小さくなっていることが確認できる。以上のことから、スイッチング電力のばらつきは主に周波数のばらつきに起因していることが考察できる。

#### 4.3 周波数とリーク電力の関係

図 14 に周波数とリーク電力の関係を示す。図 14 より、周波数とリーク電力の間にも正の相関があることが確認できる。式 (7)(15) より、周波数とリーク電力はともに閾値電圧の影響を受けることがわかる。よって、周波数とリーク電力の間に正の

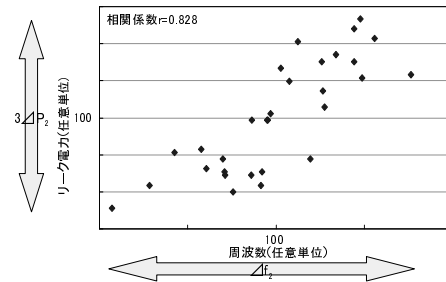


図 14 周波数とリーク電力の関係 (チップ間)

相関があるのは、周波数とリーク電力のばらつきがともに閾値電圧のばらつきに起因しているからであると推察できる。したがって、閾値電圧のばらつきを抑えることによって、周波数とリーク電力のばらつきを抑えることができると考えられる。また、チップ間におけるスイッチング電力のばらつきを  $\Delta P_2$  とすると、リーク電力のばらつきは  $3\Delta P_2$  となる。よって、スイッチング電力よりリーク電力の方がばらつきが大きいことが確認できる。

表 2 より各パラメータごとにばらつきの大きさを比較すると、リーク電力のばらつきが最も大きいことが確認できる。今回はリーク電力が総消費電力に占める割合が小さいので、結果的に総消費電力のばらつきは大きくなっていない。総消費電力に占めるリーク電力の割合が大きい回路のときはリーク電力のばらつきに対処することが重要であると考えられる。

#### 4.4 レイアウト位置によるばらつきの比較

図 15 は各リングオシレータごとに周波数の平均値を比較したものである。それぞれの値は全体の平均を 100 として正規化したものである。横軸は Rosc No. であり、上から順番に Rosc1

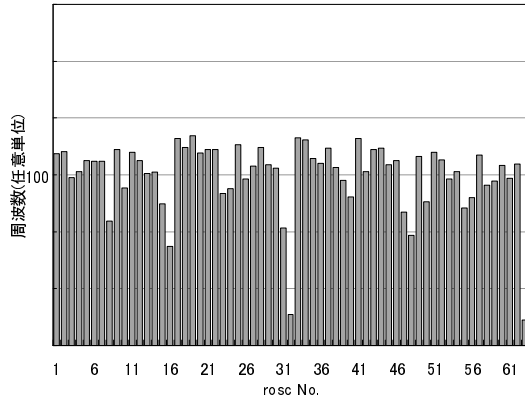


図 15 レイアウト位置による周波数の平均値の比較

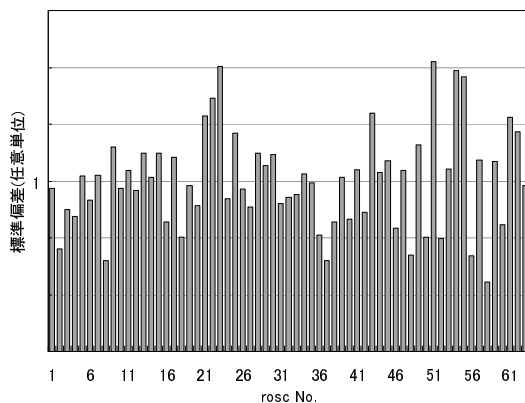


図 16 レイアウト位置によるばらつき大きさの比較 (周波数)

から Rosc63 まで並列に設計されている。また、図 16 は各リングオシレータごとに周波数の標準偏差を比較したものである。それぞれの値は平均を 1 として正規化したものである。

図 15 より、周波数の平均値のばらつきに一定の傾向は見られない。また図 16 より、周波数のばらつき大きさについても一定の傾向は見られない。これはスイッチング電力についても同様の結果が得られた。よってチップ内の非常に狭い範囲においては、レイアウト位置がばらつきに与える影響は小さいということが考察できる。

## 5. おわりに

本稿では 90nm プロセスで設計・試作した CMOS 回路の遅延および電力ばらつきの実測を行い、その結果の解析を行った。実測結果から、リーク電力のばらつきが最も大きいことが確認できた。また、チップ内よりチップ間の方がばらつきが大きいことが確認できた。周波数とスイッチング電力、周波数とリーク電力の間にはそれぞれ正の相関があることを確認した。スイッチング電力のばらつきは主に周波数のばらつきに起因していること、周波数とリーク電力のばらつきはともに閾値電圧のばらつきに起因していることが考察できた。また、チップ内の非常に狭い範囲においては、レイアウト位置がばらつきに与える影響は小さいということが考察できた。

今回得られた結果は 199 段のリングオシレータにおけるばら

つきの結果である。今後は、段数やゲート幅、チップ上のレイアウトの影響などが性能ばらつきに与える影響を考察する予定である。また、今回は測定条件をほぼ等しくして実測を行ったので、電源電圧や温度を変化させて性能ばらつきを測定し、電源電圧や温度などの測定条件がばらつきに与える影響を考察する予定である。

謝辞 本チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター、富士通株式会社、松下電器産業株式会社、NEC エレクトロニクス株式会社、株式会社ルネサステクノロジ、株式会社東芝の協力で行われたものである。また、本研究は一部科学研究費補助金(学術創成研究費(2))(課題番号:14GS0218)、および、産学連携研究費福岡県知的クラスタ創成事業「システム LSI 設計開発拠点創成」((財)福岡県産業・科学技術振興財団)による。

## 文 献

- [1] 岡田 健一, "集積回路における性能ばらつき解析に関する研究", 京都大学博士論文, 2003 年 3 月
- [2] Neil H. E. Weste, David Harris, "CMOS VLSI DESIGN : A Circuits and Systems Perspective", Addison Wesley, 2004
- [3] M. Eisele, J. Berthold, D. Schmitt-Landsiedel, and R. Mahnkopf, "The Impact of Intra-Die Device Parameter Variations on Path Delays and on the Design for Yield of Low Voltage Digital Circuits", International Symposium on Low Power Electronics and Design, Digest, of Technical Papers, pp.237-242, 1996.
- [4] T. Sakurai, R. Newton, "Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas", IEEE Journal of Solid-State Circuits, Vol.25, No.2, pp.584-594, Apr.1990.
- [5] 松澤 昭, "LSI 技術の課題とあり方", 電子情報通信学会論文誌 C, Vol.J87-C, No.11, pp.802-809, 2004 年 11 月.
- [6] Y. Taur and Tak H. Ning, "最新 VLSI の基礎", 芝原 健太郎 (監訳), 丸善, 2002
- [7] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee, and T. Sakurai, "VTH-Hopping Scheme to Reduce Subthreshold Leakage for Low-Power Processors", IEEE Journal of Solid-State Circuits, Vol.37, No.3, pp.413-419, Mar.2002