

## 90nmCMOS回路における遅延及び電力ばらつきの実測

山口, 聖貴  
九州大学

Yang, Yuan  
Xi'an University of Technology

樽見, 幸祐  
九州大学

坂本, 良太  
九州大学

他

<https://hdl.handle.net/2324/6314>

---

出版情報 : 2006年電子情報通信学会総合大会, AS-2-5, pp.23-24, 2006-03. IEICE  
バージョン :  
権利関係 :

# 90nmCMOS 回路における遅延及び電力ばらつきの実測

Measurement of Delay and Power Variation in 90nm CMOS Circuits

山口 聖貴<sup>†</sup> Yang Yuan<sup>‡</sup> 樽見 幸祐<sup>†</sup> 坂本 良太<sup>†</sup> 室山 真徳<sup>†</sup> 石原 亨<sup>†</sup> 安浦 寛人<sup>†</sup>  
M. Yamaguchi K. Tarumi R. Sakamoto M. Muroyama T. Ishihara H. Yasuura

九州大学<sup>†</sup>  
Kyushu University

西安理工大学<sup>‡</sup>  
Xi'an University of Technology

## 1 はじめに

半導体微細加工技術の進歩によりトランジスタの微細化が進み、集積回路の小型化、高速化が図られてきた。しかし製造プロセスの微細化が進むにつれて、製造条件のゆらぎが顕著になってきた [1]。製造条件の揺らぎは回路の性能をばらつかせる。よって、仕様を満たさない回路が増加し、歩留まりが低下してしまう。

歩留まりを向上させるためには、ばらつきに対処するための設計手法が必要となってくる。設計時にばらつきを考慮するには、実チップ上で性能を測定し、ばらつきを検証するための基礎データを得る必要がある。

そこで、本稿では 90nmCMOS プロセスで設計された TEG(Test Element Group) の遅延・電力の実測結果を示し、その結果の考察を行う。TEG にはリングオシレータを用いており、その発振周波数と消費電力を測定する。

## 2 測定回路

測定回路の回路図を図 1 に示す。

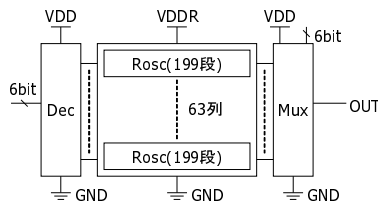


図 1 測定回路

199 段のリングオシレータ Rosc を 63 列並列に接続したものとデコーダ Dec、マルチプレクサ Mux からなる。チップ内でのばらつきを見るため、同じ設計の Rosc を 63 列並列に接続している。全ての Rosc が発振しない sleep モードと、63 列のうち 1 列の Rosc が動作する run モードがあり、sleep モードではスイッチングが行われないのでリーク電流を測定できる。Dec で sleep モードと run モードの切り替えやどの Rosc を発振させるかを制御する。Mux でどの Rosc の出力を観測するかを制御する。また、Dec と Mux に供給される電源 VDD と Rosc に供給される電源 VDDR はそれぞれ独立している。よって Rosc 部分のみの消費電力が測定可能である。

## 3 実測

### (1) 測定方法

電源装置から電源 VDD を与える。リングオシレータ用の電源 VDDR は、電源装置からデジタルマルチメータを通して与える。そうすることでリングオシレータに供給される電流を測定し、消費電力を求め

る。また電源端子の電圧を安定させるため、電源とグラウンドの間にはキャパシタを接続する。Dec, Mux の入力パターンはデータジェネレータによって与える。回路からの出力波形 OUT をオシロスコープで観測することによって発振周波数を求める。

### (2) 実測結果

周波数、総消費電力、リーク電力の度数分布を示す(図 2~図 6)。周波数はチップ内(図 2)とチップ間(図 3)の分布を示す。総消費電力はチップ内(図 4)とチップ間(図 5)の分布を示す。リーク電力は回路の都合上チップ内の比較は出来ないで、チップ間(図 6)の分布のみを示す。なお、この回路のリーク電力は 1 列あたりの総消費電力の 0.24% を占める。チップ内の分布とは同一チップ内にある 63 列個々のリングオシレータの実測結果の分布である。チップ間の分布とは 63 列のうち同じ位置にあるリングオシレータの実測結果のチップ間における分布である。各パラメータは平均を 100 として正規化した値である。

## 4 考察

### (1) 周波数と消費電力の関係

#### ① 周波数とリーク電力の関係

図 7 にチップ間における周波数とリーク電力の関係を示す。

#### ② 周波数とスイッチング電力の関係

図 8 にチップ内、図 9 にチップ間における周波数とスイッチング電力の関係を示す。スイッチング電力とは、充放電による電力と貫通電力の和である。ここでは、総消費電力とリーク電力の差をとったものである。

### (2) 周波数で正規化したスイッチング電力

図 10 にチップ内、図 11 にチップ間における周波数で正規化したスイッチング電力の度数分布を示す。図 12 にチップ内、図 13 にチップ間における周波数と周波数で正規化したスイッチング電力の関係を示す。ここで周波数で正規化したスイッチング電力とはスイッチング電力を周波数で割ったものとする。

### (3) チップ内・チップ間におけるばらつきの比較

表 1 に標準偏差の比較を示す。ここで、 $f_{rosc}$  は発振周波数、 $P_{total}$  は総消費電力、 $P_{sw}$  はスイッチング電力、 $P_{leak}$  はリーク電力、 $P_{reg}$  は周波数で正規化したスイッチング電力の標準偏差を示し、単位は% である。

### (4) 考察

① 周波数と消費電力の関係

図8, 図9より, 周波数とスイッチング電力の間には比例関係があることが確認できる.

また図7より, 周波数とリーク電力の間にも比例関係があることが確認できる. これは, 周波数とリーク電力のばらつきがともに閾値電圧のばらつきに起因していると推察できる.

② チップ内・チップ間ばらつき比較

表1より, チップ内よりチップ間の方がばらつきが大きいことが確認できる.

③ 各パラメータのばらつき比較

各パラメータごとに比較すると, リーク電力のばらつきが最も大きいことが確認できる.

また, 表1, 図12, 図13より, スwitching電力を周波数で正規化すると, ばらつきは他のパラメータより小さくなる. よってSwitching電力自体のばらつきは小さく, Switching電力がばらついているのは周波数がばらついているからであると考察できる.

5 おわりに

本稿では, 遅延・電力ばらつきの実測結果を示し, 考察を行った.

謝辞

本チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター, 富士通株式会社, 松下電器産業株式会社, NECエレクトロニクス株式会社, 株式会社ルネサステクノロジ, 株式会社東芝の協力で行われたものである. また, 本研究は一部科学研究費補助金(学術創成研究費(2))(課題番号:14GS0218), および, 産学連携研究費福岡県知的クラスタ創成事業「システム LSI 設計開発拠点創成」((財)福岡県産業・科学技術振興財団)による.

参考文献

[1] 岡田健一他, "トランジスタ特性におけるチップ内ばらつきのモデル化手法", 情報処理学会論文誌, Vol.43 No.5 pp.1330-1337, 2002年5月.

表1 標準偏差の比較

	$f_{rosc}$	$P_{total}$	$P_{sw}$	$P_{leak}$	$P_{reg}$
チップ内	0.494	0.387	0.444	-	0.257
チップ間	2.52	4.24	2.88	14.7	0.800

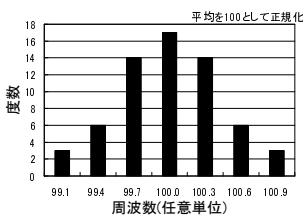


図2 チップ内における周波数の度数分布

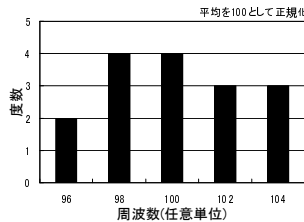


図3 チップ間における周波数の度数分布

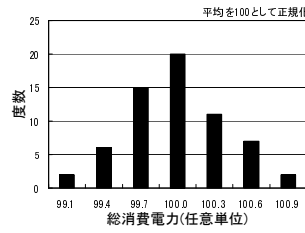


図4 チップ内における総消費電力の度数分布

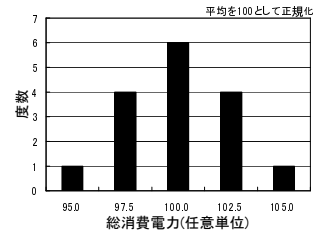


図5 チップ間における総消費電力の度数分布

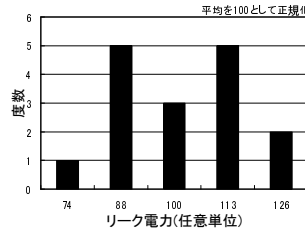


図6 チップ間におけるリーク電力の度数分布

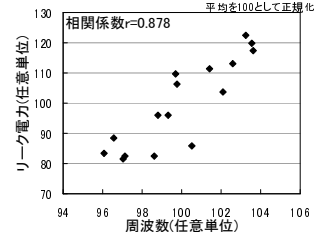


図7 チップ間における周波数・リーク電力の関係

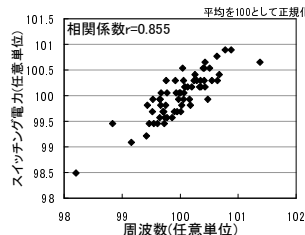


図8 チップ内における周波数・スイッチング電力の関係

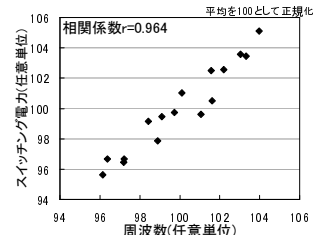


図9 チップ間における周波数・スイッチング電力の関係

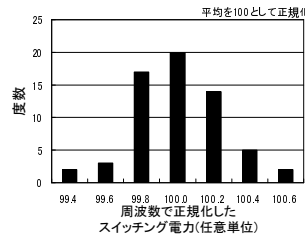


図10 チップ内における周波数で正規化したスイッチング電力の度数分布

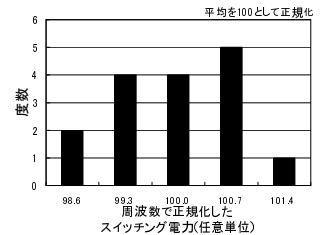


図11 チップ間における周波数で正規化したスイッチング電力の度数分布

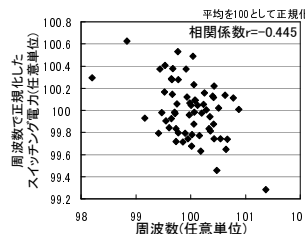


図12 チップ内における周波数・周波数で正規化したスイッチング電力の関係

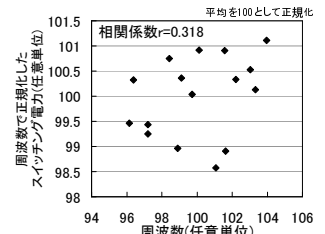


図13 チップ間における周波数・周波数で正規化したスイッチング電力の関係