

Future Direction of System LSI Design and Test Technology

Yasuura, Hiroto
System LSI Research Center, Kyushu University

<http://hdl.handle.net/2324/6262>

出版情報 : Proc. SEMI Technology Symposium (STS) 2005. 6, pp.3-7, 2005-12. SEMI Japan
バージョン :
権利関係 :



Future Direction of System LSI Design and Test Technology

Hiroto Yasuura

System LSI Research Center, Kyushu University

Biography

Hiroto Yasuura is a professor of Department of Computer Science and Communication Engineering, Graduate School of Information Science and Electrical Engineering, Kyushu University. He is also a director of System LSI Research Center in Kyushu University. Prof. Yasuura received the B.E., M.E. and Ph.D. degrees in computer science from Kyoto university, Kyoto, Japan, in 1976, 1978, and 1983 respectively.

Prof. Yasuura developed several EDA systems for VLSI and hardware algorithms of arithmetic operations, sorting and unification in Kyoto University. In Kyushu University, Prof. Yasuura have conducted research projects on the system LSI design methodology, which includes data-path width optimization, low-energy system design, SoC architecture and a core base LSI test method. His current interests includes embedded system design, hardware/software co-design, system design methodology and social infrastructure.

Prof. Yasuura served as Technical Program Chair and General Chair of ICCAD in 1997 and 1998, respectively. He served as a Vice President of IEEE CAS Society (2003-2004) and ACM SIGDA advisory board member (2001-2005). He is Steering Committee Chair of ASP-DAC and the research director of Silicon Sea Belt Project in Fukuoka.

Abstract:

Circumstances of semiconductor integrated circuits including system LSIs are largely changing. There are three big categories of the changes:

- 1) Change of Physical Restrictions
- 2) Change of Logical Restrictions
- 3) Change of Social Requirements

In this paper, we discuss new directions of design and test technologies from the following viewpoints.

- 1) Challenges for Physical Limitation
- 2) Challenges for Increase of Logical Complexity
- 3) Challenges for Creation of New Value Chain

Contents:

1. Challenges for Physical Limitation

Progress of fabrication technologies induces new physical problems such as effects of process, thermal and supply voltage variations. We have to develop new models to handle these phenomena as new device Modeling, DFM (Design for Manufacturability), DFT (Design for Test), and design accepting existence of faults. We discuss a new methodology called "Design for Yield" which includes various improvements in IP design, integration, fabrication and operation phases. [1]

2. Challenges for Increase of Logical Complexity

Rapid increase of the number of transistors on a chip induces changes of LSI design from parts design to system design. We have to resolve uncertainty of system specification. Systems are now open-ended spatially and temporally by network connection and software

downloading, respectively. As an example of solutions to manage the uncertainty, we discuss a concept of Network on a Chip (NoC). Test should be adopted to work well on NoC.[2]

We also discuss the problem on human resources for system LSI design. Since system LSI includes various components such as embedded software, RF, analog circuits, sensors and various memories, designer and test engineer require wide and advanced knowledge on these components. New curriculums for education of the engineers are very important of the future of system LSIs.

3. Challenges for Creation of New Value Chain

Spreading application areas of system LSIs, new characteristics which give chips values are important. Low energy consumption, quality, dependability and security will be new sources of chip value. As an example of the new value chain, we introduce a discussion on "Security on Chip"[3]. For system LSIs carrying "value" and "trust", we need new technologies in a chip implementation flow, namely, design, fabrication and test phases. We discuss possibility of new technologies to protect security of the implementation flow and prevent counterfeits of chips. (fig.1)

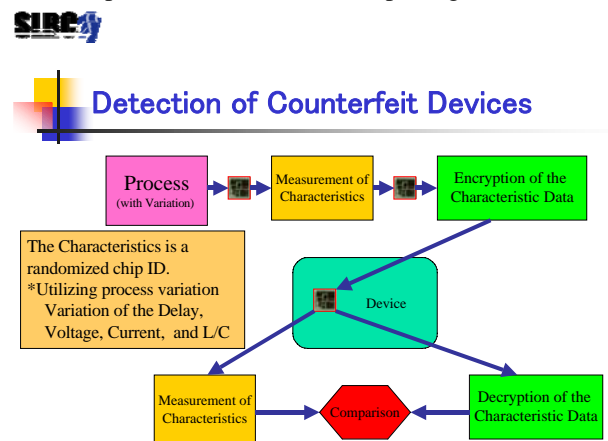


Fig.1 New application of test technology

Conclusion:

In this paper, we discussed three challenges of System LSI design and test. New approach for yield optimization requires a collaborative work of designers and test engineers. NoC is unification of network and LSI technologies. New application area will request new evaluation factors of System LSI and new test techniques for the evaluation factors are required.

References:

- [1] Yervant Zorian, "Design for Yield", MPSOC2005, <http://tima.imag.fr/mpsoc/>
- [2] Giovanni De Micheli, "Reliability and Reliable Design", MPSOC2005, <http://tima.imag.fr/mpsoc/>
- [3] Hiroto Yasuura, "Security Technologies for SoCs", The International Soc design Conference(ISOCC), Oct. 2005.

システムLSI設計とテスト技術の将来動向

九州大学

システムLSI研究センター・教授

安浦 寛人

概要：

システムLSIのテストは、微細化・高速化・複雑化によるテスト項目やテスト対象の変化とテスト時間の増大という問題に直面している。プロセス変動や電源電圧・クロック周波数の動的制御などによる設計パラメーターの複雑化への対応と製造、検査、解析を考慮した設計技術など今後の技術課題と動向を概観する。

1. はじめに

システムLSIを中心とする半導体集積回路技術を取り巻く環境は大きく変化してきている。

1) 物理的制約の変化

新しい材料や微細加工技術の進歩によって新しい物理現象が出現し、設計やテストがそれらに対応することを求められている。特に、微細化の進行は、デジタル回路をベースとした技術の限界を視野に入れなければならない事態を招いている。また、アナログ回路、各種メモリ、RF回路、MEMS等の混載も課題を難しくしている。

2) 論理的制約の変化

数億個以上の素子を1チップに搭載するシステムは、設計の危機的な複雑化を招いている。より抽象度の高い設計階層の要求、新しいシステムのモデル化とその記述方法の確立が求められている。また、ネットワーク接続、無線の搭載などによりシステム境界が拡大し、設計仕様の明確化が難しくなっている。

3) 社会的制約の変化

応用分野の多様化は、システムLSIに対し、信頼性、寿命、コストなど要求の多様化をもたらした。さらに、法的・経済的・環境問題的・エネルギー的・倫理的な各種の制約や製造物責任の問題など、新しい付加価値につながる課題を提示している。

本論文では、システムLSIの設計とテストを取り巻く環境の変化に対する対応について、1) 物理的限界への挑戦、2) 複雑さの増大への対応、3) 新しい付加価値の創造、という3つの観点から議論する。

2. 物理的限界への挑戦

90nm以降のプロセス技術においては、従来考えられなかった数々の新しい物理現象への設計やテストでの対応が求められる。基本的な信号やデバイスの動作のモデルを再構築する必要があるとともに、プロセス・温度・電源電圧の変動による特性の変動を前提とした設計が求められている(図1)。また、素子の信頼性が、システムの信頼性を十分に保証できない領域となり、新しい技術が求められている。



揺らぎと不確実性への対応

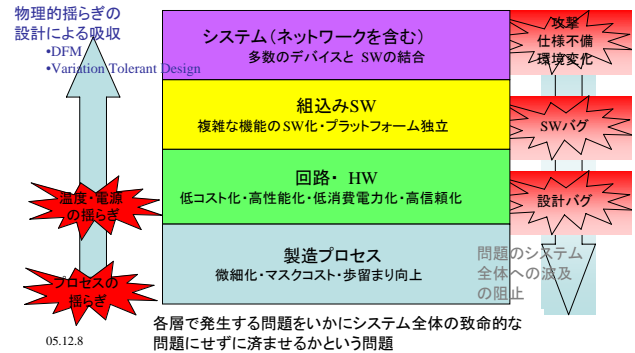


図1. 物理的変動への対応

微細化への対応としては、

- 1) デバイスの新しいモデル化
- 2) DFM(Design for Manufacturability)技術
- 3) DFT(Design for Testability)技術
- 4) 故障の存在を許容する設計技術

などが求められている。特に、半導体のビジネスにおいて、きわめて重要な Yield の向上を目標として、単に設計やテストの部分問題としてではなく設計・製造・テストなど半導体の生産体制全体における基本問題として考えることが重要である。[1]

例えば、従来の Yield 学習曲線に基づく Yield の向上戦略も、

- 1) 新しい材料・デバイス・回路の導入による変化
 - 2) 微細化による欠陥発生確率や変動要因の本質的な変化
 - 3) 設計期間や製品の寿命の短縮化
 - 4) 水平分業体制での責任範囲の変化
- などを考えて新しい戦略を構築することが求められる。

故障解析においても、古典的な1) 故障位置の同定、2) 故障の除去、3) 原因解明と設計ルールへの反映という流れだけでなく、設計・製造フロー全体を視野に入れた議論が必要である。間欠故障への対策、モニタ用回路の埋め込みとそれからのデータを利用した Yield 対策、各段階における検出・解析・修正ループの確立などが主要な技術テーマとなる。

3. 複雑さの増大への対応

システム LSI においては、システム自身が1つの LSI 上に実現される為に、これまでの半導体集積回路の基本であった部品設計の考え方から、システム設計の考え方に大きく転換する必要がある。チップのコストモデルから信頼性やテストに対する基本方針も、システム設計の観点を導入する必要がある。

システム LSI のための新しいシステム設計法の確立、デジタル回路、アナログ回路、メモリ、センサー、RF、MEMS から組込みソフトウェアまでを統合的に取り扱える設計技術とテスト技術の確立が求められる。従来の大規模システム設計の指導原理であった1) 階層化、2) 物理層と論理層の分離、3) 設計の自動化、4) プログラム可能性の導入などを再度見直し、組込みソフトウェアの増大とデジタル回路設計に対する限界を前提とした設計手法の再構築が求められている。

特に、無線を含む各種通信技術、センサー技術、各種メディア処理技術、OS やコンパイラなどの基盤ソフトウェア、セキュリティ技術など応用分野の専門知識がシステム LSI 設計に求められている。従来のアーキテクチャ・論理回路・物理設計という階層化を見直し、個々の応用分野に適した新しい階層化と階層間のインターフェースの構築が求められている。さらに、ネットワーク接続によるシステムの空間的な境界の拡大と不確定化、ソフトウェアの運用時ダウンロードなどによる時間的な仕様の変化などへの対応が仕様の不確実性を確実に高めている。さらには、ネットワーク経由の攻撃やワーム・ウィルスによる攻撃など故意のシステムへの攻撃も、ソフトウェアやハードウェアのバグとともに考慮しなければならない。このように、システム仕様の不確実性に対応するための設計およびテスト技術が求められている (図2)。



揺らぎと不確実性への対応

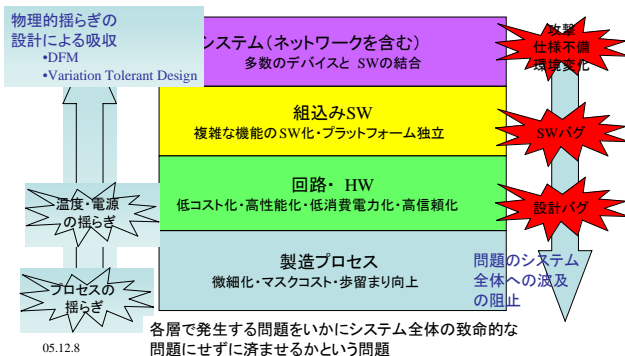


図2. システムの不確実性への対応

このような不確実性に対応する手法として、ネットワーク・オン・チップ(NoC)という概念が提案されている。インターネットなどの通信分野では、

多くの不確実性(通信路の混雑状況、通信経路の故障、ネットワークの構成など)が存在し、各種の不確実性を前提としてのシステム設計が行われる。このような概念を、物理的変動やシステム仕様の不確実性への対応のために、チップ内の通信路の設計に適用するのが NoC の考え方である。各種の IP コア(プロセッサ、メモリ、専用回路など)のネットワークへの接続インターフェースを統一し、限られた通信資源を有効かつ柔軟に利用するとともに、変動や不確実性から来る信頼性の低下を、システム技術によって高信頼化する(図3)。インターネットのようにプロトコルスタックを用意し、QoS(Quality of Service)を重視したシステム LSI 内の通信を実現する。通信路上での各種通信方式(CDMA などの利用)、無線によるチップ内・チップ間通信の利用など新しい通信技術が集積回路内に導入される可能性が広がる。[2]



接続インターフェースの統一

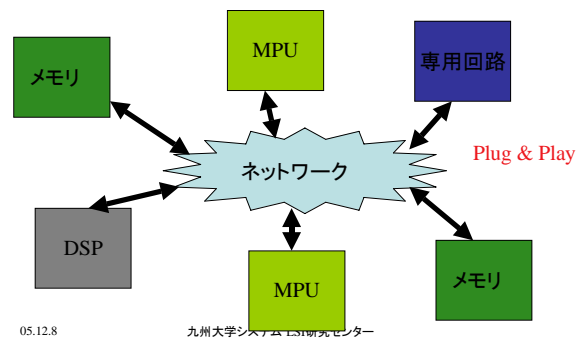


図3. ネットワーク・オン・チップの概念

NoC の概念を取り入れた設計では、テスト技術にも新たな課題が生じる。単に、個々の IP コアのテストだけでなく、ネットワークとのインターフェース、ネットワーク自身のハードウェア、ネットワーク上のプロトコル(エラー時の再送機構や誤り訂正機能、ソフトウェア層のプロトコルなど)のテスト手法が必要となる。さらに、チップ全体のテスト自身も、ネットワークを介して行われるので、テスト用アクセスパス(テスト入出力のパス)やテストピンの割当、テストスケジューリングの問題など新しいテスト設計方式の提案も始まっている。

システム LSI 設計の複雑さに対する最大の問題は、設計者の育成問題である。チップの設計者には、応用分野の知識、システム・ソフトウェア・通信などに関する知識、LSI 設計・製造・テストに関する経験が要求される。特に、組込みソフトウェアを含むシステムアーキテクチャを考えることができるシステム LSI 設計者の不在は、大きな障害となりつつある。台湾・韓国は、設計者養成に真摯に取り組み、国家レベルの戦略に従った大規

模な養成プロジェクトを始めている。製造分野だけでなく、製品企画や設計分野においても、東アジア諸国の追い上げに対する対策が必要である。

4. 新しい付加価値の創造

応用分野の多様化に伴い、システム LSI に求められる要求は大きく変化している。それぞれの分野で求められる付加価値を正しく把握し、対応する評価尺度を明確にして、設計やテストの手法を構築することが重要である。

携帯情報機器のようなバッテリー駆動のデバイスや RFID タグ・IC カードのような無電源デバイスなどの応用では、徹底した低消費エネルギー化が重要な付加価値につながる。このほか、画像や音声の品質、製品の信頼性や寿命、セキュリティ対策など、応用分野ごとに求められる付加価値は大きく異なる。

一例として、セキュリティの問題を考える。IC カードや携帯電話など、決済や個人認証の基盤として、すでにシステム LSI を搭載したデバイスが用いられている。これらのデバイスにおいては、LSI 本体よりも、それが搭載している「価値」や「信用」の方が圧倒的に経済的価値として大きくなる。多くのセキュリティ関係の議論は、チップが利用される段階における暗号に関する機能やサイドチャネルアタックのような攻撃に対する耐タンパー性を議論している。しかし、「価値」や「信用」の媒体としての集積回路を考えると、設計時、製造時、テスト時などの安全性の問題を議論する必要があることは明白である。[3]

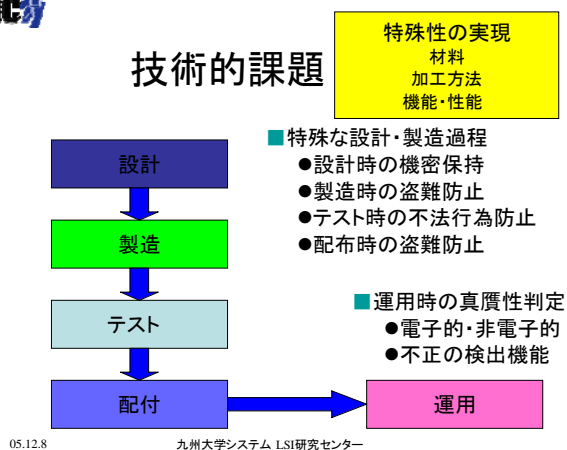


図 4. セキュリティに関する課題

設計データの機密保持は重要な問題であり、EDA ツールやそのメンテナンスに対する安全性の議論にもつながる。多数の IP コアや組込みソフトウェアをどのように信頼できるようにすることも問題である。DFT で導入されるスキャンパスの自動挿入など、設計者が制御していない現状を放置できるかなどという問題もある。製造段階においては、マスク情報や製造されたチップの盗

難防止が必要となる。また、ファウンダリの製造数に対する不正をどのようにチェックするかも重要な問題である。テスト工程においては、良品のチップを不正に不良品として横流しをするような犯罪への対策が必要となる。さらに、偽物のチップが製造・利用されたときに、いかにその真贋性を判定するかという技術は、極めて大きな付加価値の源泉となりうる。

真贋性の判定は、テスト技術の新しい応用分野となる可能性がある。デバイスの運用時に、何らかの方法で、チップの真贋性をチェックする技術は、現在の紙幣の贋札防止策と同様の意味で重要である。図 5 に示す方法は、製造時の揺らぎなどを利用してチップ固有の特性値（チップの指紋）と公開鍵暗号を組み合わせた方法である。特製データを暗号化したものをデータとしてチップに格納し、真贋性判定時にそのデータとその場で測定した特製データを比較して真贋性を判定する原理である。このような目的に合った特性とその簡易でかつ正確な測定法が確立できれば、その応用範囲は大きい。



真贋性保証の例

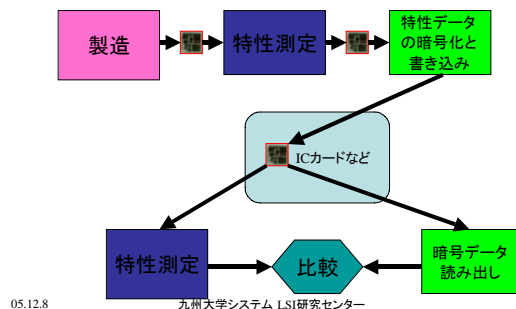


図 5. 電子経済基盤の確立

コピーが容易に可能なデジタル情報技術の上に、いかにして、偽造や不正ができない信頼性の高いシステムを構築するかは、新しい社会基盤としての電子経済システムの基礎技術として重要である。

図 6 に、新しい付加価値につながるとされる安全性・セキュリティ、信頼性・長寿命、安定性などに関連する要素技術を、それぞれの技術分野に分けて図示した。信頼性の評価とテストに関する技術は、この中でも重要な位置を占めている。単に、設計・製造されたものに対する評価の技術から、新しい付加価値を保証する中心的な技術としてのテスト技術の進化が期待される。

5. まとめ

本論文では、システム LSI の設計とテストを取り巻く環境の変化に対する対応について議論した。物理的限界への挑戦の観点からは、微細化に伴う新しい物理

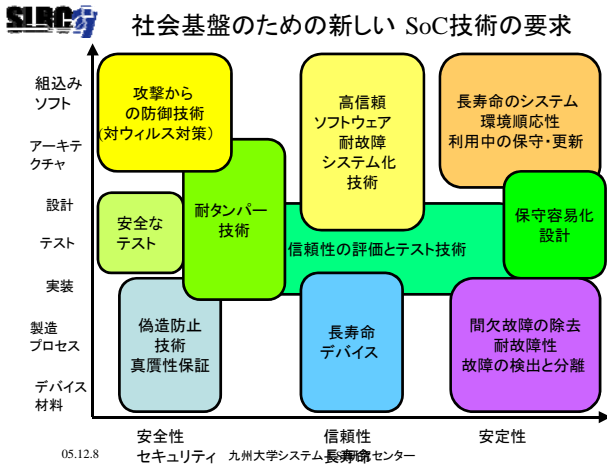


図6. 新しい付加価値のための技術

現象や物理的な変動に対応する技術が必要である。また、Yieldを向上させる為に、基本に立ち返った設計とテストの手法の見直しが必要となる。

複雑さの増大への対応の観点からは、大規模システムの設計原理を見直すとともに、NoCのような新しいチップアーキテクチャが必要となっている。これにともない、テスト技術も新しいアーキテクチャの性質を活かした手法への転換が求められている。

新しい付加価値の創造の観点からは、新しいValue Chainに結びつく評価尺度とそれに対応するテスト技術が求められる。

参考文献:

[1] Yervant Zorian, "Design for Yield", MPSOC2005, <http://tima.imag.fr/mpsoc/>

[2] Giovanni De Micheli, "Reliability and Reliable Design", MPSOC2005, <http://tima.imag.fr/mpsoc/>

[3] Hiroto Yasuura, "Security Technologies for SoCs", The International Soc design Conference (ISOC), Oct. 2005.