

CMOSプロセスにおけるゲート遅延ばらつき測定回路 の提案

坂本, 良太
九州大学大学院システム情報科学府

室山, 真徳
九州大学システムLSI 研究センター

樽見, 幸祐
九州大学大学院システム情報科学府

安浦, 寛人
九州大学大学院システム情報科学研究院

<http://hdl.handle.net/2324/6250>

出版情報：電子情報通信学会技術研究報告, ICD2005-70. 105 (234), pp.19-23, 2005-08. 電子情報通信学会ICD研究会

バージョン：

権利関係：



CMOS プロセスにおけるゲート遅延ばらつき測定回路の提案

坂本 良太[†] 室山 真徳^{††} 樽見 幸祐[†] 安浦 寛人^{†††}

[†]九州大学 大学院システム情報科学府 〒 816-8580 福岡県春日市春日公園 6-1
^{††}九州大学 システム LSI 研究センター 〒 814-0001 福岡県福岡市早良区百道浜 3-8-33
^{†††}九州大学 大学院システム情報科学研究院 〒 816-8580 福岡県春日市春日公園 6-1
E-mail: †{sakamoto,tarumi}@c.csce.kyushu-u.ac.jp, ††muroyama@slrc.kyushu-u.ac.jp,
†††yasuura@c.csce.kyushu-u.ac.jp

あらまし 近年、製造ばらつきに起因する遅延時間のばらつきが顕著になっている。遅延時間のばらつきは歩留りを低下させるため、それに対処する方法が必要である。また逆に、遅延時間のばらつき自体を積極的に活用する方法なども提案されている。したがって基礎データの取得およびばらつきの利用のためには、ばらつきを測定・検出できることが非常に重要となる。そこで、インバータ 1 段のゲート遅延時間、及びそのばらつきを実測から求められる回路を提案する。提案する回路では、深い段数のインバータチェーンの最終段にフリップフロップを接続したものを複数段並列接続している。これにより、個々のインバータでは小さい遅延ばらつきを大きくし、なおかつデジタル値として検出可能にしており、同時にばらつきの分布の測定を可能にしている。この回路を用いてばらつき検出・補正回路や、ばらつき生成回路としての応用も期待できる。

キーワード ゲート遅延, Deep Sub-Micron, ばらつき測定回路, CMOS

A Digital Detector Design For Measuring Gate-Delay Variation

Ryota SAKAMOTO[†], Masanori MUROYAMA^{††}, Kosuke TARUMI[†], and Hiroto YASUURA^{†††}

[†] Graduate School of Information Science and Electrical Engineering, Kyushu University
6-1 Kasugakoen, Kasuga-shi, Fukuoka 816-8580 Japan
^{††} System LSI Research Center, Kyushu University
3-8-33 Momochihama, Sawara-ku, Fukuoka 814-0001 JAPAN
^{†††} Graduate School of Information Science and Electrical Engineering, Kyushu University
6-1 Kasugakoen, Kasuga-shi, Fukuoka 816-8580 Japan
E-mail: †{sakamoto,tarumi}@c.csce.kyushu-u.ac.jp, ††muroyama@slrc.kyushu-u.ac.jp,
†††yasuura@c.csce.kyushu-u.ac.jp

Abstract Recently, gate-delay variation which is caused by process variation has become remarkable. Since gate-delay variation poses the yield loss, to prevent the gate-delay variation is important. On the other hand, it is possible to utilize the gate-delay variation positively. For obtaining basic information on the gate-delay variation or exploiting the variation, we must consider how to measure and detect the variation. In this paper, we propose a variation measurement/detection circuit. A deep stage inverter chain with a flip flop (a basic inverter chain) can detect gate-delay variation by using digital values. Multiple basic inverter chains are connected in parallel for measuring distributions of the delay-variation. A variation detector/compensator or a variation generator with the proposed circuit can be developed.

Key words gate-delay, Deep Sub-Micron, Variation Measuring Circuit, CMOS

1. はじめに

近年、半導体加工技術の微細化が進み、集積回路の小型化及

び高速化が図られてきたが、製造時に生じるイオン注入条件や熱処理の温度などのゆらぎの影響が顕著になってきた。このゆらぎは素子の形状や物性的な条件に影響を与え、チップ内・チッ

間でトランジスタの電気的な特性がばらつくことになる。トランジスタの特性がばらつければ回路性能もばらつく。そのため、仕様どおりに動作しない回路が増え、歩留りの低下につながりコストが増加してしまう。

そこで、これらのばらつきを見越してマージンをとった設計が行われる。従来はマージンをとって集積回路の速度性能の信頼性を高めていた。しかし、微細化とともに遅延に対するマージンが相対的に大きくなっており、結果としてマージンをとることが難しく、仕様どおりに動作しない回路が増えると予測されている。以上の理由から、ばらつきに対処するための手法が必要とされている。

また逆に、ゲート遅延のチップ間ばらつきを利用し、チップ固有のIDを生成する方法など、ばらつきを積極的に利用する手段も提案されている [1], [2]。このように、ばらつきに対処する手法を提案したり、逆に利用するためには、ゲート遅延ばらつきの基礎データを得ることが必要である。またそのためには、ゲート遅延ばらつきを検出・測定できることが非常に重要となる。

以上の背景から、本稿ではゲート遅延ばらつきを検出・測定すべく、ゲート遅延ばらつき測定回路を提案する。提案する回路は限られた測定環境の中で測定できるよう、深い段数のインバータチェーンの最終段にフリップフロップを接続したものを、複数列並列接続して構成されている。これにより、個々のインバータでは小さいゲート遅延のチップ内ばらつきを測定でき、かつデジタル値として検出可能としている。

また複数のチップを測定することでチップ間ばらつきも測定できる。この回路を応用することで、ばらつきを検出・補正を行う回路や、ばらつき生成回路としての応用も期待できる。

従来から、チップ内のばらつきを回路的に増幅して、閾値電圧のばらつきを測定する回路 [3] や、チャンネル長のばらつきを測定する回路 [4] など、物理現象に近いパラメータを測定対象とした測定回路が提案されているが、本論文では、回路設計に直接影響を与える遅延を測定対象としている。

本稿では、第2章でインバータの遅延ばらつきについて、第3章では、提案するゲート遅延ばらつき測定回路の説明を行う。第4章では、測定環境を示し、最後に第5章でまとめる。

2. インバータの遅延ばらつき

遅延時間のばらつきは一般的に正規分布に従うことが知られているため、説明の際に用いる分布には正規分布を仮定する。

インバータのゲート遅延 d は次式で表される [5]。

$$d \propto \frac{C_{load} V_{DD}}{\mu C_{OX} (W/L) (V_{DD} - V_{th})^\alpha} \quad (1)$$

μ はキャリアの移動度、 V_{th} は閾値電圧、 C_{OX} は単位面積当たりのゲート容量、 W 及び L はチャンネル幅及びチャンネル長、 α は短チャンネル効果に依存し、 $1 \sim 2$ の値である [6]。また近年のプロセスでは、これらのパラメータのうち、閾値電圧のばらつきとチャンネル長のばらつきが支配的となっている [7], [8]。

インバータ1段のゲート遅延が正規分布 $N(\bar{d}, \sigma^2)$ に従うとする。 \bar{d} はインバータ1段の平均ゲート遅延時間、 σ^2 はその

分散を、 σ は標準偏差を表す。一般的に、 $N(\mu, \sigma^2)$ の正規分布において、 $\mu - 3\sigma$ から $\mu + 3\sigma$ までの生起確率が全体の約99.7%を占めることから、 $\mu - 3\sigma$ を統計的な最良値、 $\mu + 3\sigma$ を最悪値として用いる場合が多い [7]。よって本論文においても、インバータの遅延時間に関して、 $\bar{d} - 3\sigma$ を best ケース、 $\bar{d} + 3\sigma$ を worst ケースの指標として用いる。また、正規分布 $N(\mu, \sigma^2)$ の確率密度関数は、次式で表される。

$$f(t) = \frac{1}{\sqrt{2\pi}\sigma} e^{-\frac{(t-\mu)^2}{2\sigma^2}} \quad (2)$$

3. ゲート遅延ばらつき測定回路の提案

3.1 提案測定回路

今回設計を行った測定回路全体のブロック図を図1に、レイアウト図を図2に示す。なお、使用したプロセスは90nmCMOSプロセスで、回路面積はおよそ 0.3mm^2 である。測定回路は大きく分けて、以下の3つのブロックから構成される。

- インバータチェーンブロック
- 電圧制御発振器 (Voltage Controlled Oscillator ; VCO)
- 分周器

から構成される。本章では、各回路の説明及び、回路全体の動作を示す。

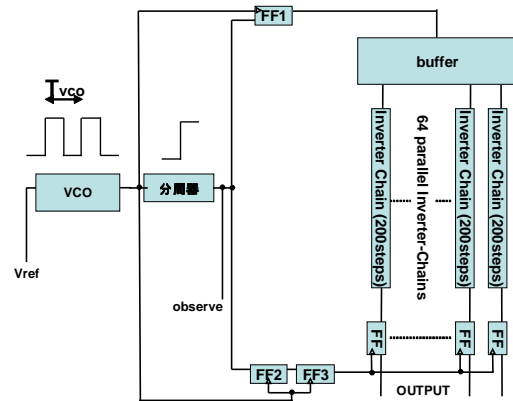


図1 ゲート遅延ばらつき測定回路のブロック図

3.1.1 インバータチェーンブロック

インバータチェーンブロックは、インバータを200段直列接続したインバータチェーンを、64列並列接続した回路からなる。インバータ1段では、平均ゲート遅延時間 \bar{d} 及びその標準偏差 σ は極めて小さく測定が困難である。そこで、インバータ200段を直列接続したインバータチェーンを用いる。

なお、入力側にはファンアウト4のバッファが接続されており、入力信号は3段のバッファを通過して各インバータチェーンへと到達する。

またシミュレーションから、インバータチェーン1列の信号伝搬遅延時間は、typical ケースの遅延時間を1とすると、best ケースの遅延時間が0.75、worst ケースの遅延時間が1.37との結果を得た。

3.2 全体の動作

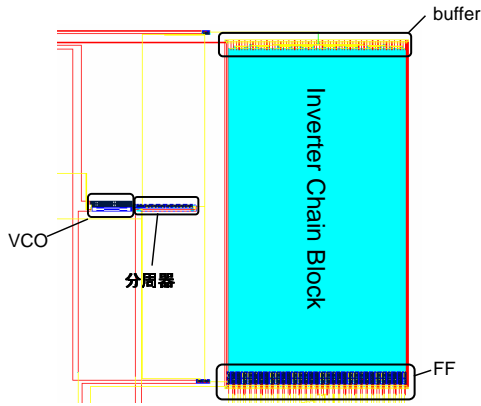


図 2 ゲート遅延ばらつき測定回路のレイアウト図

3.1.2 VCO

測定回路に用いた VCO は、カレントミラー回路を挿入したリングオシレータから構成される。回路図を図 3 に示す。

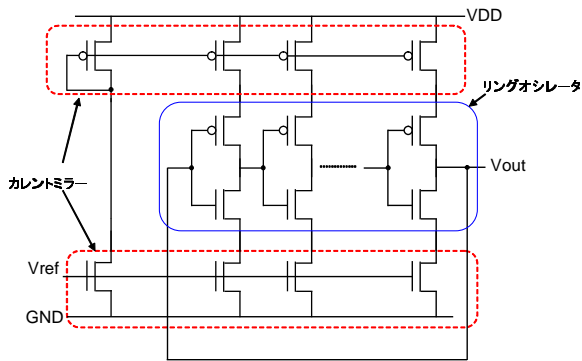


図 3 VCO の回路図

リングオシレータと電源の間に P 型 MOSFET によるカレントミラー回路を、リングオシレータとグランドの間に N 型 MOSFET によるカレントミラー回路を挿入する。P 型 MOSFET によるカレントミラー回路は、基準となるトランジスタのゲートとドレインをつなぎ、飽和領域で動作させる。N 型 MOSFET によるカレントミラー回路は、基準となるトランジスタのゲートに入力電圧 V_{ref} を印加する。この V_{ref} を変化させることによって、インバータに流れる電流値を制御し、発振周期を可変にできる。

3.1.3 分周器

VCO を構成する素子もばらつくため、シミュレーション通りの周波数特性を得られるとは限らない。そこで、VCO が所望の周期で発振できているかを確認する必要がある。また、使用する測定機器を考慮すると、なるべく周波数を低くすることが必要である。そこで、VCO の出力信号を分周するために分周器を用いた。発振周期の確認は、この分周器の出力を測定することで実現できる。この分周器は、D フリップフロップを 7 段直列接続して構成されており、VCO の出力信号の周波数を 1/128 に分周する。

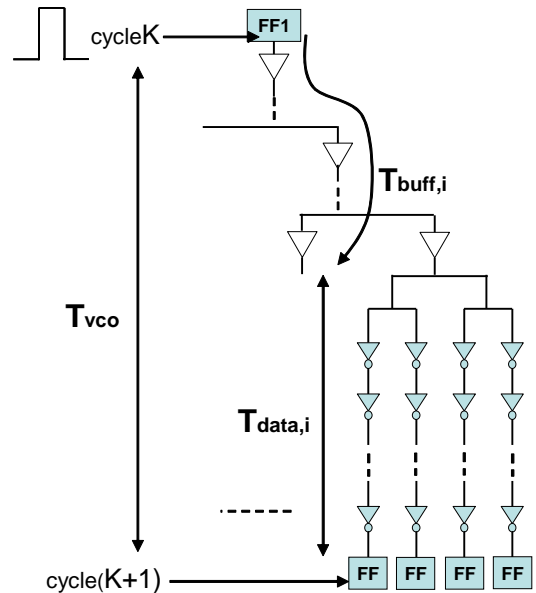


図 4 各バスの遅延時間

回路の動作を説明する (図 4 参照)。

まず、分周器の low から high へと変化した出力信号が、FF1 で VCO の K 番目のクロックにラッチされる。次に、FF1 の出力信号はバッファ 3 段を経由し、各インバータチェーンを通過する。そのときのバッファを通過するときの信号伝搬遅延時間を $T_{buff,i}$ 、インバータチェーンを通過するときの信号伝搬遅延時間を $T_{data,i}$ とする。ここで添字の i は、64 列のインバータチェーンの内、回路の外側から i 列目のインバータチェーンを指す。

各インバータチェーンの最終段にはフリップフロップが接続されており、VCO の $K+1$ 番目のクロックによって、インバータチェーンからの信号をラッチする。このとき $1 \leq i \leq 64$ の i について、 $(T_{buff,i} + T_{data,i})$ がばらつくため、ある列では立ち上がった信号をラッチし 1 を出力するが、ある列では立ち上がった信号の到達前にクロックが入力されるため、立ち上がった信号をラッチできず 0 を出力する。さらに、この K 番目のクロックと $K+1$ 番目のクロックの差、つまり VCO の発振周期 T_{VCO} を変えることにより、遅延時間のばらつきが測定可能となる。詳細は次節で説明する。

3.3 結果の予測

予測される結果のグラフを図 5 (b) に示す。グラフの直角に推移している点線は、ばらつきのない理想的な結果である。ばらつきのない理想的な状態では、ある VCO の発振周期 T_{TH} で全列の信号が一斉にラッチされる。一方、曲線は測定結果の予測で、ばらつきが正規分布に従えば T_{TH} 付近でラッチできる信号の数が多くなる。さらに σ^2 が大きい場合 (図中の実線の曲線)、 σ^2 が小さい場合 (図中の点線の曲線) に比べて T_{TH} からずれた周期でラッチされる数が多くなる。

ここで、測定結果から、インバータ 1 つのゲート遅延時間の確率密度関数を求める手順を示す。インバータチェーンを m 列

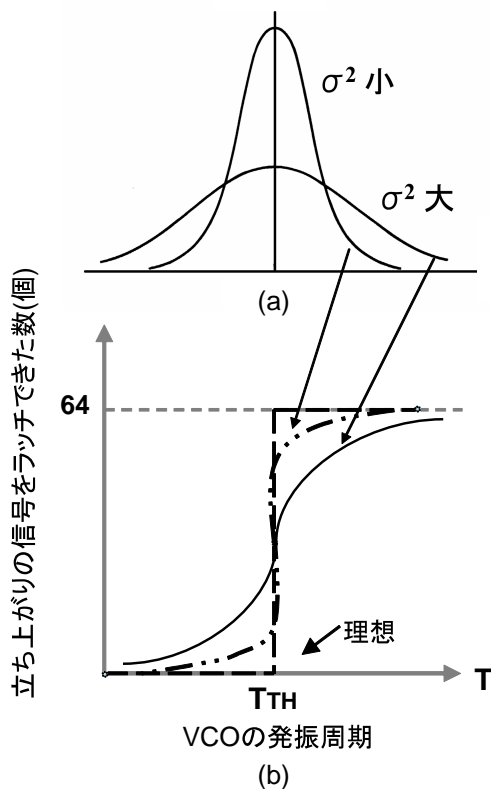


図 5 (a) 確率密度関数 (b) 測定結果の予測

並列接続したとし、また、インバータ n 段のインバータチェーンにおける遅延時間の確率密度関数を $f_n(t)$ 、その累積分布関数を $p_n(t)$ とする。

測定から得られた結果 (図 5 (b) 参照) のうち、VCO の発振周期 t_1 で立ち上がり信号をラッチできた数 $C(t_1)$ は、 m 列のインバータチェーンの遅延が全て互いに独立であると仮定すると、次式で表される。

$$\begin{aligned}
 C(t_1) &= m \cdot p_n(t_1) \\
 &= m \int_{-\infty}^{t_1} f_n(t) \cdot dt
 \end{aligned}
 \quad (3)$$

式 3 より、確率密度関数 $f_n(t)$ を求めることができ、次にインバータ 1 段あたりの遅延時間の確率密度関数である $f(t)$ を求める。

4. 測定手順

試作チップの測定は、チップと FPGA を載せたボードを用いて行う (図 6 参照)。

まず、チップに電源を供給し、測定回路の VCO に入力電圧 V_{ref} を印加する。この際、多出力直流安定化電源を用いるが、電源電圧、VCO の入力電圧ともに厳密に一定の値を保っておく必要がある。そのため、多出力直流安定化電源とチップの間に信号を安定化させる回路を挟む。図中のオシロスコープは、

分周器からの出力を観測するためのものである。分周器からの出力を観測することで、VCO が所望の発振周期で安定して発振しているか確認する。VCO が安定して発振したところで測定を開始する。

チップの出力信号は FPGA へ入力され、信号の電圧の high の数を計測する。

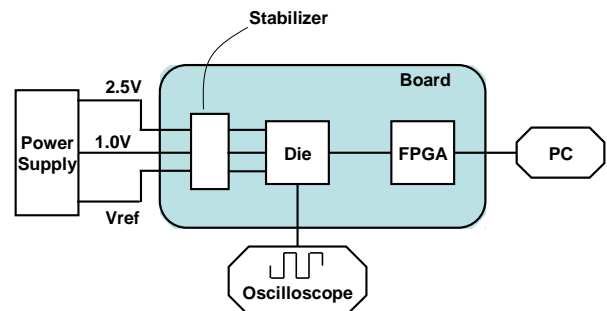


図 6 測定機器と試作チップの接続図

以上の手順を V_{ref} を変えながら行う。

5. おわりに

本稿では、ゲート遅延ばらつき基礎データを得ることを目標とし、なおかつ、限られた測定環境の中で測定できるようなゲート遅延ばらつき測定回路を提案した。

今後の課題として、ボード設計など、チップ周辺の回路の設計が急務である。また、ゲート遅延ばらつき基礎データが得られたとして、ばらつき補正回路や ID 生成回路としての応用を視野に入れた回路の考案を行う予定である。

謝辞 本チップ試作は、東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター、富士通株式会社、松下電器産業株式会社、NEC エレクトロニクス株式会社、株式会社ルネサステクノロジ、株式会社東芝の協力で行われたものである。また本研究は、日本ケイデンス株式会社、シノプシス株式会社、メンター株式会社の協力で行われたものである。また本研究は、一部科学研究費補助金 (学術創成研究費 (2)) (課題番号: 14GS0218) によるものである。

文 献

- [1] G. Edward Suh, Charles W. O'Donnell, Ishan Sachdev, Srinivas Devadas, "Design and Implementation of the AEGIS Single-Chip Secure Processor Using Physical Random Functions," Proceedings of the 32nd Annual ISCA, pp.25-36, 2005.
- [2] Jae W. Lee, Daihyun Lim, Blaise Gassend, G. Edward Suh, Marten van Dijk, and Srinivas Devadas, "A Technique to Build a Secret Key in Integrated Circuits for Identification and Authentication Applications," Proceedings of the IEEE VLSI Circuits Symposium, June 2004.
- [3] M. Conti, G.-F. D. Betta, S. Orcioni, G. Soncini, C. Turchetti and N. Zorzi, "Test structure for mismatch characterization of MOS transistors in subthreshold regime," Proceedings of IEEE International Conference on Microelectronic Test Structures, Vol. 10, pp.173-178, 1997.
- [4] S. Matsumoto, H. j. Mattausch, S. Ooshiro, Y. Tatsumi,

- M. Miura-Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita and N. Nakayama, "Test-Circuit-Based Extraction of Inter- and Intra-Chip MOSFET-Performance Variations for Analog-Design Reliability," Proceedings of IEEE Custom Integrated Circuits Conference, pp.582-585, 2001.
- [5] M. Eisele, J. Berthold, D. Schmitt-Landsiedel and R. Mahnkopf, "The Impact of Intra-Die Device Parameter Variations on Path Delays and on the Design for Yield of Low Voltage Digital Circuits," International Symposium on Low Power Electronics and Design, Digest of Technical Papers, pp.237-242, 1996.
- [6] T. Sakurai and R. Newton, "Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas," IEEE Journal of Solid-State Circuits, Vol.25, No.2, pp.584-594, Apr.1990.
- [7] 岡田 健一, "集積回路における性能ばらつき解析に関する研究," 京都大学博士論文, <http://www.tamaru.kuee.kyoto-u.ac.jp/%7Ekokada/paper/dthesis.pdf>, 2003.
- [8] M. Orshansky, L. Milor, P. Chen, K. Keutzer and C. Hu, "Impact of Systematic Spatial Intra-Chip Gate Length Variability on Performance of High-Speed Digital Circuits," Proceedings of IEEE/ACM International Conference on Computer-Aided Design, pp.62-67, 2000.