

# デジタル無線通信用ベースバンド処理部における デジタルフィルタの低消費電力化設計

樽見, 幸祐  
九州大学大学院システム情報科学府

辻本, 泰造  
科学技術振興事業団 研究成果活用プラザ福岡

安浦, 寛人  
九州大学大学院システム情報科学研究院

<https://hdl.handle.net/2324/6065>

---

出版情報 : DASymposium 2003 || || p215-219, pp.215-219, 2003-07. 情報処理学会  
バージョン :

権利関係 : ここに掲載した著作物の利用に関する注意 本著作物の著作権は(社)情報処理学会に帰属します。本著作物は著作権者である情報処理学会の許可のもとに掲載するものです。ご利用に当たっては「著作権法」ならびに「情報処理学会倫理綱領」に従うことをお願いいたします。

# デジタル無線通信用ベースバンド処理部におけるデジタルフィルタの低消費電力化設計

樽見 幸祐<sup>†</sup> 辻本 泰造<sup>††</sup> 安浦 寛人<sup>†††</sup>

<sup>†</sup> 九州大学大学院システム情報科学府

<sup>††</sup> 科学技術振興事業団 研究成果活用プラザ福岡

<sup>†††</sup> 九州大学大学院システム情報科学研究院

E-mail: <sup>†</sup>{tarumi,yasuura}@c.csce.kyushu-u.ac.jp, <sup>††</sup>taizo@fukuoka.jst-plaza.jp

**概要** 本論文では、デジタル無線通信用デジタルベースバンド処理部の低消費電力化について紹介する。特に、演算処理が多いデジタルフィルタに着目し、デジタルフィルタの消費電力を削減する設計方法を提案する。デジタルフィルタは複数の乗算器、および、加算器から構成されている。出力精度を満たす範囲内でデジタルフィルタ内部の冗長な演算を省くことで消費電力を削減する。つまり、出力精度を補償する各乗算器の入力ビットを求めることでデジタルフィルタの消費電力を削減する。

## A digital filter design method of a baseband processor in a digital wireless communication system for low power

Kousuke TARUMI<sup>†</sup>, Taizo TSUJIMOTO<sup>††</sup>, and Hiroto YASUURA<sup>†††</sup>

<sup>†</sup> Graduate School of Information Science and Electrical Engineering Kyushu University

<sup>††</sup> Japan Science and Technology Corporation, Innovation Plaza Fukuoka

<sup>†††</sup> Graduate School of Information Science and Electrical Engineering Kyushu University

E-mail: <sup>†</sup>{tarumi,yasuura}@c.csce.kyushu-u.ac.jp, <sup>††</sup>taizo@fukuoka.jst-plaza.jp

**Abstract** In this paper, we introduce a design method of a baseband processor in a digital wireless communication system for low power. Especially, we focus on a digital filter that has a lot of calculations in the baseband processor, and we propose a design method to cut down power consumption of the digital filter. The digital filter is made up of some multipliers and adders. So, we reduce power consumption by finding the number of input bits of multipliers in the digital filter within compensation for output margin.

### 1. はじめに

最近、携帯電話はいうに及ばず、近距離通信目的の bluetooth や無線 LAN, RF タグなど、デジタル無線通信の応用範囲が非常に広がっている。それに伴って、デジタル無線通信システムを応用したアプリケーションの開発が非常に活発に行われている [8].

無線 LAN や携帯電話においては、バッテリーの駆動時間の延長やパッケージのコスト削減といった要求がある。また、RF タグに至っては、電源そのものを搭載せ

ずに外部からの供給で動作させたいという要求もあるため、デジタル無線通信用 LSI の低消費電力化、低消費エネルギー化が非常に強く望まれている。

現在の無線 LAN 用 LSI の消費電力の半分以上がデジタルベースバンド処理部にて占められている [7]. よって、デジタルベースバンド処理部の低消費電力化が重要となる。本論文では、デジタルベースバンド処理部の波形整形部で用いられているデジタルフィルタに注目する。デジタルフィルタは行う演算量も多いため消費電力も大きい。そのデジタルフィルタの低消費電力

化することで、対象システムの消費電力を削減する手法を提案する。

今まで、デジタルフィルタの設計に関しては、主に精度をあげるための演算アルゴリズムに関する研究が行われてきた。例えば、デジタル信号処理プロセッサにおいては使用できるビット長が有限であるため、実数を有限のビット長で表現し演算を行う必要がある。デジタル化することにより発生する量子化誤差や丸め演算誤差が発生する。その影響を小さくする手法などがあげられる[10]。一方、低消費電力化に関する研究としては、同じフィルタ係数の乗算器を一つにまとめることで回路を小さくするといった手法[10]や、フィルタ係数の乗算を分割し共通な乗算部分の演算結果を再利用する手法[11]などが提案されている。

筆者はデジタルフィルタを構成する乗算器と加算器に注目した低消費電力化を紹介する。乗算器の個数を表す Tap 数と乗算器へ入力される信号の一つであるフィルタ係数のビット数を最適化することによりデジタルフィルタの低消費電力化設計を行った。

本論文の構成は以下の通りである。2章で今回対象としている IEEE802.11b の開発に関して述べる。3章では、デジタルフィルタの低消費電力化設計に関して述べる。最後に、4章で本論文をまとめる。

## 2. IEEE802.11b 準拠 LSI の開発

ここでは、現在開発を行っている IEEE802.11b 準拠 LSI の仕様の概略の説明とその開発状況を説明する。

### 2.1 IEEE802.11b の基本仕様

1997年にオリジナル規格 IEEE802.11 が完成したあと、IEEE802.11 ワーキンググループにおいて物理層の高速化に関する検討が始まった。この時、2.4GHz帯の周波数を使用して物理層の高速化を検討したのが、タスクグループ b(TGb)であり、1999年にインタースイル(Intersil)社とルーセント・テクノロジー(Lucent Technologies)社の共同提案による CCK(Complementary Code Keying, 相補符号変調)方式を採用し、最高 11Mbps の伝送速度を実現する IEEE802.11b 規格が完成した。現在もっとも普及している無線 LAN の規格であり、現在オフィスや家庭で使用されているもののほとんどが、この IEEE802.11b 規格に準拠したものである[8]。

IEEE802.11b は 2.4GHz 帯を用いて通信を行う。日本においては、2.400GHz から 2.497GHz 帯に 14 チャネルの通信路が利用可能である。また、その通信データレートは、以下の 4 種類が規格されている。

- 1Mbps, BPSK
- 2Mbps, QPSK
- 5.5Mbps, CCK

- 11Mbps, CCK

IEEE802.11b は、高速データ通信を目的とした無線 LAN の規格である。2.4GHz 帯を利用し、最大 11Mbps のデータ転送速度で送信できる。IEEE802.11b は、OSI 参照モデルの物理層とデータリンク層(MAC 層)のみを規定する。IEEE802.11b の物理層は 1Mbps, 2Mbps に対応している。また、直接スペクトラム拡散技術(DSSS)、および、QPSK 変調を利用した CCK を使うことにより、5.5Mbps, 11Mbps も対応することができる[2],[3],[4],[5]。

### 2.2 デジタルベースバンド処理部

筆者らが行っている IEEE802.11b 準拠 LSI の開発について述べる。筆者は、デジタルベースバンド処理部の開発の担当であり、仕様の決定からハードウェアの設計、その動作検証を行っている。以下では、特にデジタルベースバンド処理部について述べる。ここでは、IEEE802.11b の無線 LAN 用回路のデジタルベースバンド処理部の回路構成、および、その演算処理の概要を述べる。

現在開発中である IEEE802.11b 規格のデジタルベースバンド処理部は以下のブロックで構成されている[6]。

- 送信部
  - PLCP フレーム形成部
  - データスクランブル部
  - PSK 変調処理、および、拡散処理部
  - 波形整形処理部
- 受信部
  - 波形整形処理部
  - タイミング調整部
  - PSK 復調処理、および、逆拡散処理部
  - 逆データスクランブル部
  - PLCP フレーム分解処理部

デジタルベースバンド処理部の送信部における処理は、PLCP フレーム形成部にて送信データにヘッダ情報を付加し、フレームを形成する。データスクランブル部にてデータ中の 0,1 の出現頻度に偏りがある場合送信を行っていくので、均等に出現するようスクランブルを行う。スクランブルされたデータに対し、変調処理、および、スペクトル拡散処理を行う。最後に、信号が使用している周波数帯域を制限するための波形整形処理を行う。

次に、受信部を説明する。受信した信号にはノイズや様々な遅延波が含まれる。波形整形部、および、タイミング調整部にてそのノイズや遅延波を除去し望む信号成分のみを抽出する。信号抽出後、復調処理、および、逆スペクトル拡散処理を行う。送信側にてスクランブルされたデータを逆スクランブル部にて元に戻す。最後に、受信したフレームより、ヘッダ情報や送信されたデータ

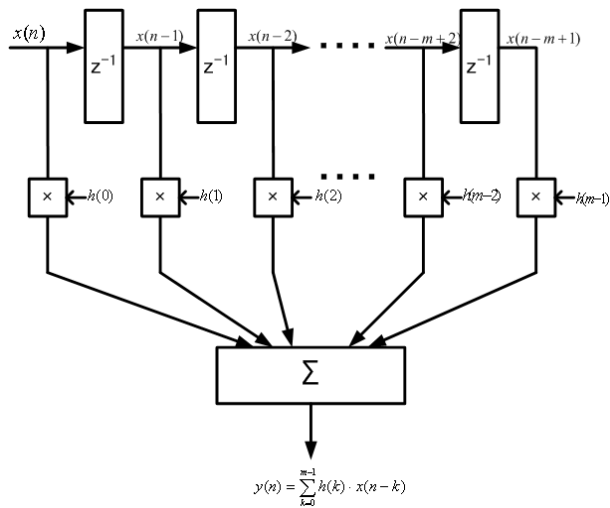


図1 FIRフィルタの構造

の抽出を行う。

### 3. デジタルフィルタの低消費電力化設計

この章では、IEEE802.11b 準拠 LSI のデジタルベースバンド処理部において、演算量が比較的多いデジタルフィルタの低消費電力化へ向けた設計について述べる。今回のデジタルベースバンド処理部において、デジタルフィルタは図1のように表される FIR フィルタを用いた[10]。

FIR フィルタの入出力特性は以下のように表すことができる。

$$y[n] = \sum_{k=0}^{m-1} h[k] \cdot x[n-k]$$

ここで、

- $x[n]$  : 時刻  $t = nT$  における入力
- $y[n]$  : 時刻  $t = nT$  における出力
- $m$  : フィルタの *Tap* 数
- $h[k]$  :  $k$  番目の *Tap* のフィルタ係数
- $T$  : 周期

である。

この入出力特性にて表現されるデジタルフィルタは、乗算を  $m$  回、加算を  $m-1$  回行う必要があり、デジタルフィルタは乗算と加算といった数値演算を多く必要とする。Tap 数  $m$ 、及び、入出力信号値やフィルタ係数を表現するためのビット数を増やせば、高精度なフィルタ特性を実現することが可能である。しかし、Tap 数の増加は乗算回数、加算回数の増加を招き、ビット数の増加は1回あたりの乗算、加算の演算処理の増加を招く。その結果、消費電力、回路面積が増大する。したがって、

消費電力と Tap 数、ビット数にはトレードオフの関係が存在するといえる。

仕様を満たす範囲での低消費電力化を行う場合、このデジタルフィルタの消費電力、回路面積は乗算器、加算器、シフトレジスタに入力されるビット数の影響が大きい。したがって、これらのビット数を最適化することにより、消費電力、回路面積の削減を行う。

#### 3.1 フィルタ仕様

今回実験に用いるフィルタの仕様を以下の表1に示す。

表1 フィルタ仕様

サンプリングレート	22MHz
カットオフ周波数	5.5MHz
遮断周波数におけるゲイン	-30dB 以下
入力信号ビット数	8ビット
出力信号ビット数	8ビット
フィルタの許容遅延時間	1 [μsec]
フィルタのスループット	22 [Msample/sec]

仕様に関して説明する。このフィルタには、入力信号が 22[Msample/sec] で入力され、出力信号も 22[Msample/sec] で出力される必要がある。そのため、このフィルタのスループットは 22[Msample/sec] としている。また、遮断周波数領域におけるゲインは IEEE802.11b の送信スペクトルの規格により決定されているため、上記のような仕様になっている。

また、フィルタ係数のとりうる値は、 $-1$  から  $1$  の間の実数とし、フィルタ係数は 2 進数の固定小数点表現で表されるものとする。 $n$  ビットのフィルタ係数の値は次のように表される。

$$[c_{n-1}, c_{n-2}, \dots, c_0] = \left( \sum_{i=0}^{n-2} 2^{i-n+1} \cdot c_i \right) - c_{n-1}$$

$$c_i \in \{0, 1\}, i = 0, 1, \dots, n-1$$

ここで用いているフィルタに関しては、出力信号の帯域制限は行うが符号間干渉が生じさせてはいけないという条件を満たす必要がある。この条件を満たすフィルタとしてよく使われるフィルタには、コサインロールオフフィルタがある。

ここで、コサインロールオフフィルタについて簡単に説明する。コサインロールオフフィルタの周波数特性は  $\alpha$  をパラメータとして以下の式で表される。周波数特性は図2で表される [1], [9]。

$$H(f) = \begin{cases} 1, & |f| \leq \frac{1-\alpha}{2T} \\ \frac{1}{2} \{1 - \sin \frac{\pi t}{\alpha} (|f| - \frac{1}{2T})\}, & \frac{1-\alpha}{2T} \leq |f| \leq \frac{1+\alpha}{2T} \\ 0, & \text{otherwise} \end{cases}$$

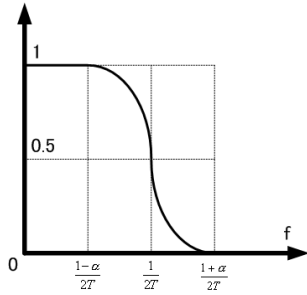


図2 コサインロールオフフィルタの周波数特性

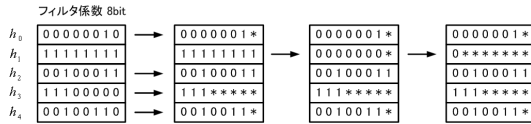


図3 フィルタ係数のビット数削減例

### 3.2 フィルタの低消費電力化

デジタルフィルタは複数の乗算器と加算器からなっている。乗算器や加算器の回路面積、消費電力は、入力される信号のビット数に依存する[14],[15]。乗算器、加算器に入力されるビット数を最適化することで消費電力を削減する。ただし、入力されるビット数を削減する場合、出力精度が悪くなる可能性がある。そこで、出力精度を満たす範囲内で、それぞれの乗算器や加算器への入力ビット数を削減する。

簡単な例を用いて提案手法を説明する。ただし、以下のフィルタ係数は、8ビット2進数の固定小数点を用いて表されているとする。まず図3のなかの、”11111111(= $-\frac{1}{128}$ )”というデータに注目する。このデータは8ビットで表されているが、フィルタにおける演算としては重要度が低く、8ビットでなく7ビットとして処理しても差し支えないと仮定する。すると、8ビット目が”1”であるので切り上げて丸め処理を行う。その結果、”0000000”というデータになり、乗算の演算が単純化できる。このため、フィルタの演算量が減り、低消費電力化につながる。下位ビットの”0”をマスクすることによりビット数を削減できる。この例をまとめたものを図3に示す。このように最下位ビットの丸め処理を行うことにより、フィルタ係数のビット数を削減することが可能である。このとき、フィルタの仕様を満たしていれば、この丸め処理を行っても問題はないことがわかる。

以上のように、フィルタ係数の値により最適なビット数が異なるので、それを最適化することでデジタルフィルタの消費電力を削減できる。

### 3.3 実験

今回の提案手法により、どの程度効果が得られるかを

表2 デジタルフィルタの消費電力

デジタルフィルタ	消費電力 (mW)
フィルタ係数 16 ビット	196.8
フィルタ係数 8 ビット	112.8(42.7%)
提案手法を適用したもの	33.9(82.8%)

実際に実験により評価した。

実験には、システムレベルの検証ツールとして mathworks 社の MATLAB を用いた。また、実際の回路への実装は verilog HDL を用いて行った。この HDL 記述を Synopsys 社の Design Compiler で論理合成を行い、回路面積・消費電力を見積もった。

MATLAB を用いてフィルタの Tap 数・フィルタ係数のビット数を変えながら、周波数特性のシミュレーションを行った。仕様を満たしたフィルタに関して、verilog HDL で回路へ実装し、Design Compiler で論理合成を行い、回路面積・消費電力を見積もった。

最適な Tap 数とそれぞれのフィルタ係数のビット数の決定は以下のように行った。

(1) フィルタ係数のビット数をすべて同じであるとし、消費電力が最適となる Tap 数とビット数の組み合わせの決定

(2) 個々のフィルタ係数のビット数の最適化

また、Tap 数とビット数の探索範囲は以下のようにして決定した。デジタルフィルタ乗算と加算に要する時間を無視した場合、フィルタの遅延時間は Tap 数の半分のクロック数である。クロック周波数は 22MHz であるため、遅延時間が 1[ $\mu$ s] とするのは Tap 数が 44 の時である。探索する Tap 数とビット数の範囲は以下の通りである。

- Tap 数は、1 から 44
- ビット数は、1 から 16

### 3.4 実験結果

この実験で得られた消費電力、および、回路面積の結果を以下の表2,表3にそれぞれまとめる。表中のフィルタ係数が 16 ビットというものは、デジタルフィルタのフィルタ係数を 16 ビットの固定小数点で表現したときのフィルタである。同様に、フィルタ係数 8 ビットとは、8 ビットで表現したものである。提案手法を適用したものは、まず、フィルタ係数を簡単にし乗算器に入力される入力データのビット数を削減したものである。また、表中の消費電力、回路面積中の括弧の中に示している数値は、フィルタ係数が 16 ビットの場合と比較した時の削減率である。

### 3.5 考察

実験の結果、フィルタ係数が 16 ビットのデジタルフィルタの消費電力が 196.8mW であるのに対し、今回

表3 デジタルフィルタの回路面積

デジタルフィルタ	回路面積 ( $\mu\text{m}^2$ )
フィルタ係数 16 ビット	555501
フィルタ係数 8 ビット	264194(52.4%)
提案手法を適用したもの	181710(67.3%)

の低消費電力化のための設計を行ったデジタルフィルタは 33.9mW であった, これは, 約 82.8% の電力削減である。回路面積も約 67.3% の削減ができた。デジタルフィルタのみのシミュレーションを行った結果, フィルタ特性は若干変化したが特性は仕様を満たしていた。フィルタの出力結果に含まれる誤差が増加したため, デジタルフィルタの出力結果は悪くなった。しかし, デジタルフィルタとシステム全体のモデルとともにシミュレーションを行ったところ, ビットエラーレートの変化はなかった。つまり, システム全体での演算精度を劣化させることなく, 消費電力を削減できることを確認した。

#### 4. おわりに

本論文では IEEE802.11b のデジタルベースバンド処理部におけるデジタルフィルタの低消費電力化設計を行い, その削減効果を示した。今までは, フィルタは演算精度を落とさないように最適化することが行われてきた。しかし, 本論文ではシステム全体における誤差を抑えつつ, デジタルフィルタの演算精度を落とすことで消費電力を削減できることを示した。提案手法は, 特に, フィルタ係数, および, 入力ビット数に着目した低消費電力化である。である。

入力ビット数最適化のための有用なアルゴリズムはなく, 総当たりでビット数の組み合わせを探索した。このアルゴリズムを考案することが今後の大きな課題の一つである。

本論文で行った実験はまだ未完成的な部分が多く, システム全体のハードウェアへの実装ができていないため, 詳細な検証ができていない。フィルタに関しては今回実装まで行ったが, その他のデジタルベースバンド処理部のブロックはモデルレベルのままシミュレーションを行った。このため, 回路を実装した時, 本当に有効なものであるのかということが確認することが今後の課題である。デジタルフィルタのみで演算量を削減したので, 他の回路でエラー訂正等の演算が必要になるかも知れない, という問題も発生する。この問題の解決策としても, もっと詳細な実験が必要であり, 定性的, 定量的な評価を行うべきであると考えられる。

#### 謝 辞

本研究をするにあたり, 非常に活発な議論をして頂いた九州大学システム情報科学府の兵頭章彦氏, 室山真徳氏, および, 安浦・村上・松永研究室の諸氏に感謝します。

た九州大学システム情報科学府の兵頭章彦氏, 室山真徳氏, および, 安浦・村上・松永研究室の諸氏に感謝します。

本研究は, 一部科学技術振興事業団研究成果活用プラザ福岡育成研究, および, 平成 15 年度科研費学術創成研究 (課題番号: 14GS0218) による, 東京大学大規模集積システム設計教育センターを通し, シノブシス株式会社の協力で行われたものである。

#### 文 献

- [1] 藤野 忠, デジタル移動通信, 昭晃堂, 2000, ISBN:4785612037
- [2] IEEE Std 802.11-1999, Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications
- [3] IEEE Std 802.11b-1999, Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications: Higher-Speed Physical Layer Extension in the 2.4GHz Band
- [4] IEEE Std 802.11b-1999, Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications, Amendment 2:Higher-speed Physical Layer(PHY) extension in the 2.4GHz band
- [5] IEEE Std 802.11b-1999, Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications, Amendment 3:Specification for operation in additional regulatory domains
- [6] Intersil, HFA3863 データシート, Dec. 2001, <http://www.intersil.com/data/fn>
- [7] Intersil, PRISM2.5 データシート, <http://www.intersil.com/design/prism/ser-p25-11mbps.asp>
- [8] Interface 2003 年 2 月号, ワイヤレスネットワーク技術入門, pp27~113
- [9] 三瓶政一, デジタルワイヤレス伝送技術, ピアソンエデュケーション, 2002 年 9 月, ISBN:4894715600
- [10] 尾知博, シミュレーションで学ぶデジタル信号処理, CQ 出版, 2001 年 7 月, ISBN:4789833208
- [11] Jongsum Park, Woopyo Jeong, Hunsoo Choo, "High performance and Low power FIR Filter Design Based on Sharing Multiplication", ISLPED '02 11.3s, August 2002
- [12] H-J.Kang, H.Kim, I-C.Park "FIR Filter Synthesis Algorithms for Minimizing the Delay and the Number of Adders", ICCAD pp51~54, 2000
- [13] I-C.Park, H-J.Kang "Digital Filter Synthesis Based on Minimal Signed Digit Representation", DAC pp468~473, 2001
- [14] Kai Hwang 著, 堀越 訳, コンピュータの高速演算方式, 近代科学社, 1980 年 9 月, ISBN:4864900610
- [15] 富沢孝, 松山泰男 監訳, CMOSVLSI 設計の原理 システムの視点から, 丸善, 1988 年 8 月, ISBN:4621041398