

## VDEC IPプロジェクトの成果IPとその利用について

安浦, 寛人  
九州大学 システムLSI 研究センター

末吉, 敏則  
熊本大学 工学部数理情報システム工学科

久我, 守弘  
熊本大学 工学部数理情報システム工学科

柳澤, 政生  
早稲田大学 理工学部電子・情報通信工学科

他

<http://hdl.handle.net/2324/6064>

---

出版情報 : DAシンポジウム 2003, pp.115-120, 2003-07. 情報処理学会

バージョン : accepted

権利関係 : ここに掲載した著作物の利用に関する注意 本著作物の著作権は(社)情報処理学会に帰属します。本著作物は著作権者である情報処理学会の許可のもとに掲載するものです。ご利用に当たっては「著作権法」ならびに「情報処理学会倫理綱領」に従うことをお願いいたします。



# VDEC IP プロジェクトの成果 IP とその利用について

## 1. プロセッサコア IP

安浦 寛人<sup>†</sup> 末吉 敏則<sup>‡</sup> 久我 守弘<sup>‡</sup>  
柳澤 政生<sup>††</sup> 弘中 哲夫<sup>‡‡</sup>

<sup>†</sup>九州大学 システム LSI 研究センター

<sup>‡</sup>熊本大学 工学部数理情報システム工学科

<sup>††</sup>早稲田大学 理工学部電子・情報通信工学科

<sup>‡‡</sup>広島市立大学 情報科学部情報工学科

E-mail: <sup>†</sup> yasuura@slrc.Kyushu-u.ac.jp, <sup>‡</sup> {sueyoshi, kuga}@cs.kumamoto-u.ac.jp

<sup>††</sup> yanagi@yanagi.comm..waseda.ac.jp, <sup>‡‡</sup> hironaka@ce.Hiroshima-cu.ac.jp

平成 12 年度より 3 年間、東京大学大規模集積システム設計教育研究センター(VDEC)の IP 開発プロジェクトの課題の一つとして、プロセッサコア IP の開発を行った。本稿では、成果として得られたプロセッサコア IP について報告する。

## IP Products of VDEC IP Project and Their Usage

### 1. Processor Core IP

Hiroto Yasuura<sup>†</sup>, Toshinori Sueyoshi<sup>‡</sup>, Morihiro Kuga<sup>‡</sup>,  
Masao Yanagisawa<sup>††</sup>, and Tetsuo Hironaka<sup>‡‡</sup>

<sup>†</sup> System LSI Research Center, Kyushu University

<sup>‡</sup> Department of Computer Science, Kumamoto University

<sup>††</sup> Department of Electronics, Information and Communication Engineering,  
Waseda University

<sup>‡‡</sup> Department of Computer Engineering, Hiroshima City University

E-mail: <sup>†</sup> yasuura@slrc.Kyushu-u.ac.jp, <sup>‡</sup> {sueyoshi, kuga}@cs.kumamoto-u.ac.jp

<sup>††</sup> yanagi@yanagi.comm..waseda.ac.jp, <sup>‡‡</sup> hironaka@ce.Hiroshima-cu.ac.jp

We report on the processor core Ips developed in a research project for IP development in the VDEC (VLSI Design and Education Center, The University of Tokyo).

#### 1. まえがき

全国共同利用施設である東京大学大規模集積システム設計教育研究センター(VDEC)では、平成 12 年度より 3 年間にわたり、VDEC の利用者が容易に利用できるオリジ

ナル IP（設計資産， Intellectual Property）の開発を半導体理工学研究センター（STARC）の支援を得て進めてきた。本稿では、プロセッサコア IP の設計に関する経過と成果物について報告する。

プロセッサコアは、デジタルシステムの構築の中で最も基本的な構成要素の一つであり、単にプロセッサの設計だけでなくコンパイラ、OS、デバッガなどのプログラミング環境を通じてソフトウェアの開発とも密接な関連を持っている。それぞれのシステム構築に当たって、必要とする規模と性能を持ったプロセッサ IP およびそのソフトウェア開発環境が容易に構築できることは、今後のシステム LSI 設計の教育や研究に大きな意味を持つ。

本開発では、1) 既存のソフトウェア開発環境が整っているプロセッサ IP の開発、2) 教育用に特化したプロセッサ IP の開発、3) 独自仕様の専用／汎用プロセッサ IP の開発の 3 つの視点からの開発を行った。

## 2. 既存プロセッサの互換プロセッサコア IP の開発[1]

### 2. 1 MIPS R3000 命令互換プロセッサ（広島市立大学）

本プロセッサは MIPS R3000 と命令互換であり、SOC に関する研究教育や実際の製品開発などで使用可能な IP として開発を行った。そこで次に挙げるような点を目標に設計を行った。

- 目的に応じて改造できるような仕様にする。
- UNIX などのオペレーティングシステムを動作可能にする。
- ソフトウェア開発環境を同時に提供する。

ソフト IP として Verilog-HDL 記述として供給ができる。ロームの  $0.35\mu\text{m}$  プロセスで試作した結果、チップサイズ  $4.9\times 4.9\text{mm}$ 、トランジスタ数約 10 万個で、動作周波数は 31.24MHz であった（図 1）。5 段のパイプライン構造を持ち、整数乗除算ユニットおよび MMU も実装している。

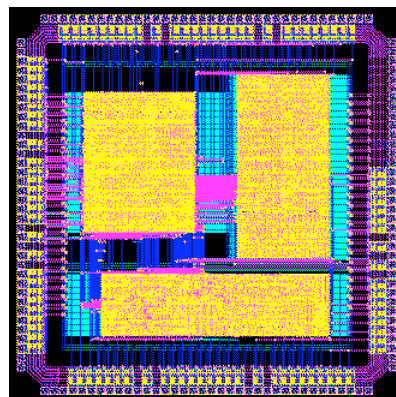


図 1 MIPS R3000 プロセッサのレイアウト図

### 2. 2 日立 SuperH 3 命令互換プロセッサ（広島市立大学） [2]

本プロセッサは SH3 と命令互換であり、SOC に関する研究に利用できるソフト／ハード IP として開発を行った。本プロセッサでは特に SOC で利用しやすいように小面積化に重点を置いて設計を行った。小面積化に関する設計上の工夫を以下に示す。

- プロセッサ内部で使用されるメモリを全て 1ポートで設計した。
- 非パイプラインプロセッサとした。
- 搭載されたキャッシュやレジスタファイル用のメモリをセミカスタムで設計した。

ソフト IP としての Verilog-HDL 記述と手動レイアウトによる SRAM とからなり、ロームの 0.6 および 0.35  $\mu\text{m}$ 、日立北海の 0.5  $\mu\text{m}$  ルールに対応している。ロームの 0.35  $\mu\text{m}$  の場合で、12.36mm<sup>2</sup> (キャッシュを除けば 5.75mm<sup>2</sup>) であった。

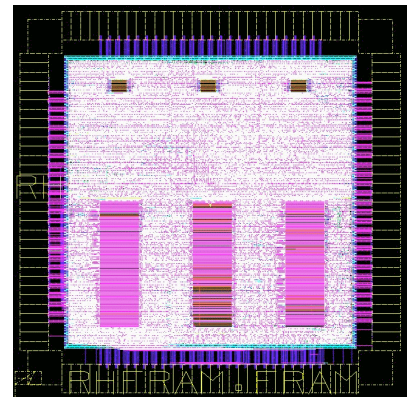


図2。SH3プロセッサのレイアウト キャッシュ付き

## 2. 3 Z80 サイクル互換プロセッサ (九州大学) [3]

Zilog 社の Z80 とクロックサイクルレベルで互換性を持つプロセッサコア QZ80 の開発を行った。QZ80 は Verilog-HDL を用いて RTL で開発したソフト IP である。ロームの 0.35  $\mu\text{m}$  プロセスおよび日立の 0.18  $\mu\text{m}$  プロセスをターゲットテクノロジーとして試作を行った。いずれもセル数で 3700 セル程度で、面積と動作周波数はロームが 1.06mm<sup>2</sup> で 248Mhz、日立が 0.48mm<sup>2</sup> で 456Mhz である。

福岡県LSIカレッジの実践課程の教材として、ソフトウェア制御による簡易電卓の構成に利用した設計例がある。ソフトウェア開発環境としては、アセンブラとしてZASM、シミュレータとしてYAZE-AG、CコンパイラとしてZCC、逆コンパイラとしてDASMの各市販ツールに対して動作確認を行っている。

## 2. 4 メーカー提供のプロセッサコアIP

メーカーが開発して販売しているプロセッサコアIPを利用できる環境の構築も重要である。すでに、三菱電機からM32RのコアIPはVDECのユーザーに公開されている。日立は、SH3-DSPのHDL記述を一部大学へ既に公開している。最も人気のあるARMのプロセッサについては、村上教授(九州大学)を中心に交渉しているが、製造メーカーの関係で実現は難しそうである。Tensilica社のXtensaは、すでに京都大学と大阪大学には公開されており、一般公開への協議を進めている。

また、上記で紹介した大学開発の互換プロセッサの利用についてもオリジナルのプロセッサ開発メーカーとの調整が必要である。MIPS R3000プロセッサおよびQZ80のIP公開に関しては、MIPS社やザイログ社との間で問題が発生する可能性があるため、公開までに対応が必要である。日立SuperH 3プロセッサに関しては日立との交渉により教育研究目的に限ってソフトIPを公開可能であることを認めてもらっている。また教育研究目的であれば改造なども可能だが、改造されたIPのコードを一般に公開する

ことは日立との協議においてできないことになっている。

### 3. 教育用プロセッサコア IP の開発 (熊本大学)

KITE プロセッサは、計算機の動作原理の教育の単純なモデル、計算機システムの構成方式の一貫した教育の教材、デジタル LSI 設計の教育教材という 3 つの目的を目指して開発された一貫した計算機工学教育教材である。本プロジェクトでは、KITE-1 および KITE-2 の IP としての提供を目指して各種整備を行った。

システムレベルの設計教育にも用いられるように、従来の Verilog-HDL 記述に加えて、SystemC および CycleC における記述も開発した。FPGA を対象とした合成は、Verilog 記述 (563 行) が回路規模 639LE (動作周波数 34.3MHz) であったのに対し、SystemC (1331 行) が 770LE (25.7MHz)、CycleC (952 行) が 705LE (38.7MHz) であった。

本 IP は、FPGA への実装を前提として開発している。設計ツールとしては、

- HDL変換 : Synopsys社 CoCentric SystemC compiler Version 2001.08.SP2 (SystemC) および C Level Design社 System Compiler Ver. 4.3.0 (CycleC)
- 論理合成 : Mentor Graphics 社 LeonardoSpectrum Version 2002c.15\_OEM\_Altera
- 配置配線 : ALTERA社 Quartus II Version 2.1
- デバイス : ALTERA社 EP20K400EFC672-2X

にそれぞれ対応している。

### 4. 独自仕様のプロセッサコアの開発

#### 4. 1 MPEG4 コアプロファイル符号化向け DSP (早稲田大学) [4]

本 MPEG-4 コアプロファイル符号化 DSP は 40MHz で動作し、QCIF (176\*144 画素) 動画像を 30fps で符号化できる性能を目標として開発した。本 DSP は 3 段パイプラインで基本演算語長を 32 ビットとし、演算器を使用する演算と 2 つのデータメモリに対するアクセスを並列に実行する。MPEG-4 コアプロファイル符号化において、必要な計算量が多く従来の DSP の演算器による実行が困難な処理について、専用ハードウェアを用意する。専用ハードウェアは演算器形式とし、DSP からは ALU と同様の形式の命令および操作によって取り扱う (図 3 参照)。

形状符号化器および可変長符号化器から出力される可変長の符号など任意長のビット列を取り扱う、0-24 ビットの任意長のビット列を用いてメモリにアクセスするビットストリームロードユニットおよびビットストリームストアユニットを付加した。これにより毎サイクルの任意長のビット列によるロード/ストアを可能とした。

ALU は 32 ビット演算の他に 16 ビットを 2 並列で、8 ビットを 4 並列で実行する SIMD 演算に対応する。DCT や動き予測を高速に実行するため、複数の演算を 1 命令で実行

できるよう強化した構造とした。

本 DSP を VHDL で記述した結果、記述量は約 12700 行となった。ROHM 0.35  $\mu\text{m}$  で試作した。論理合成の結果として 40MHz で動作する見積もりを得た (図 4)。

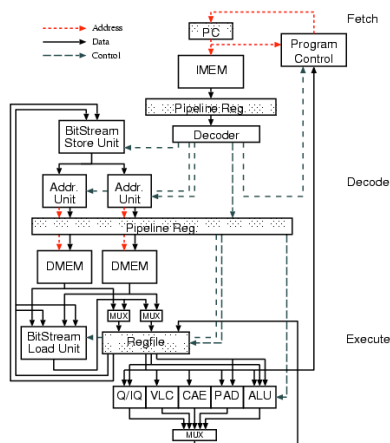


図 3: DSP ブロック図.

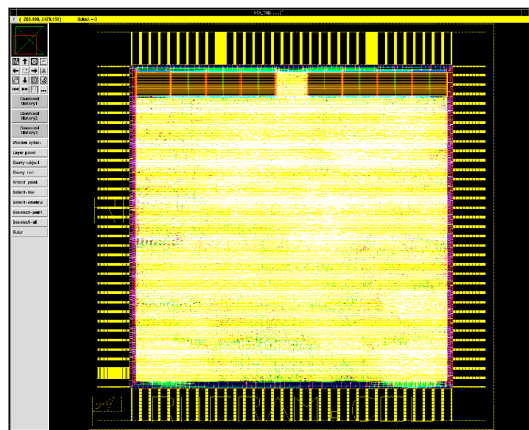


図 4: レイアウト結果.

#### 4. 2 再構成型プロセッサ (広島市立大学) [5]

本 LSI は汎用コンピュータとして使用できる再構成型アーキテクチャである PARS を実現したものである。PARS アーキテクチャは、再構成型コンピュータにおけるソフトウェア資産の構築を実現可能にするため、再構成型コンピュータ向けの実行モデルである I-PARS をサポートしており、本プロジェクトではその PARS アーキテクチャに基づく再構成型プロセッサを試作した。本プロセッサの特徴を以下に述べる。

- コンパイラの動作を基本アーキテクチャから考慮しているため、ハードウェア構造を意識しないで記述された再構成情報を本プロセッサのハードウェア構造に合わせて簡単にマッピングすることができる。このマッピングが簡単に行えるのはプログラム、および、プロセッサが I-PARS 実行モデルに基づいて作成されているからである。
- 毎サイクル、ハードウェアの再構成と演算が同時に実行できる。これは FPGA よりも荒い粒度 (8 ビット演算レベル) で再構成を行い、再構成に必要な再構成情報をオンチップ上に搭載した構成情報用キャッシュからフェッチすることで実現されている。
- 演算器のデータ幅、並列度を状況に応じて変更できる。例えば 8 ビットの再構成型演算器が 4 つある場合、32 ビットの演算を 1 つとして使用する事も、8 ビット演算器 4 つとして並列に動作させる事もできる。

プロトタイププロセッサは STARC 0.13  $\mu\text{m}$  と日立 0.18  $\mu\text{m}$  の 2 つのプロセスで試作を行った。表 1, 図 5 に STARC 0.13  $\mu\text{m}$  プロセスでの試作結果とレイアウト結果を示



し、表 2、図 6 に日立 0.18  $\mu\text{m}$  プロセスでの試作結果とレイアウト結果を示す。

表 1 再構成型プロセッサの  
STARC 0.13 $\mu\text{m}$  での試作結果

プロセス	STARC 0.13 $\mu\text{m}$
チップサイズ	3.6 mm $\times$ 2.3 mm
トランジスタ数	約 55 万 Tr
動作周波数	250 MHz

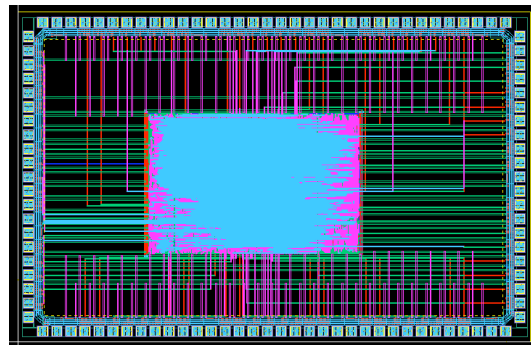


図 5 STARC 0.13  $\mu\text{m}$  のレイアウト

表 2 本研究室で提案する再構成型  
プロセッサの試作結果

プロセス	Hitachi 0.18 $\mu\text{m}$
チップサイズ	5.8mm $\times$ 5.8mm
トランジスタ数	約 57 万 Tr
動作周波数	200 MHz

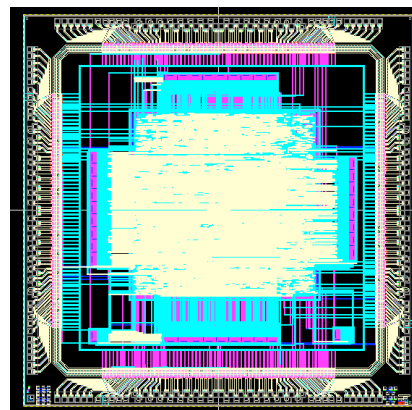


図 6 日立 0.18  $\mu\text{m}$  のレイアウト

## 参考文献

- [1] 弘中哲夫, 佐々木敬泰, 西村直樹, 「MIPS R3000 互換命令セットを持つソフトコアプロセッサとその利用例」, 信学技報 VLD2002-114, p. 193-198, 2002.
- [2] 三谷陽介, 内田裕史, 弘中哲夫, Mattausch Hans Juergen, 小出哲士, 「ソフトウェア開発環境を備えた研究用プロセッサ IP」, 信学技報 VLD2001-109, p. 121-126, 2001.
- [3] 真島 優輔, 安浦 寛人, 「システム LSI 向け 8 ビットプロセッサコア IP の開発」, 信学技報 VLD2002-8, 2002.
- [4] 石本 剛, 宮岡 祐一郎, 戸川 望, 柳澤 政生, 大附 辰夫, 「MPEG-4 コアプロファイル符号化に対応した専用演算器を持つ DSP」, 信学技報, VLD2002-134, CPSY2002-87, pp. 25-30, 2003.
- [5] K. Tanigawa, T. Hironaka, A. Kojima, and N. Yoshida, 「A generalized execution model for programming on reconfigurable architectures and an architecture supporting the model」, Conference on Field Programmable Logic and Applications, vol.2438, pp.434-443, Sept. 2002.