

強磁場トカマクTRIAM-1用のマイクロコンピュータを用いたデータ処理装置の製作

川崎, 昌二
九州大学応用力学研究所 : 技官

中村, 一男
九州大学応用力学研究所 : 助手

中村, 幸男
九州大学応用力学研究所 : 助手

平城, 直治
九州大学応用力学研究所 : 助手

他

<https://doi.org/10.15017/4743626>

出版情報 : 応用力学研究所所報. 54, pp.61-88, 1981-02. 九州大学応用力学研究所
バージョン :
権利関係 :



強磁場トカマク TRIAM-1 用のマイクロ コンピュータを用いたデータ処理装置の製作

川 崎 昌 二* 中 村 一 男**
中 村 幸 男** 平 城 直 治**
東 井 和 夫*** 伊 藤 智 之****

概 要

強磁場トカマク TRIAM-1 のデータ解析を目的としたマイクロコンピュータを基礎とするデータ処理装置の製作とその実際の利用について述べる。

このデータ処理装置はマイクロコンピュータ TK-80 を主機とし、33 K バイトの記憶容量を有している。また補助的に簡便なカセット式レコーダを用いることにより磁気記憶装置のかわりとして容量の増大化をはかる等の考慮をしている。解析結果は X-Y レコーダにより自動的に表示出来るようにしており、必要に応じてオシロスコープでの表示およびプリンターによる出力も出来るよう考慮している。また DMA 方式を採用し、多チャンネルの同時サンプリングを行ない、データの入力処理速度の高速化をはかり実験の能率化に役立てている。

Key words: High-field tokamak TRIAM-1, Data processing, Micro-computer, DMA method, Multi-channel sampling

1. ま え が き

核融合を目ざしてのプラズマの研究が進み、装置の高性能化とともに、収集すべきデータの種類も多岐におよび、しかも実時間での処理が要請されるようになって来た。例えばプラズマの位置制御だけを考える場合でも、プラズマ電流、垂直磁場、プラズマの上下方向への変動、プラズマの内外への変動に対しての信号を解析し、プラズマの放電時間中におけるプラズマの正確な位置を知る必要があり、大型装置ではこれらの信号を高速コンピュータに入力させ解析し、このコンピュータからの出力によりプラズマの位置を制御する等の方法を採用している。その他、プラズマの電子温度、電子密度、イオン温度等の主要なパラメータも測定系からの信号を解析し、実時間での表示が要求される。

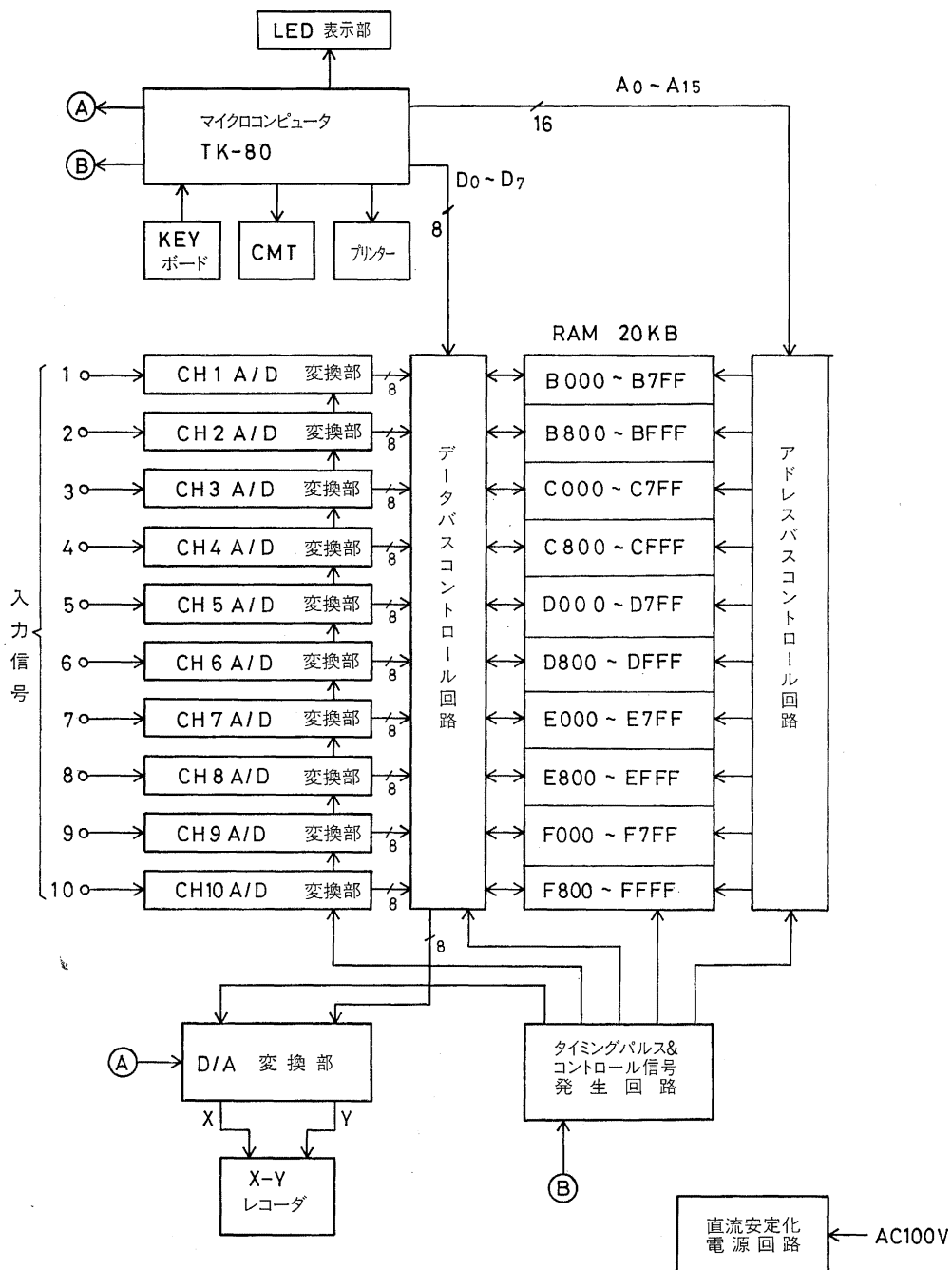
* 九州大学技官，応用力学研究所

** 九州大学助手，応用力学研究所

*** 九州大学助教授，応用力学研究所

**** 九州大学教授，応用力学研究所

本研究所の強磁場トカマク装置 TRIAM-1 においても実験の能率化と高精度化を目指してコンピュータによるデータ処理を行なうことにし、マイクロコンピュータを用いたデータ処理装置を実用化に供し



ている。

ここでは、このデータ処理装置について、その設計方針、コンピュータの構成およびその製作について述べるとともに、TRIAM-1 装置での実際のデータ処理についてもその具体例とともに表示した。

2. 動作原理

2.1 構成

本装置は大別して次の8ブロック、図2-1-1により構成されている。

まず10チャンネルのA/D変換部、20Kバイトの記憶部(RAM)、アドレスバスコントロール回路、データバスコントロール回路、タイミングパルス及びコントロール信号発生回路、D/A変換回路、演算を行なうマイクロコンピュータ、そしてこれらに供給する直流安定化電源回路となっている。

次にそれぞれのブロックについて簡単に述べてみる。

2.2 入力段

入力段の基本構成を図2-2-1に示す。入力信号は減衰器 R_1 に加えられ適当な電圧に減衰された後、高速の演算増幅器(OP・AMP) $\mu A715$ に導びかれて10倍に増幅される。演算増幅器回路を図2-2-2に示す。図において抵抗 R_2 はゲイン調整用ポリウム、また R_3 はオフセット調整用ポリウムである。モニタ出力端子は、この電圧を見ることにより減衰器 R_1 及び演算増幅器のゲインを調整することができる。

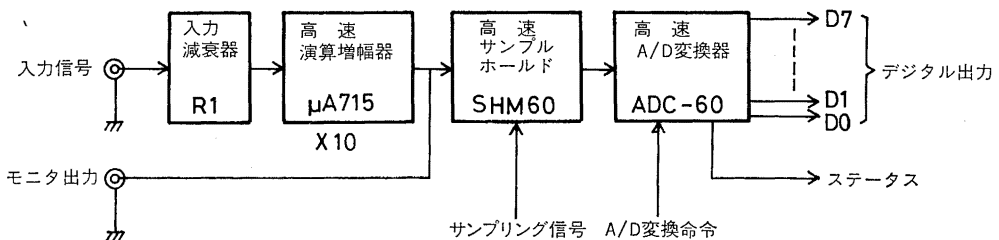


図2-2-1 入力段基本構成

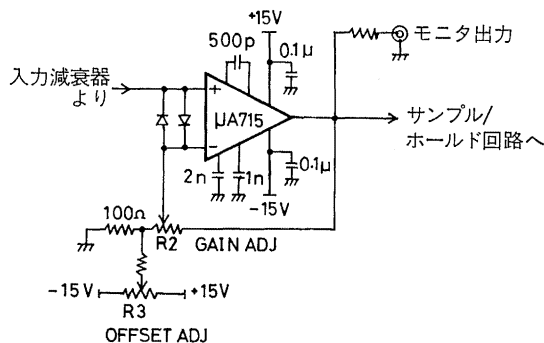


図2-2-2 演算増幅回路

この演算増幅器により増幅された信号は、サンプル・ホールド回路へ導びかれる。この回路は次段の A-D 変換器の変換中に信号が変化しないように電圧をホールドしておくものである。図 2-2-3 は基本的な積分型サンプル・ホールド回路で、電流増幅器、アナログスイッチ、積分器により構成されている。図においてアナログスイッチ S_1 , S_2 は同時に働きサンプル時オン、ホールド時オフとなる。このためサンプル時は開ループ利得の電流増幅器 A_1 により、キャパシタ C に高速充電を行ない、回路は高利得のフィードバックループになる。ホールド時はキャパシタ C は A_1 から切離されてその電圧を保持する。 A_2 は高入力インピーダンスの増幅器を使用しているので漏れ電流による電圧の低下が少ない。図 2-2-4 にサンプル・ホールド信号と入・出力信号の関係を示す。本装置ではサンプル・ホールド回路に高速型のモジュール B-B SHM 60 (アキュジションタイム 1.2 μ s, ホールド特性 -5μ V/ μ s) を使用している。

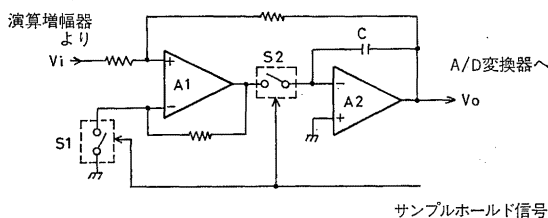


図 2-2-3 積分型サンプルホールド回路

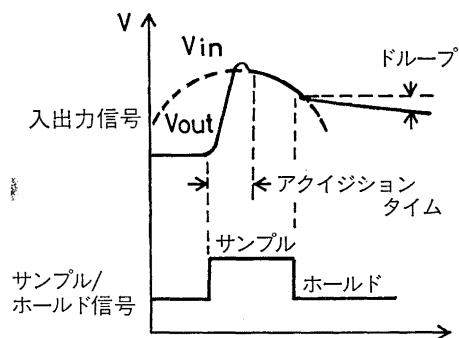


図 2-2-4 サンプルホールド回路入出力信号

サンプル・ホールド回路を通った信号は A/D 変換器へ導びかれ A/D 変換される。B-B ADC 60 は逐次比較型 A/D 変換器で変換時間 0.88 μ s, 出力ビット数 8 ビットである。逐次比較型 A/D 変換器の基本構成は図 2-2-5 のように表わされ動作は次のようになる。まずリセットパルスによって $F_0 \sim F_7$ の 8 個のフリップフロップの内容はすべてゼロとなり D/A 変換器出力 V_d もゼロとなる。いま入力電圧がある値 V_i であるとする $V_i > V_d$ であるのでコンパレータ出力は“0”となり AND ゲートは閉じられる。ここでスタートパルスが加わるとフリップフロップ F_7 はセットされ f_7 は“1”となり D/A 変換器出力 V_d は $2^7 \cdot V_q$ (V_q は量子化の単位電圧) となる。するとコンパレータは V_i と V_d を比較し、たとえば $V_i < V_d$ であったとするとコンパレータ出力は“1”となる。するとコンパレータ

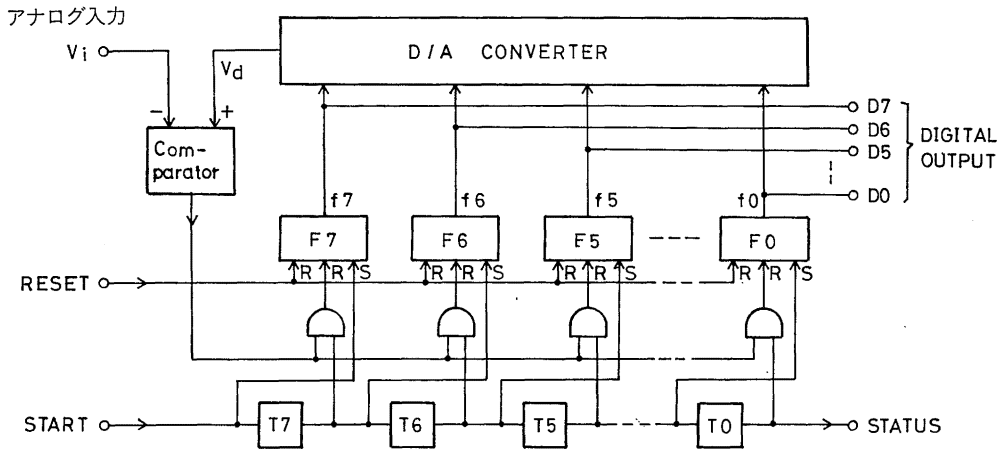


図 2-2-5 逐次比較型 A/D 変換器基本構成

出力“1”とスタートパルスを遅延させたパルス (T_7 の出力) “1” との AND ゲート出力は “1” で F_7 はリセットされ f_7 は “0” となる。さらに T_7 の出力パルスは次段のフリップフロップ F_6 を反転させ f_6 は “1” となってこの結果 D/A 変換器出力 V_d は $2^6 V_q$ となる。ここで $V_i > V_d$ になったとするとコンパレータ出力は “0” となり AND ゲート出力も “0” で T_6 により遅延されたパルスが AND ゲートに加わっても F_6 はセットされたまま、さらにこのパルスにより F_5 がセットされる。したがって D/A 変換器出力は $(2^6 + 2^5) V_q$ となる。このようにして次々に入力電圧に応じた 2 進コード出力 $D_7 \sim D_0$ が得られることになる。この逐次比較型 A/D 変換器の変換時間は入力電圧

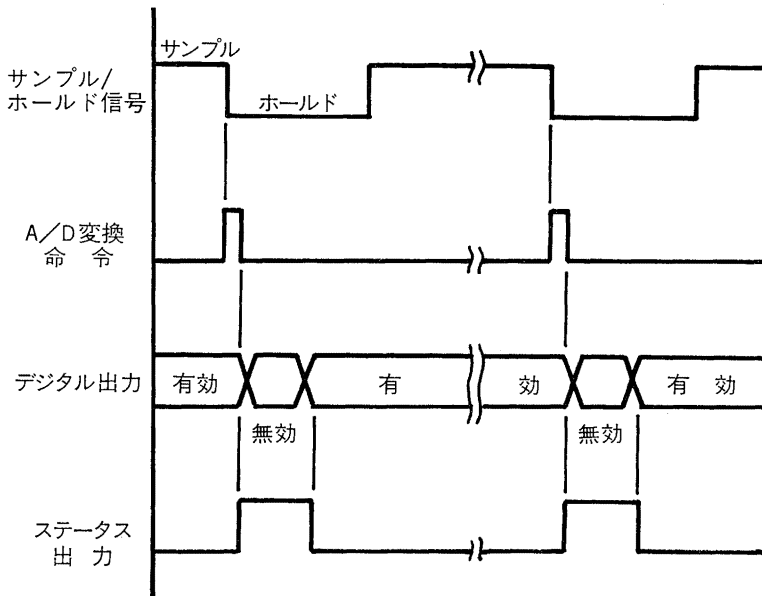


図 2-2-6 A/D 変換器タイミングダイヤグラム

の大きさに無関係で出力コードのビット数で決まる。サンプル・ホールド及び A/D 変換のタイミングを図 2-2-6 に示す。

2.3 20K バイト記憶部

本装置では入力チャンネル数が多く比較的高速な A/D 変換器を使用してサンプリングタイムを上げているので A/D 変換器よりのデータを DMA (Direct Memory Access) 転送してメモリへ書込んでいる。そしてサンプリング中はデータ用メモリをマイクロコンピュータのデータバス、アドレスバス及びコントロール信号から切りはなしている。このメモリ領域はサンプリング中にデータが書きこまれるためプログラムを書きおくことは出来ないが、サンプリング中及びデータ出力時以外は CPU のメモリ領域となるのでプログラム実行時の計算領域として使用することが可能である。このデータ用メモリ

は 1 チャンネルあたり 2K バイトでサンプリングタイム 10 μ s とすると 20 ms までサンプリング出来る。ここで使用したメモリは 1K bit n-MOS のスタティック RAM で Intel 2102 A-4 を用いている。この RAM の特徴は ①入出力コンパチブル ② 3 ステート出力 ③データ非反転 ④入出力独立 となっている。ここで RAM 2102 A-4 の構成を図 2-3-1 に、データ読み出し (READ) 時及びデータ書き込み (WRITE) 時のタイミングを図 2-3-2 に、さらに動作表を表 2-3-1 に示す。次にこの

表 2-3-1 動作表

入 力			DO	動 作
$\overline{\text{CE}}$	$\overline{\text{WE}}$	DI		
H	X	X	HZ	非 選 択
L	L	L	L	WRITE "L"
L	L	H	H	WRITE "H"
L	H	X	DO	READ

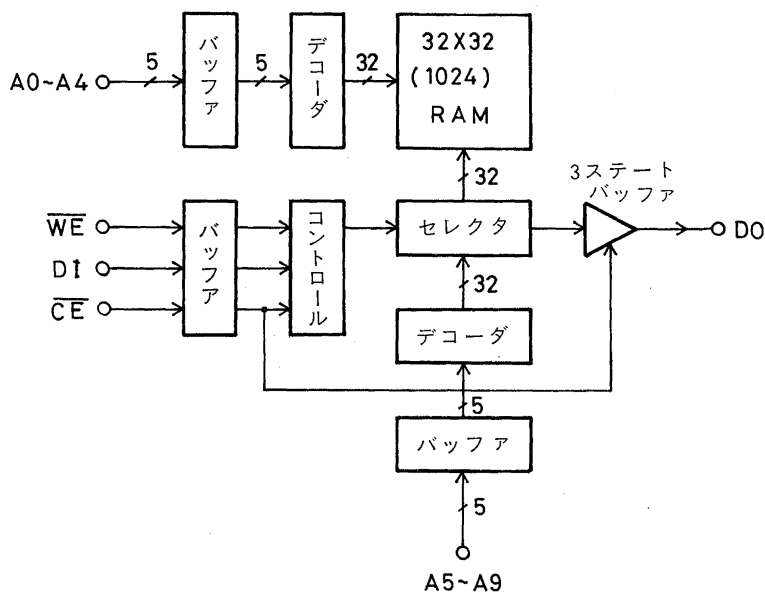
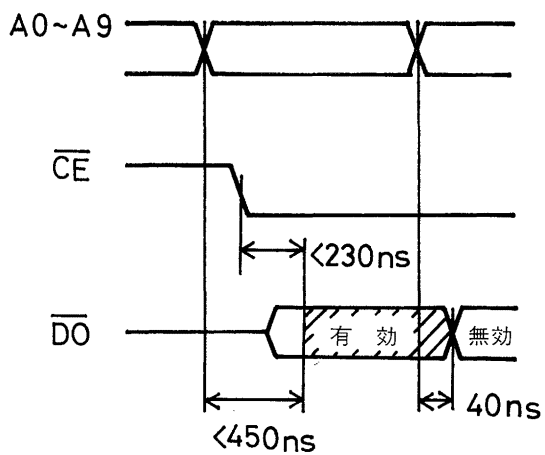


図 2-3-1 2102 A-4 構成

(a) READ サイクル



(b) WRITE サイクル

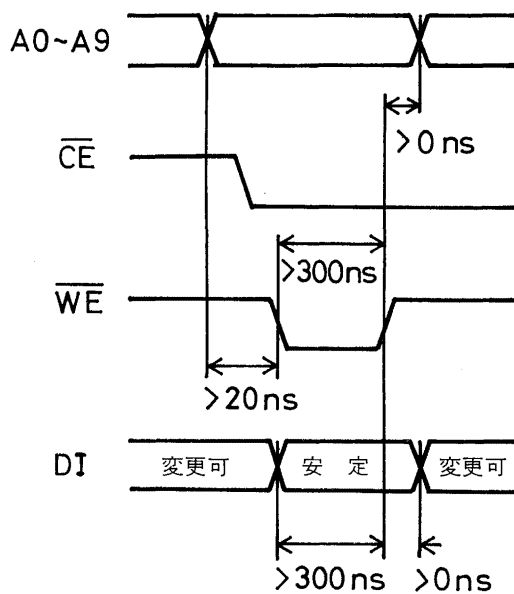
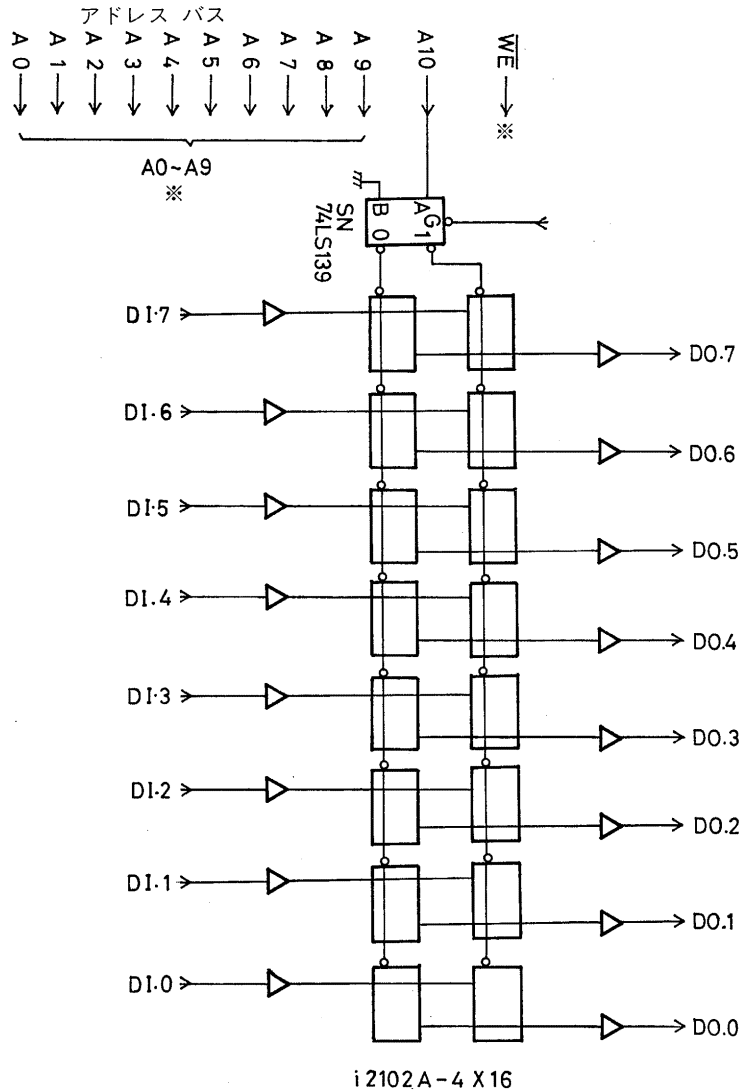


図2—3—2 2102A-4 タイミング



※ の $\overline{WE}$ 及び $A0 \sim A9$ はすべてのメモリチップへ接続する。

図2-3-3 メモリボード基本回路

RAM を使用したメモリボードの1チャンネル分の基本回路を図2-3-3に示す。2102A-4 は 1024 bit のメモセルを持っているが選択は 1 bit のみであるので 8 bit/ワードにするため 8 個単位で構成し、さらに 1 チャンネル 2 K バイト 必要なので 2 組にしてその選択は 2102A-4 の $\overline{CS}$ (Chip Select) 端子に “0” 信号を与えることによって得ている。チップセレクトは 74LS 139 を用いアドレス端子の A_{10} によってセレクトしている。表 2-3-2 に各チャンネルのメモリのアドレスを示す。

表 2—3—2 メモリ割当て

チャンネル	ア ド レ ス
CH 1	B000 ~ B7FF
CH 2	B800 ~ BFFF
CH 3	C000 ~ C7FF
CH 4	C800 ~ CFFF
CH 5	D000 ~ D7FF
CH 6	D800 ~ DFFF
CH 7	E000 ~ E7FF
CH 8	E800 ~ EFFF
CH 9	F000 ~ F7FF
CH10	F800 ~ FFFF

2. 4 アドレスバスコントロール回路

図 2—4—1 にアドレスバスコントロール回路のブロック図を示し、次にアドレス切換回路とチャンネルセクタ回路について簡単に述べる。

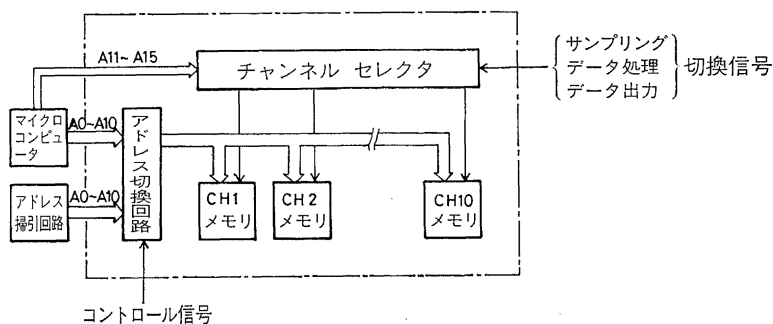


図 2—4—1 アドレスバスコントロール回路

2. 4. 1 アドレス切換回路

サンプリング時には CH・1 から CH・10 までのアナログ入力信号を A/D 変換器で 8 bit のデジタル信号にしてメモリに書き込んで行き、またマニュアルデータ出力時は書き込んだメモリの内容（データあるいは計算結果）を逆に読み出していくことになる。このときのアドレスはマイコン・アドレス

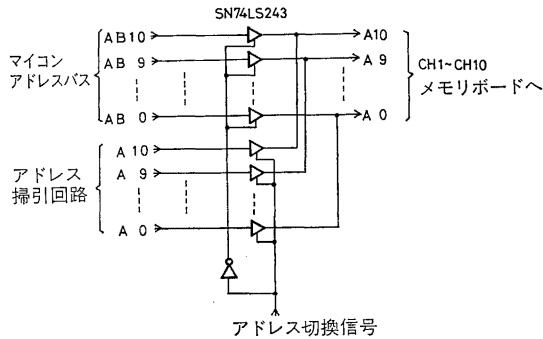


図 2-4-2 アドレス 切 換 回 路

バスと切りはなされアドレス掃引回路により掃引される。またマイコンによる演算中はマイコンのメモリ領域となるためアドレスはアドレス掃引回路よりマイコン・アドレスバスに接続される。この切換を行なうのがアドレス切換回路である(図2-4-2)。図において74LS243は3ステートバッファでコントロール信号が“1”で出力はフローティング, “0”でアクティブとなるTTL・ICである。いまアドレス切換信号が“1”のときはマイコンアドレスバスが接続され、逆に“0”のときはアドレス掃引回路が接続される。

2. 4. 2 チャンネルセクタ回路

マイコン演算時はマイコンアドレスバスによって、またデータ出力時はチャンネルセクタスイッチによってそれぞれCH・1~CH・10のメモリボードを選択している。図2-4-3はチャンネルセクタ

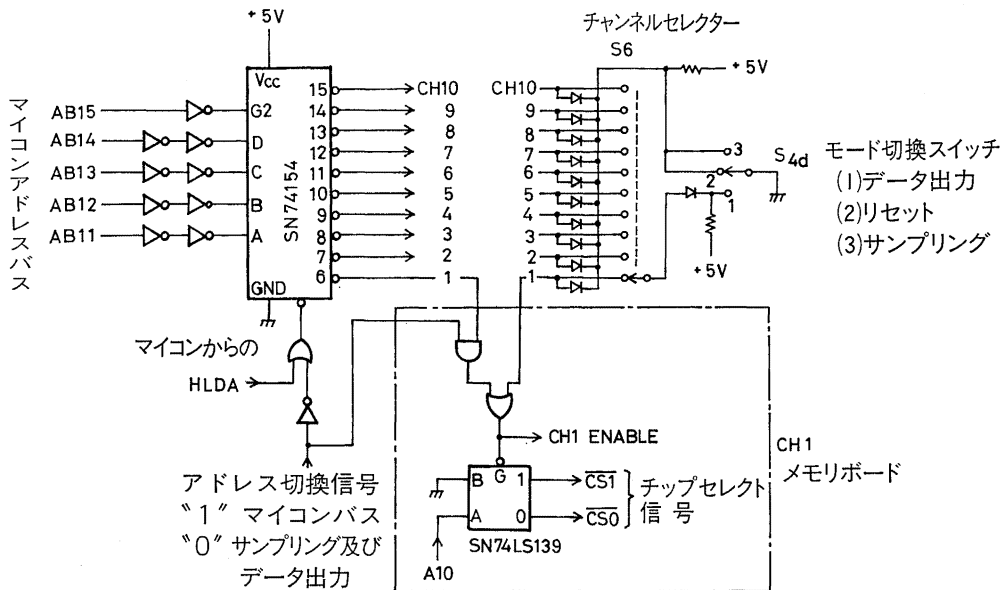


図 2-4-3 チャンネルセクタ回路

タ回路である。図において SN 74154 は 4 入力-16 出力のデコーダでマイコンアドレスバスの上位 5 桁によって割当てられた番地に相等するチャンネルのメモリボードを選択している。SN 74154 のストロブ入力 G_1 にはアドレス切換信号とマイコンからのホールド・アクノレッジ信号 (HLDA 信号) との論理和を加えている。HLDA 信号はマイコンが DMA 転送等により実行中のマシンサイクルを中断させ、CPU のバスラインをフローティング状態にしたことを示す信号でアドレスバス及びデータバスは外部機器によって使用出来る状態となる (本装置のマイコンでは LED 表示回路にセグメントデータ用レジスタの内容を DMA 転送している)。よってこの状態のときに、CH・1~CH・10 のメモリボードからのデータを出力しないようにしている。チャンネルセクタスイッチ S_6 はデータ出力時 CH・1~CH・10 のメモリボードを選択するスイッチである。

2. 5 データバスコントロール

データバスもアドレスバスと同様に各モードによって切換える必要がある。図 2—5—1 にデータの流れを示す。図において信号の流れは〔①サンプリングによって A/D 変換された 8 bit のデータはデータバスコントロールによりメモリボードに接続される。②データ出力時はチャンネルセクタスイッチにより選択されたメモリボードよりデータバスコントロールを通じて D/A 変換器へ接続される。③マイコンによるデータ処理時はマイコンデータバスとメモリがデータバスコントロールに通じて接続される。〕となる。データバスコントロール回路には、3 ステート出力バスバッファ TC 5024 BP を使用している。

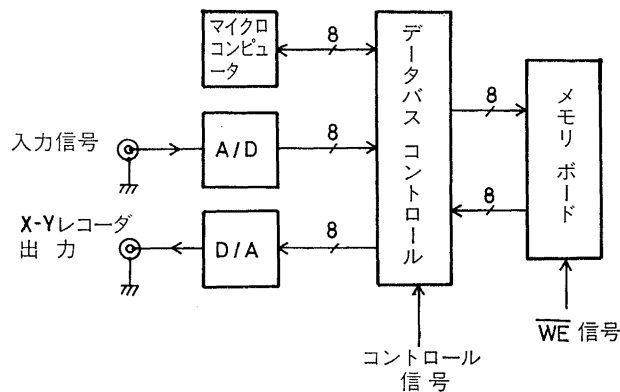


図 2—5—1 データの流れ

2. 6 タイミングパルス発生回路

図 2—6—1 はタイミングパルス発生回路のブロック図である。図において発振周波数 1 MHz の水晶発振回路から 10 進カウンタ SN 74LS 90 による分周回路①によって 100 kHz に分周し、さらにプリセッタブル UP/DOWN カウンタ SN 74LS 192 2 個により構成された分周回路②により 10~990 μ s (10 μ s 間隔で設定可能) のクロックを作っている。このクロックパルスによってモノマルチバ

イプレータ①及び②の SN 74121 をトリガーし、サンプリング信号及び A/D 変換命令パルスを作っている。よってこのクロックパルスがサンプリングタイムとなる。さらにこのクロックパルスからバイナリカウンタ SN 74LS 93 3 個によりメモリのアドレスを順次掃引する信号を作り出している。また分周回路③はデータ出力時の読み出しスピードを決定するもので水晶発振回路の発振周波数 1 MHz を分周して四種類の周波数 10 kHz, 1 kHz, 100 Hz, 10 Hz を作って切換スイッチにより選択出来るようにしている。

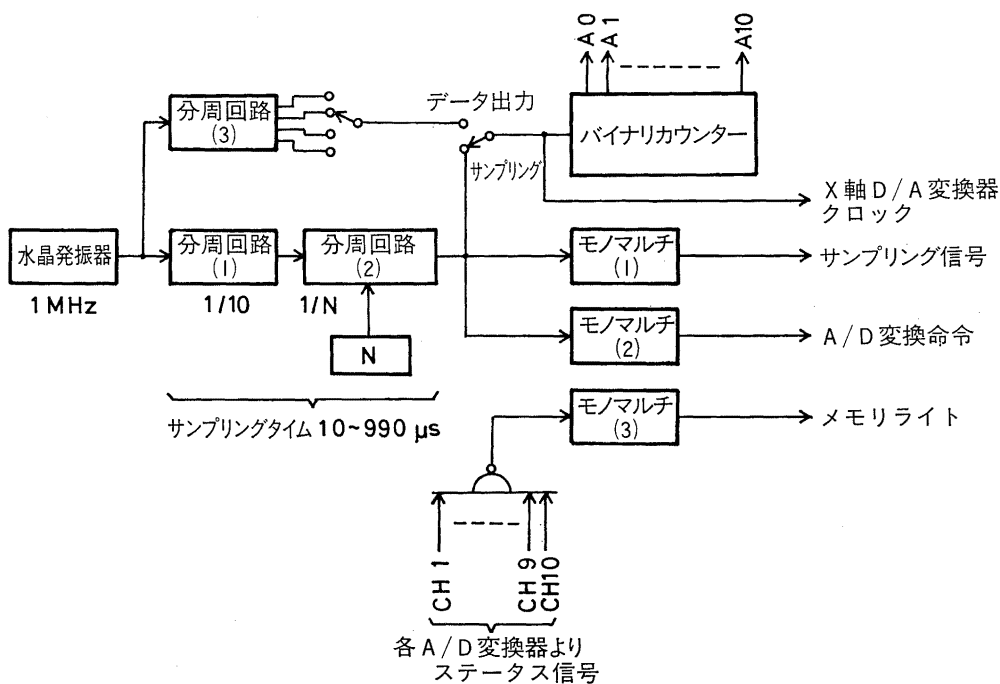


図 2-6-1 タイミングパルス発生回路ブロック図

2. 7 コントロール信号発生回路

コントロール信号発生回路は3種類のモード（リセット、サンプリング及びデータ出力）において A/D 変換回路、データバスコントロール回路、アドレスバスコントロール回路、D/A 変換回路にそれぞれ制御信号を出すための回路である。図 2-7-1 にブロック図を示す。図においてモード切換回路がサンプリングの状態にあるとき、TRIAM-1 制御系よりの制御パルスがトリガー回路に加わると図 2-6-1 のタイミングパルス発生回路へサンプリング開始の信号が送られる。タイミングパルス発生回路ではサンプリングタイムに応じてサンプリング信号、A/D 変換命令、メモリ WRITE の信号が発生する。そしてこのメモリ WRITE 信号とアドレスコントロール信号並びにモード切換信号とによりメモリボードへのライト（WE）信号としている。サンプリングが終了するとタイミングパルス発生回路よりのサンプリング終了を受けてコントロール信号発生回路ではマイコンヘデータ処理開始信号を出す（マイコン TK-80 上の I/O ポートへ加えている）。さらにアドレスコントロール信号によ

りアドレスをマイコンへ切換え、またデータバスコントロール信号①によりデータバスを A/D 変換器より切りはなす。メモリコントロール信号回路ではアドレスコントロール信号とマイコンからのライト信号 ($\overline{WE}$)、出力ディセイブル信号 (メモリ・リード、リセット、 $\overline{HLDA}$ の各信号の論理和) 及びその他の信号との協調を取りメモリボードへのライト信号 ($\overline{WE}$) とデータバスコントロール信号②、③を作り出している。またモード切換回路がデータ出力時はアドレスコントロール信号とデータバスコントロール信号④によりメモリの出力を D/A 変換器へ接続している。

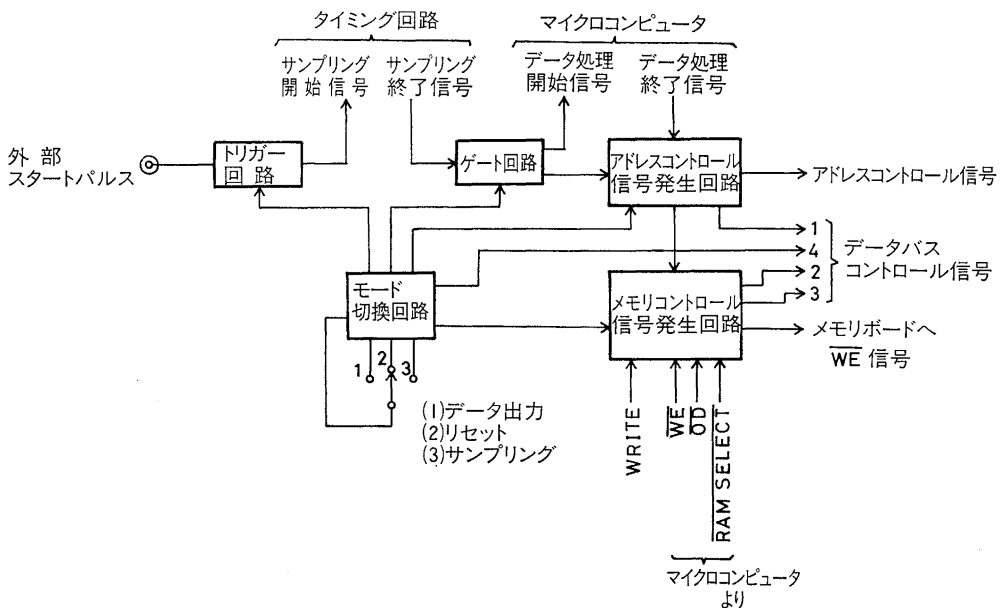


図 2-7-1 コントロール信号発生回路ブロック図

2. 8 出 力 段

計算結果の出力装置として X-Y レコーダ又はオシロスコープを使用するようにしている。このため計算結果の 8 ビットのデータを D/A 変換器でアナログ信号化 (X 軸; 0~+5 V, Y 軸; +10 V~-10 V) して出力している。図 2-8-1 は出力段ブロック図で、X 軸 (時間軸) 用 D/A 変換器は B-B DAC 80-CBI-I で Y 軸用 D/A 変換器は B-B DAC 82 KG 2 個を使用している。

2. 9 マイクロコンピュータ部

2. 9. 1 TK-80 の概要

データ処理において演算を実行するマイクロコンピュータには NEC の TK-80 と増設メモリ TK-M20 K を使用している。TK-80 について簡単に述べるとまず大きく分けて CPU 部、メモリ部、I/O 部の三つに分けられる。CPU 部は CPU に μ PD8080、クロックジェネレータに μ PB8224、及びシステムコントローラ μ PB8228 により構成されている。 μ PD8080 は 8 ビット/ワード、命令数 78、命令実

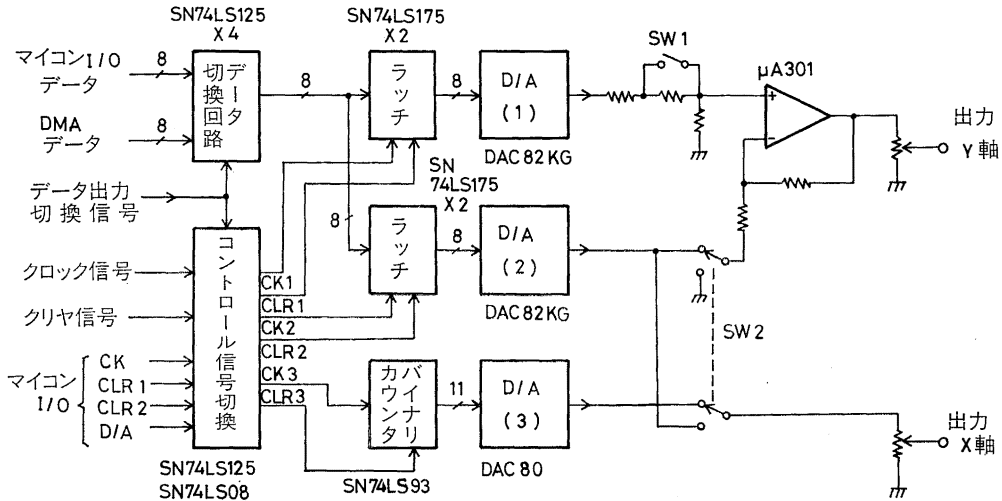


図 2-8-1 出力 段 ブ ロ ッ ク 図

行時間 $2\mu\text{s}\sim 9\mu\text{s}$, 六つの汎用レジスタ及び一つのアキュムレータ, 65 K バイト直接アドレッシングなど色々な特徴をそなえた N チャンネル・シリコンゲート MOS の 1 チップ・マイクロプロセッサである。システムコントローラ μPB8228 は CPU データバスのバッファリングとステータス情報をラッチしてシステムのコントロール信号を出力している。メモリ部は ROM に μPD454 (256 ワード $\times$ 8 ビット) の 4 個で 1024 バイト, RAM に μPD5101 (256 ワード $\times$ 4 ビット) の 8 個で 1024 バイト, を TK-80 のプリント基板上に実装してある。さらに I/O としてプログラマブル周辺インターフェース (PPI) の μPD8255 を組込んであり主にキーボードとのインターフェースを行なっている。この μPD8255 は 3 組の I/O ポート (PA・O $\sim$ PA・7, PB・O $\sim$ PB・7, PC・O $\sim$ PC・7) を備えており, おのおのプログラムによって入・出力の指定が可能である。特に PC ポートは上位 4 ビット, 下位 4 ビットずつの入・出力の指定が出来る。また 8 ビットのデータのうち任意のビットを指定して, セット, リセットが可能である。その他に付属回路として 7 セグメント LED $\times$ 8 個による表示回路がある。これはモニタプログラムによって特定番地 (83F8 $\sim$ 83FF) に書き込まれたセグメントデータを DMA 転送によって常時表示させるものである。TK-80 の構成図を図 2-9-1 に示す。

2. 9. 2 増設メモリ TK-M20 K

TK-M20 K は TK-80 のメモリ及び I/O の拡張ボードである。TK-M20 K によって増設されるメモリは ROM が 8 K バイト, RAM が 12 K バイト, またシリアル I/O ポートが 1 個, パラレル I/O ポートが 2 個となる。なお ROM には μPD458 (1024 ワード $\times$ 8 ビット) を 8 個, RAM には μPD2114 (1024 ワード $\times$ 4 ビット) を 24 個, シリアル I/O ポートに μPD8251 , パラレル I/O ポートに μPD8255 を使用している。TK-M20 K の I/O はメモリマップ化 I/O となっていて I/O デバイスをメモリ領域内に配置し, 他のメモリと同様の命令が使用出来るようになっている。 μPD8251 はデータ 8 ビットを直列 1 ビットデータに変換して出力したり, 逆に直列 1 ビットデータを並列 8 ビット

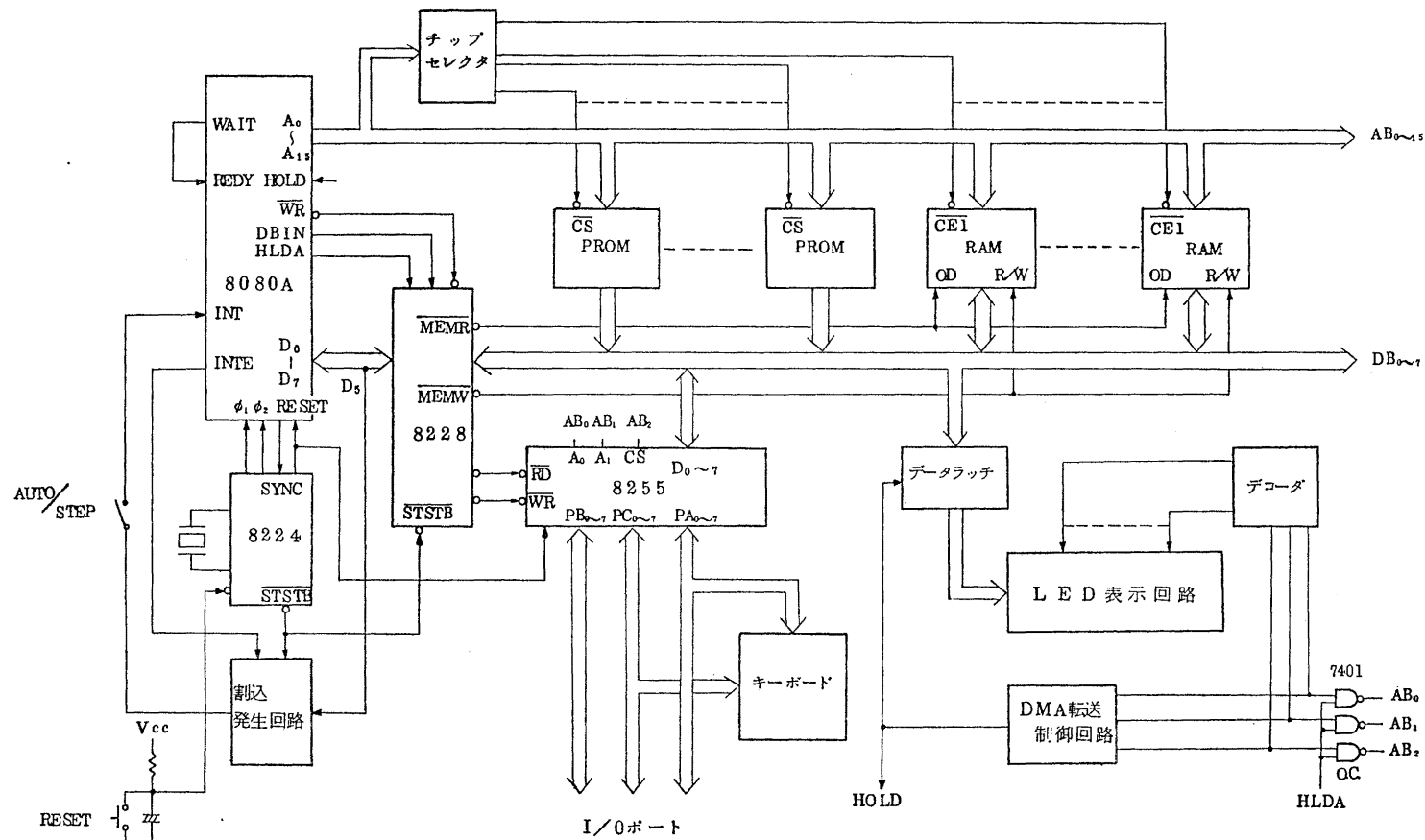


図 2-9-1 TK-80 構 成 図

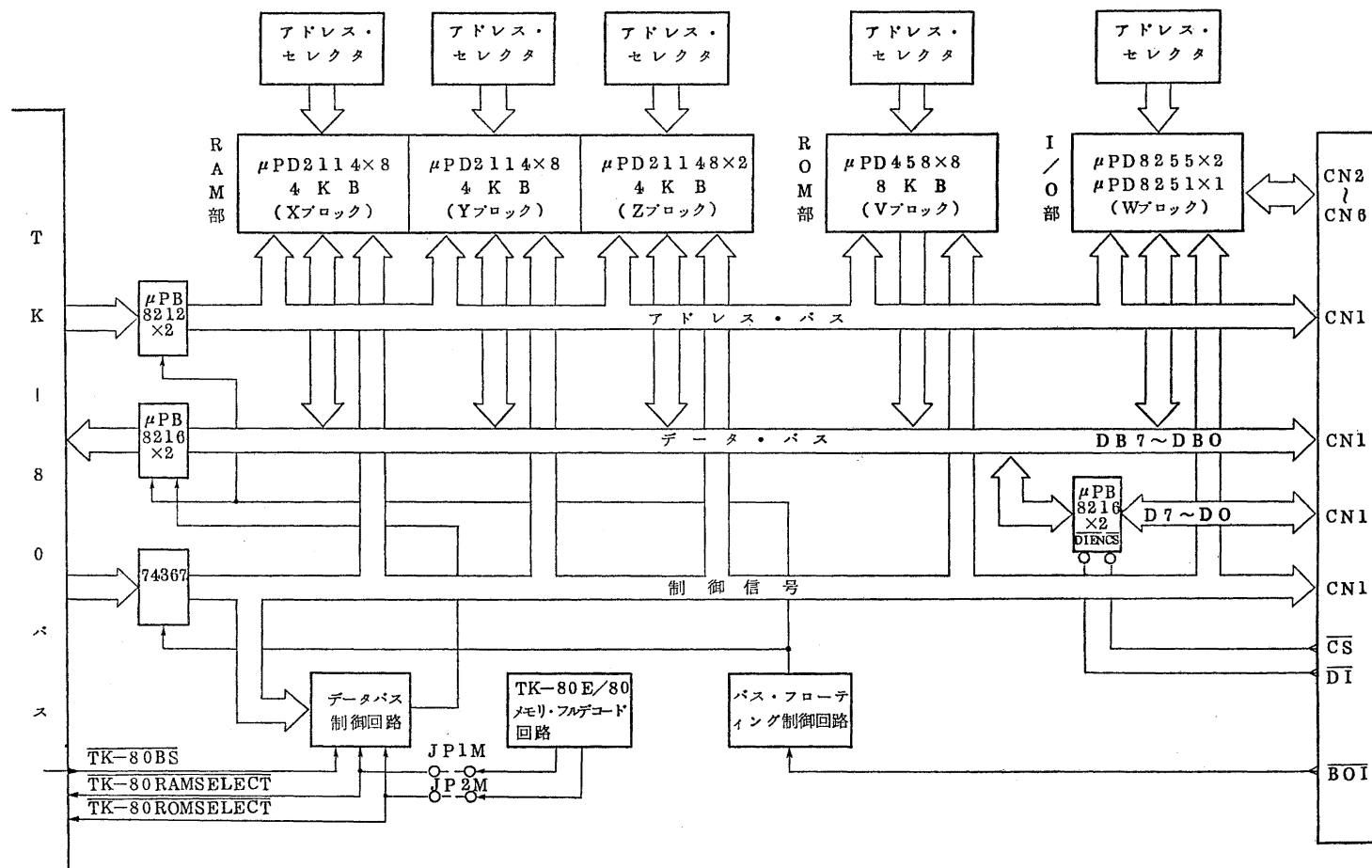


図2-9-2 TK-M20K ブロック図

トデータに変換して入力することが出来る I/O である。図 2-9-2 に TK-M20K のブロック図を、また表 2-9-1 に TK-80 と TK-M20K 及びデータ収集用メモリのメモリ領域を示す。

表 2-9-1 データ処理装置メモリマップ

アドレス	バイト	種類	機種	備考
0000 ~ 03FF	1024	ROM	TK-80	
0400 ~ 1FFF				ブランク
2000 ~ 3FFF	8 k	ROM	TK-M20K	
4000 ~ 6FFF	12 k	RAM	TK-M20K	
7C00 ~ 7C09		I/O	TK-M20K	
7C0A ~ 7FFF				ブランク
8000 ~ 83FF	1024	RAM	TK-80	
8400 ~ AFFF				ブランク
B000 ~ FFFF	20 k	RAM		CH1 ~ CH10

2.9.3 カセットメモリインターフェース

プログラムは RAM にキーボードより書き込まれるが停電を含めて電源を切ることにより、この内容は消えてしまう。このため本装置では簡単かつ安価なカセットテープにプログラムを書き込んでおく必要な時に取り出せるようにした。TK-80 とカセットテープレコーダとのインターフェース回路を図 2-9-3 に示す。データの送信は TK-80 の ROM に記憶されているモニタプログラムにより次の順序で送信される（出力端子は TK-80 の PPI・ μ PD 8255 の PC・O ポート）。最初に転送の先頭番地の上位 8 ビット、次に下位 8 ビット、それから最終番地の上位 8 ビット、下位 8 ビット、その後データを送信し、最後にチェックサムコードとなっている。1 ワードの転送フォーマットを図 2-9-4 に

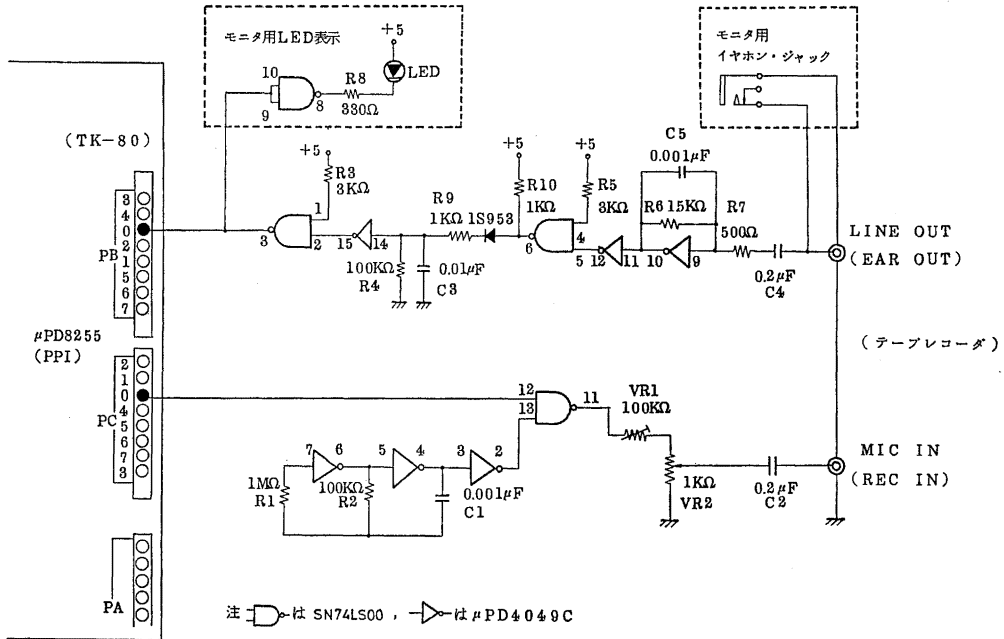
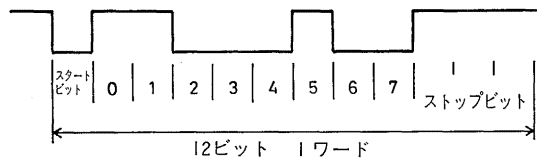


図 2-9-3 カセットメモリーテープインターフェース回路



※ 16進の23を表わす

図 2-9-4 データフォーマット

示す。カセットテープに記憶出来る容量はテープの長さ、1ワードを転送する速度によって決まり、本装置では1ワードの転送速度は約 110 ms であり 60 分に約 32 K ワード記憶出来る。

2.9.4 放電プリンターとのインターフェース

プログラム又はデータを印字出力する為の放電プリンター DC-803 PB と本装置との接続についてここで述べてみる。DC-803 PB はアルミ蒸着紙にタングステン針で電圧を加えその放電によって文字をプリントするもので一文字は横5、縦9のドットマトリックスとなっている。一行の最大印字桁数は80字となっており ASCII コードにより 80 字、40 字、20 字と選択出来る。また文字の種類は ASCII コードの 96 種となっている。表 2-9-2 に放電プリンターのコネクタピン端子と本装置 I/O ポートのポート番号との接続を、また図 2-9-5 に放電プリンターのタイミングを、図 2-9-6 にインターフェース回路をそれぞれ示す。図において I/O はメモリ増設ボード TK-M30 K 上のパラレル I/O を使用し、それぞれポート A; 7C00 番地、ポート B; 7C01 番地、ポート C; 7C02 番地、コントロールワード; 7C03 番地を割当てている。

表 2—9—2 放電プリンターコネクタ接続表

放 電 プ リ ン タ ー		マ イ ク ロ コ ン プ ュ ー タ		
ピン番号 (※1)	信 号	コネクタ 番号(※2)	ポ ー ト	入-出力の別
1	DATA STROBE	CN2-13	PC 7	↑
2	DATA BIT 1	- 1	PA 0	
3	2	- 2	PA 1	
4	3	- 3	PA 2	
5	4	- 4	PA 3	出 力
6	5	- 5	PA 4	
7	6	- 6	PA 5	
8	7	- 8	PA 6	
9	N C	- 9	PA 7	↓
10	ACKNOWLEDGE	CN3 -1	PB 0	↑
11	BUSY	- 2	PB 1	入 力
12	PAPER EMPTY	- 3	PB 2	↓
13				
14	GND			
15				
16	GND			
17	GND			
18	+5V			
19	} GND			
20				
21				
22				
23				
24				
25				
26				
27				
28				
29				
30				
31				
32				
33	GND			
34				
35				
36				

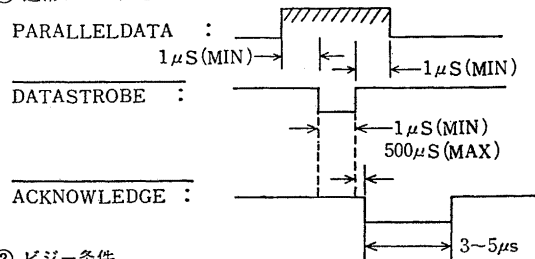
(※1) コネクタピン番号は、コネクタ DDK (AMPHENOL) 57—30360 のピン番号

(※2) コネクタ番号は、メモリ増設ボード TK—M20K 上の I/O ポートの番号

2. 9. 5 出力段 D/A 変換器との接続

出力段は直接にデータ収集用メモリから読み出す以外にマイクロコンピュータの I/O を使ってプログラム制御によるデータ出力を行なうことが出来るようにしている。このため使用した I/O ポートはメモリ増設ボード TK—M20K の I/O を使用し、ポート A；7C04 番地、ポート B；7C05 番地、ポート

① 通常データ伝送条件



② ビジー条件

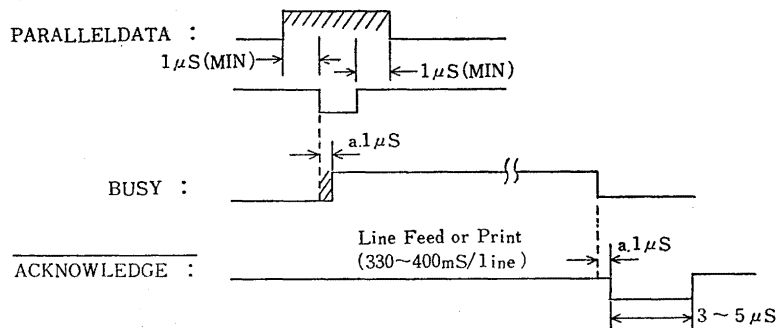


図2-9-5 放電プリンタータイミング

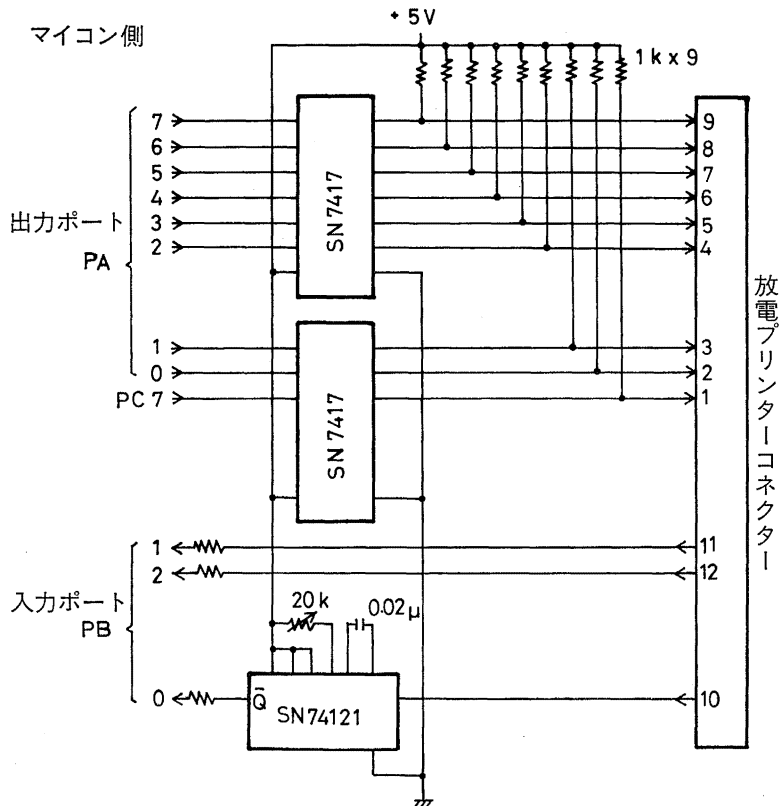


図2-9-6 放電プリンターインターフェース

C; 7C06 番地, コントロールワード; 7C07 番地にそれぞれ割当てている. 表 2—9—3 に出力段 D/A 変換器との接続表を示す.

表 2—9—3 出力段と I/O ポートとの接続表

マイクロコンピュータ I/O			出力段
ポ ー ト	コネクタ 番 号	入-出の別	信 号
PA 0	CN4 1	↑	DATA BIT 1
1	2		2
2	3		3
3	4		4
4	5		5
5	6	出 力	6
6	8		7
7	9		8
PC 0	CN5 10		CLEAR 1
1	11		2
2	12		CLOCK SELECT
3	13	↓	CLOCK

2.10 電源回路

本装置に必要な電源電圧は+5 V, 10 A; +12 V, 0.7 A; +15 V, 1 A; -15 V, 1 A である. それぞれの直流安定化電源はモジュール化された市販の電源を使用しているが, 電源投入時のセットアップタイムのずれを少なくするために電源投入より数秒の時間おくれを持たせた電磁開閉器によって負荷へ接続している. また AC ラインより混入するノイズを軽減するためノイズフィルターを挿入している.

3. TRIAM-1 装置との接続

プラズマ変位の測定時におけるデータ処理系の接続の概略を図 3—1 に示す. TRIAM-1 主制御盤からのトリガ信号によって, 変位測定用の磁気プローブ信号 B_u , B_l , B_i , B_o , プラズマ電流 I_p , 垂直磁場コイル電流 I_v , ワンターンループ電圧 V_t を入力する. 入力信号から計算されたプラズマ変位 Δ_v , Δ_u は X-Y レコーダ, オシロスコープ, デジタルプリンタ, もしくはカセットテープレコーダに出力される.

4. データ処理結果

プラズマ変位測定時において, データ処理装置からの結果を X-Y レコーダに出力したときの一例を図 4—1 に示す. B_u , B_l , B_i , B_o はそれぞれプラズマの上側, 下側, 内側, 外側に置かれた変位測定用の磁気プローブ信号であり, プラズマ電流 I_p , 垂直磁場コイル電流 I_v とともに入力信号波形をそのまま示す. プラズマの上下方向変位 Δ_v , 内外方向変位 Δ_u は, これらの入力信号を処理, 解

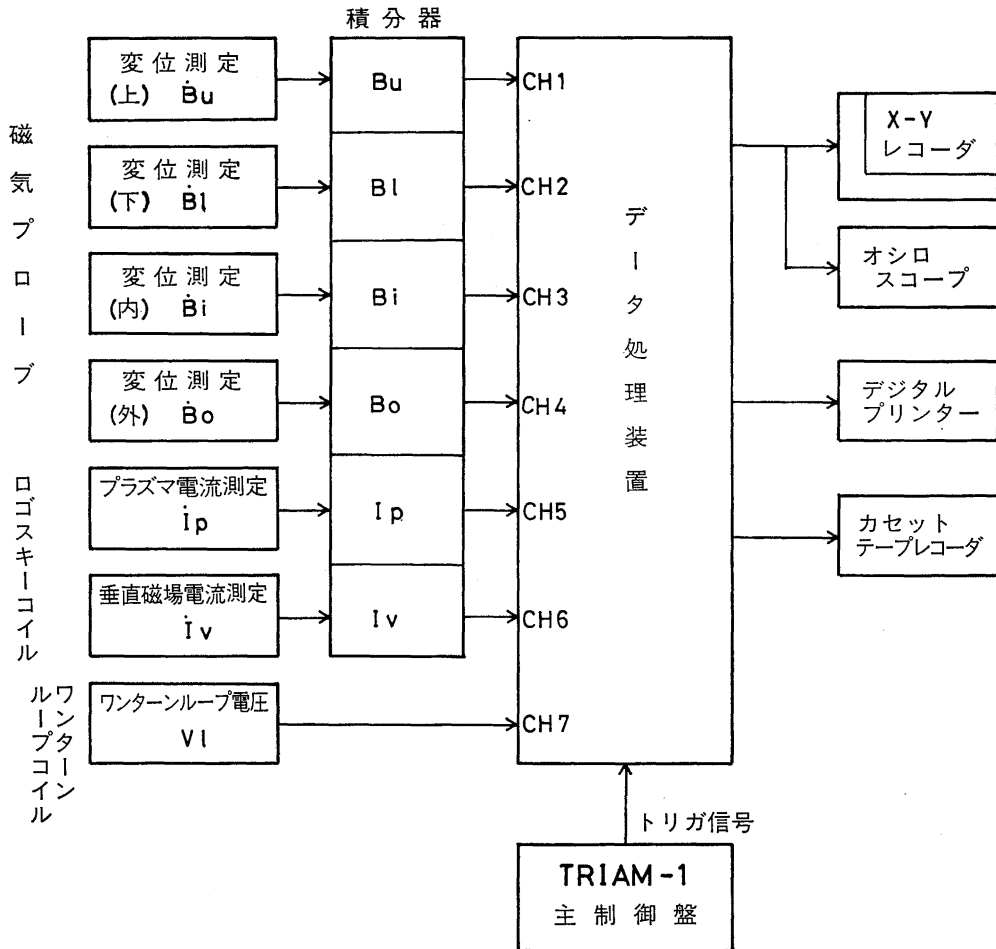


図3-1 TRIAM-1装置との接続図

析し求めたものであり十分な精度と時間分解能をもって本データ処理装置が作動していることが同図よりわかる。また一放電終了後、次の放電までの間にプラズマの変位が計算出力されるのでその結果を次の放電条件の設定に参考にすることが可能であり、本データ処理装置は最良放電を得るのに非常に有用である。

5. 装置外観及び取扱説明

5. 1 装置外観を写真5-1-1～写真5-1-4に、装置表面配置を図5-1-1に示す。

5. 2 取扱説明

5. 2. 1 接続

(1) AC 100 V 電源にキャプタイヤケーブルを用いて接続する。

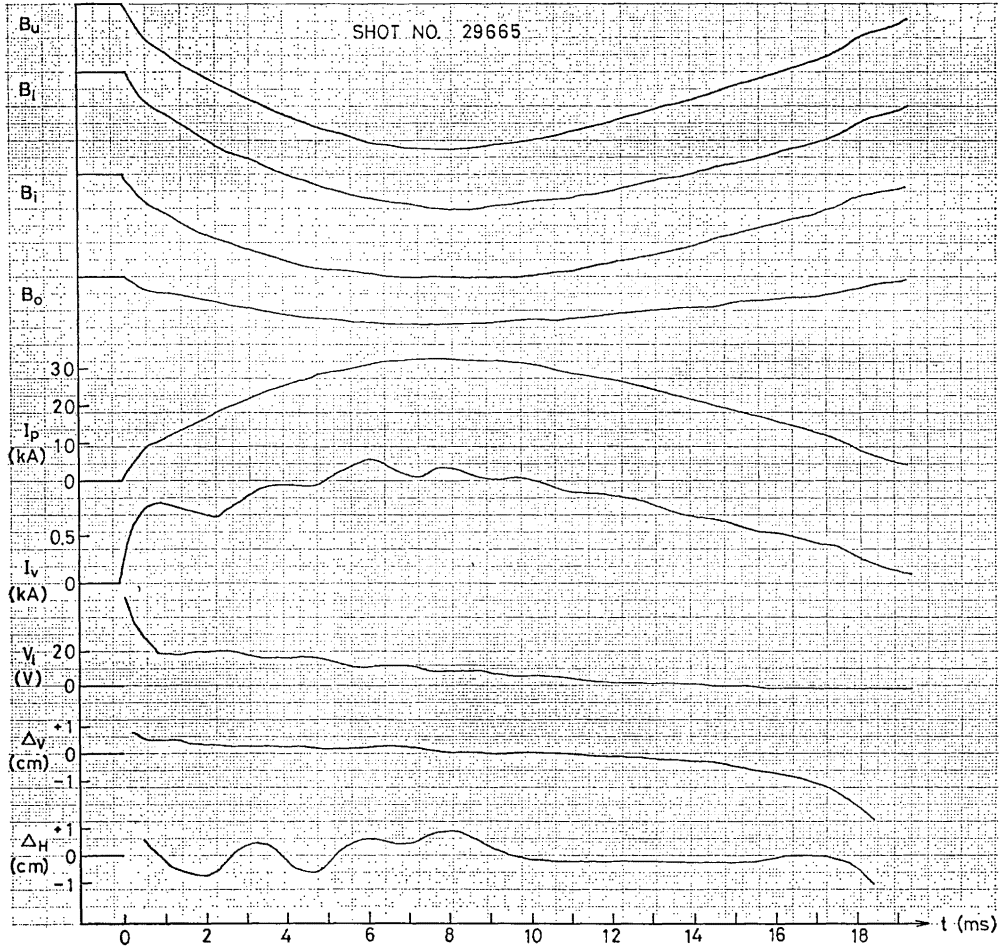


図4-1 データ処理結果例

(2) TRIAM-1 制御系よりの制御パルスをパルストランスを通じてサンプリング開始トリガ端子 (BNC コネクター) へ接続する。

(3) TRIAM-1 プラズマ監視装置より積分器出力のプラズマ変位 (上側, 下側, 内側, 外側) 及びプラズマ電流, 垂直磁場コイル電流をそれぞれ A/D 変換器入力端子 (BNC コネクター) の CH・1~CH・6 へ接続する。

(4) X-Y レコーダを接続する。

5.2.2 マニュアル出力の場合

- (1) 本体裏の NFB を投入する。
- (2) 操作部のモードセレクトスイッチを RESET にする。
- (3) 電源スイッチを入れる。
- (4) 10 分程度ウォーミングアップを行う。

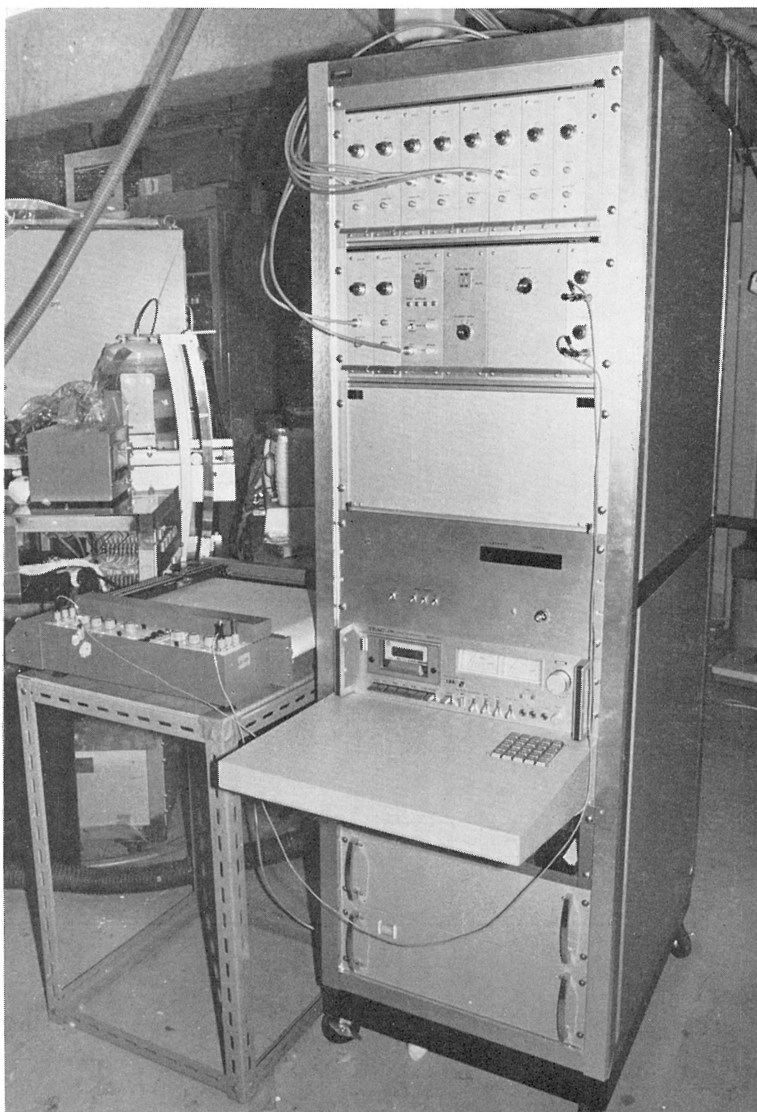


写真5-1-1 装置外観

- (5) サンプリングタイムをセットする。
- (6) A/D 変換部の入力減衰器を信号レベルに合わせる。
- (7) モードセレクトスイッチをサンプリングにして内部トリガー、または外部トリガーにより信号を取込む。
- (8) 取込んだ信号をそのまま書き出す時は、モードセレクトスイッチをリードアウトにし、読み出しスピードセレクトスイッチを適当に合わせ (X-Y レコーダの場合スイッチは①または②、オシロスコープの場合③または④が適当) 次に出力チャンネルセレクトを読み出したいチャンネルに合わせて

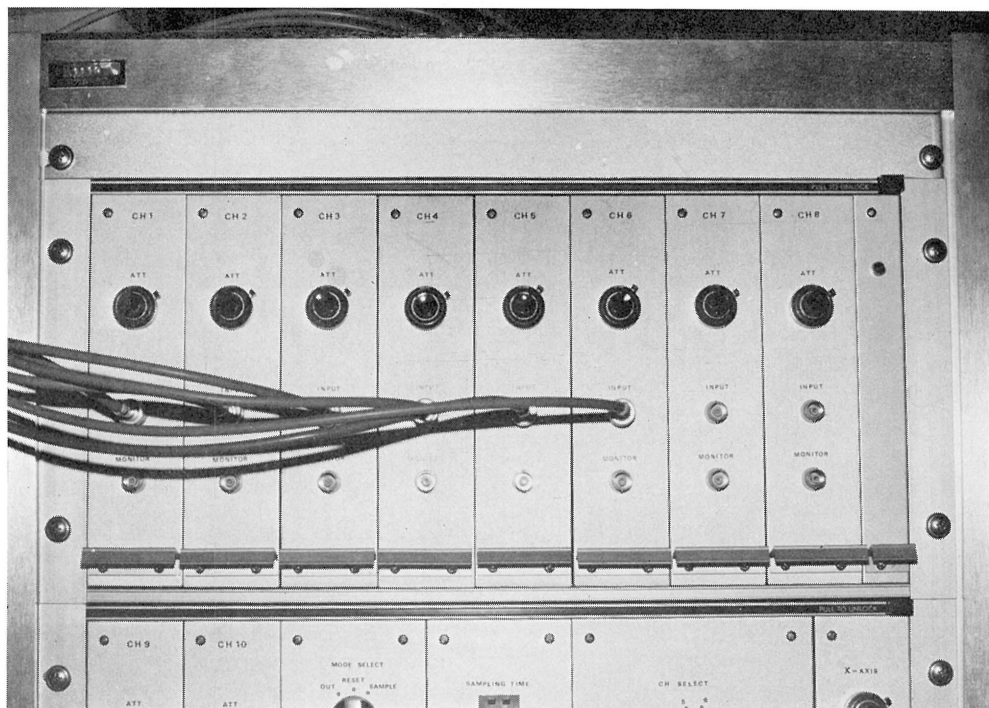


写真5-1-2 A/D 変換部

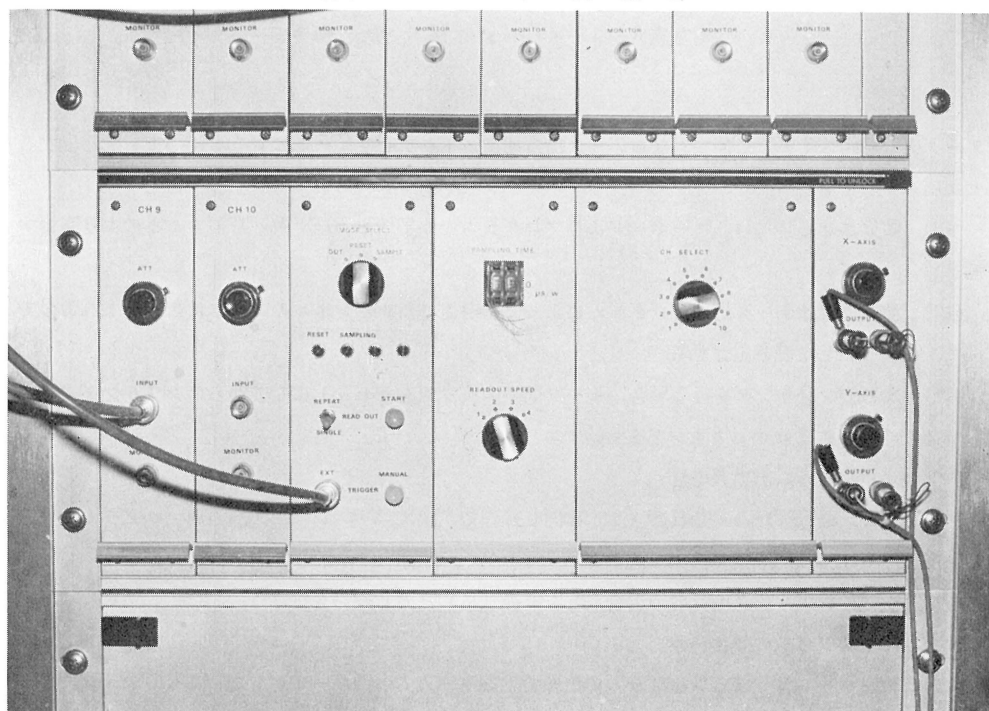


写真5-1-3 操作部

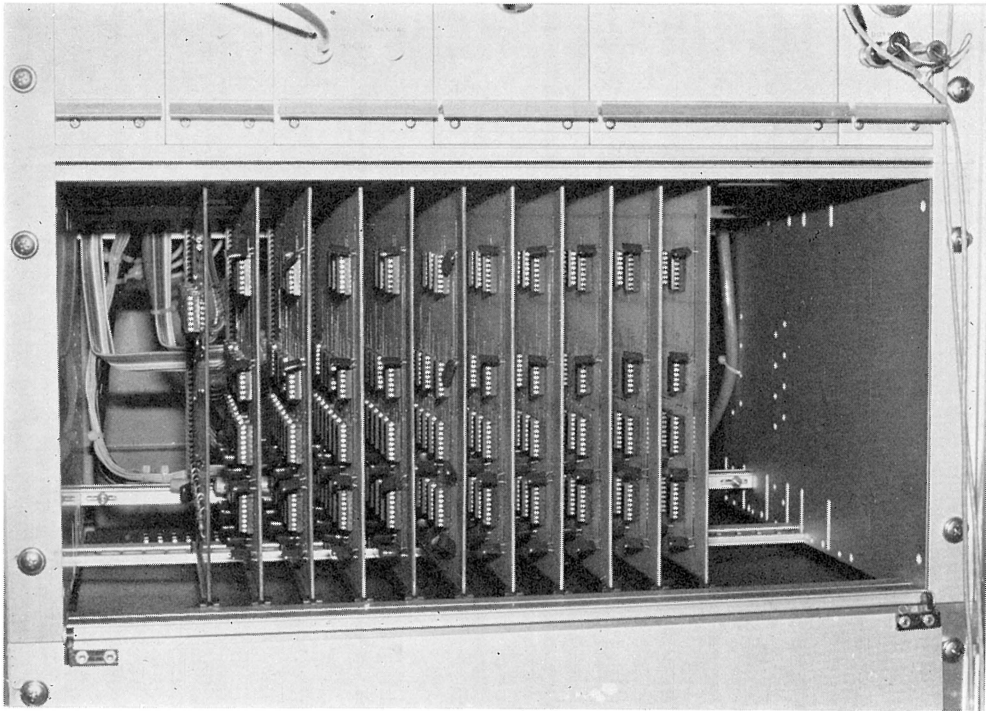


写真5-1-4 メモリ部

データ出力開始スイッチを押す。なおデータ出力切換スイッチをリピートにすると何回でも読み出すことが出来る。

(9) 演算させる時には、キーボードよりプログラム先頭番地と RUN キーを押すことにより開始する。

(10) 演算結果はデータ処理プログラムによって指定されたチャンネルのメモリに書き込まれるので(8)のようにして読み出される。

(11) 次のサンプリングを行う場合、モード切換スイッチをリセットにしてからサンプリングにしておけばトリガーによりサンプリングを開始する。

5.2.3 プログラム出力の場合

(1) 5.2.2 の(1)~(7)及び(9)は同じ操作で、次に X-Y レコーダ出力用プログラムの先頭番地及び RUN キーを押すことにより、X-Y レコーダへ自動的に書き出すことが出来る。

(2) 次のサンプリングを行なう場合、5.2.2 の(11)と同じ操作を行なう。

5.2.4 プログラムの書き込み

(1) キーボードよりまずプログラムの先頭番地をキー入力し、キーボードの ADRES SET (アドレス・セット)を押す。

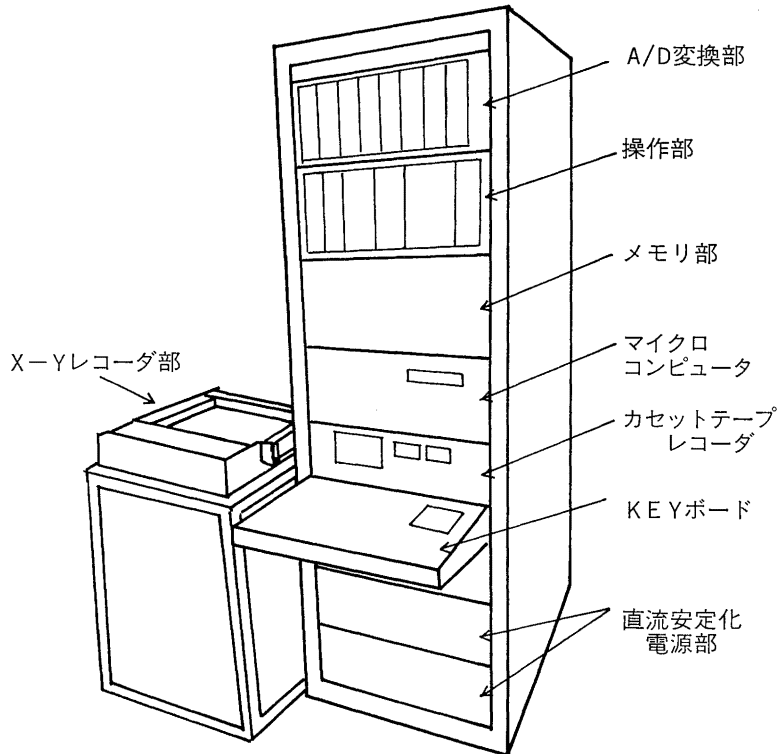


図5-1-1 装置表面配置

(2) 次に機械語に訳したプログラムをキー入力し WRITE INCR (ライト・インクリメント) を押すと指定された番地書き込まれると同時に番地はインクリメントされる。

(3) (2) を繰返してプログラムを書き込む。

5.2.5 カセットテープへのプログラムの記録

(1) キーボードより記録したいプログラムの先頭番地を押し、次に ADRES SET (アドレス・セット) を押す。最後にプログラムの最終番地をキー入力する。

(2) マイコン・パネル面の REC LEVEL (レコーディング・レベル) を最大に回す。

(3) カセットデッキにカセットを装着し、カセットデッキの REC スイッチを押す。

(4) カセットデッキの REC LEVEL を回し VU メータが 0 VU になるよう調整する。

(5) カセットテープを走らせ数 10 秒後にキーボードの STORE DATA (ストア・データ) を押す。

(6) 記録が開始され同時にマイコンパネル面の LED 表示部が消える。ふたたび LED が表示されるとき記録は終了である。

(7) カセットデッキをストップさせる。

5.2.6 カセットテープよりメモリへの書き込み

(1) キーボードの RESET キーを押す。

- (2) プログラムがはいっている所からカセットテープを走らせる。
- (3) 5.2.4 の(5)で作った数10秒のリーダー部により、マイコンパネル面のモニターランプが、点燈するようカセットデッキの OUTPUT LEVEL を調整する。
- (4) 調整がすんだらキーボードの LOAD DATA (ロードデータ) を押す。
- (5) モニターランプが点滅し、VU メータが振れ、またマイクロパネル面の LED 表示が消えてデータの転送中であることを表わす。
- (6) 連続してモニターランプが点燈し、VU メータが振れ、また LED 表示が表われると転送終了を表わす。
- (7) カセットデッキをストップさせる。

謝 辞

本装置の製作にあたり、中島寿年技官をはじめ多くの方々に有用な助言をいただいたことを記して感謝の意を表します。

(昭和55年11月6日受理)