

Si 系バイポーラパワー半導体のダイナミック動作下でのロバスト性に関する研究

中村, 勝光

<https://hdl.handle.net/2324/4110476>

出版情報 : Kyushu University, 2020, 博士 (工学), 課程博士
バージョン :
権利関係 :

氏 名 : 中 村 勝 光

論 文 名 : Si系バイポーラパワー半導体のダイナミック動作下での
ロバスト性に関する研究

区 分 : 甲

論 文 内 容 の 要 旨

エネルギー変換デバイスであるパワー半導体は、世界規模での電力供給問題という課題に対し、パワーエレクトロニクスの高消費エネルギー化(低発熱化)、高効率化および、高パワー密度化を担い、次世代社会で求められる高エネルギー効率化実現に向け、重要な役割を果たすキーテクノロジーの一つである。よって、パワー半導体の高性能化や長期安定動作が、パワーエレクトロニクスの高効率化や故障率低減に寄与し、省エネルギー化、高効率なエネルギー利用や安定なインフラシステムの実現により、人類の抱える電力供給問題の解決手段となりえる。つまり、パワー半導体技術のレベルを押し上げる高性能化に関する研究開発が、世界規模で熱望されている。

パワー半導体技術開発の歴史は、一言で表現すれば”通電能力を上げながらの電圧保持能力の向上”である。ここで、電圧保持能力とは、パワー半導体の必須性能である電流が流れていない状態での”静的な耐圧(静耐圧)”と通電状態での”動的な耐圧(Safe Operating Area (SOA))”を意味する。SOA 拡大は、パワー半導体が色々なダイナミックな動作下での耐久性を向上させる技術がキーとなる。特に最新のパワー半導体技(例えば、Insulated Gate Bipolar Transistor (IGBT)および Freewheeling diode (FWD))は、いずれも低 ON 電圧化のため、デバイス厚みを耐圧保証に必要な限界厚み近くまでシュリンクしている。そのため、熱望されるパワー半導体の高性能化のためには、ダイナミック動作中のアバランシェ挙動を考慮した SOA 拡大のための技術開発が求められる。

本研究の目的は、上記パワー半導体の高性能化の課題に対し、Si系パワー半導体の中で幅広い耐圧クラスで用いているイポーラデバイスの IGBT および FWD を対象デバイスとして、静的な耐圧保持能力と低トータルロス性能を前提条件として、種々のストレス下での SOA 拡大(耐久性と破壊耐量向上技術)の具現化である。その上で本研究のゴールは、IGBT および FWD に関する性能間のバランスの取れたパワー半導体技術の提案と設定する。

本論文は、以下の構成となっている。

第1章の序論では、本研究の背景として世界規模での課題からのパワー半導体への期待を記載する。キーテクノロジーであるパワー半導体の構成要素とその役割や IGBT と FWD のデバイス内部状態からの類似性を明確化する。その上で、本研究の目的として、次世代 IGBT/diode の技術課題である高い耐圧保持能力と低トータルロス性能を損なうことなくダイナミック動作下でのロバスト性向上と高性能化について説明する。

第2章では、FWD に関して、高いターンオフ遮断耐量化技術に関するコンセプト、リカバリー動作時のデバイスの内部状態の分析に基づいた FWD の2種類の破壊モードに関する破壊メカニズムを明らかにする。その結果、ダイナミック動作下でのロバスト性向上の観点から、目標とする diode の内部状態を明確化し、高い耐圧保持能力と低トータルロス性能を保持しながら、ON 状態からの

カソード側の電子注入効率を制御して diode のダイナミックなロバスト性向上を実現する “relaxed field cathode (RFC) diode” の提案とその優れたデバイス性能に関して、試作結果を基に実証する。

第 3 章では、high-voltage (HV) IGBT に関して、高いターンオフ遮断耐量化技術に関するコンセプト、ターンオフ動作時のデバイスの内部状態の分析に基づいた HV-IGBT の破壊メカニズムを明らかにする。その結果、ダイナミック動作下でのロバスト性向上の観点から、目標とする IGBT の構成要素ごとの内部状態を明確化し、高い耐圧保持能力と低トータルロス性能を保持しながら、ON 状態からのコレクタ側のホール注入効率を制御して IGBT のダイナミックなロバスト性向上を実現する “partial P collector” 構造を備えた CSTBT™ の提案とその優れたデバイス性能に関して、試作結果を基に実証する。

第 4 章では、FWD の高性能化に向けた n バッファ構造に関するコンセプト、RFC diode のハードスイッチング動作時の破壊メカニズムを明らかにする。その結果、ダイナミック動作下でのロバスト性向上の観点から、n バッファ層中のキャリアプラズマ層 ($n \approx p$, 中性層; n, p: それぞれ電子濃度およびホール濃度) 制御に着目し、高い耐圧保持能力と低トータルロス性能を保持しながら、power diode のダイナミックなロバスト性向上を実現する “light punch-through (LPT) (II) n バッファ層と controlling carrier-plasma layer (CPL) 領域” からなる新規 n バッファ構造の提案とその優れたデバイス性能に関して、試作結果を基に実証する。

第 5 章は、エッジターミネーション領域をシュリンクしながら高い耐圧保持能力とダイナミック動作下での耐久性実現に向けたエッジターミネーション領域設計コンセプトおよび、デバイス動作時の目標とするエッジターミネーション領域の電界強度分布を明らかにする。その結果、エッジターミネーション領域シュリンクしかつ耐圧保持能力とダイナミック動作下でのロバスト性向上の観点から、目標とする電界強度分布を実現する “Linearly-Narrowed Field Limiting Ring (LNFLR)” 構造とキャリア制御技術 (IGBT: partial P collector, FWD: RFC 構造) を組み合わせた新規エッジターミネーション設計手法を提案し、その優れたデバイス性能に関して、HV-IGBT および FWD での試作結果を基に実証する。

第 6 章の結論では、本研究の成果をまとめる。その上で、本研究のゴールと設定するバランスの取れた Si 系パワー半導体技術に関して、研究成果を基に提案する。

以上、本研究にて検証し提案するパワー半導体技術は、搭載するパワーモジュールが組み込まれたパワーエレクトロニクス市場投入とその普及により、人類の抱える電力供給問題の解決手段を担う高エネルギー効率化技術として期待に十分答え、次世代社会の実現性面から人類の進歩への寄与が期待される。

〔作成要領〕

1. 用紙はA4判上質紙を使用すること。
2. 原則として、文字サイズ10.5ポイントとする。
3. 左右2センチ，上下2.5センチ程度をあげ，ページ数は記入しないこと。
4. 要旨は2,000字程度にまとめること。
(英文の場合は，2ページ以内にまとめること。)
5. 図表・図式等は随意に使用のこと。
6. ワードプロ浄書すること（手書きする場合は楷書体）。
この様式で提出された書類は，「九州大学博士学位論文内容の要旨及び審査結果の要旨」
の原稿として写真印刷するので，鮮明な原稿をクリップ止めで提出すること。