

Si 系バイポーラパワー半導体のダイナミック動作下でのロバスト性に関する研究

中村, 勝光

<https://hdl.handle.net/2324/4110476>

出版情報 : Kyushu University, 2020, 博士 (工学), 課程博士
バージョン :
権利関係 :

Si系バイポーラパワー半導体のダイナミック動作下
でのロバスト性に関する研究

中村 勝光

2020年5月

目次

第1章 序論.....	1
1.1 研究の背景.....	1
1.2 パワー半導体構成要素とその役割.....	2
1.3 Insulated Gate Bipolar Transistor (IGBT)および Freewheeling diode (FWD)のダイナミック動作 下でのロバスト性向上および高性能化の課題.....	8
1.3.1 FWD 技術課題.....	9
1.3.2 HV-IGBT 技術課題.....	11
1.3.3 IGBT および FWD 共通技術課題.....	13
1.4 本研究の目的および構成.....	15
第1章の参考文献.....	17
第2章 FWD の高ターンオフ遮断耐量化技術.....	20
2.1 Relaxed Field of Cathode (RFC)diode 構造およびコンセプト.....	20
2.2 FWD のリカバリー動作中の破壊メカニズム.....	22
2.2.1 リカバリー動作下での破壊現象.....	22
2.2.2 snap-off 挙動へのシミュレーションによる解析.....	22
2.2.3 大電流密度でのリカバリー動作時の破壊現象へのシミュレーションによる解 析.....	26
2.3 試作結果.....	29
2.3.1 ダイナミックな挙動.....	30
2.3.2 ロス性能.....	35
2.4 まとめ.....	37
第2章の参考文献.....	37
第3章 High-Voltage IGBT (HV-IGBT)の高ターンオフ遮断耐量化技術.....	39
3.1 partial P collector 構造およびコンセプト.....	39
3.2 HV-IGBT のターンオフ動作中の破壊メカニズム.....	41
3.2.1 ターンオフ動作下での破壊現象.....	41
3.2.2 破壊現象へのシミュレーションによる解析.....	42
3.2.3 インターフェース～エッジターミネーション設計の影響.....	44
3.2.4 Safe Operating Area (SOA)限界での破壊現象.....	47
3.3 試作結果.....	48
3.3.1 ダイナミックな挙動.....	48
3.3.2 コレクタ側ホール注入効率の影響.....	53
3.3.3 ロス性能.....	55

3.4	まとめ	57
	第3章の参考文献	57
第4章	FWDの高性能化に向けたnバッファ層設計	59
4.1	nバッファ構造およびコンセプト	59
4.2	RFC diodeのハードスイッチング動作下での破壊メカニズム	62
4.2.1	ハードスイッチング動作下での破壊現象	62
4.2.2	破壊現象へのシミュレーションによる解析	63
4.3	試作結果	66
4.3.1	ハードスイッチング動作下でのダイナミックな挙動	66
4.3.2	高温動作	70
4.3.3	ロス性能	72
4.4	IGBTへの応用	73
4.4.1	短絡動作下での寄与	73
4.4.2	ダイナミックな挙動	75
4.4.5	HV-IGBTへの展開	78
4.5	まとめ	78
	第4章の参考文献	79
第5章	ロバスト性からのエッジターミネーション設計	81
5.1	Linearly-Narrowed Field Limiting Ring (LNFLR)構造およびコンセプト	81
5.2	HV-IGBTのターンオフ遮断能力へのエッジターミネーション構造の影響	84
5.3	試作結果	89
5.3.1	静特性	89
5.3.2	ダイナミックな挙動	90
5.4	FWDへの展開	91
5.5	まとめ	95
	第5章の参考文献	96
第6章	結論	97
	第6章の参考文献	100
第7章	謝辞	102
第8章	研究成果および業績一覧	104

第1章 序論

1.1 研究の背景

地球の生命の寿命は 50 億年と言われ、我々はすでに 40 億年を生き抜いている。昨今議論される持続可能な社会は、地球に降り注ぐフローの太陽エネルギーだけですべての生物が共存できる世界であれば可能である。ただし、人間の歴史を省みると、地球が備えてきたストックを取り崩して久しく、石油や石炭等の化石燃料によるエネルギー源の補填がその典型である。21 世紀に入り、世界の人口増加による将来へのエネルギー、食料や水などの資源不足が懸念され、さらに地球温暖化現象(地球規模での平均気温上昇現象)が人々の中の奥底に潜む不安や恐怖に拍車を掛けている。このような国の垣根を越えた地球規模での課題に対し、われわれ人類は輸送技術および Information Technology (IT) 技術の飛躍的な発達により、様々なものを得ながらグローバル化が進んだ結果、感染症の拡散を引き起こしている歴史が有り、これまで以上に狭くなった世界の命運を考える必要がある。つまり、我々は国際公益を追求し、経済発展と地球環境の調和のとれた社会という新しい目指すべき次世代社会を実現すべく、社会システムの再構築や、そのために必要な技術の一つであるエネルギー効率を上げる技術の開発が急務である。

このように現在の地球が抱える大きな課題である地球温暖化現象は、人類の活動に由来する温室効果ガス(例えば、二酸化炭素やフロンガスなど)による地球を覆う現象が主な原因である。地球温暖化が進むと、地球環境に大きな悪影響を与えるだけでなく、気候変動や資源不足を促進することにより、人類の生存を脅かすことになる。地球温暖化を抑制するには、排出される温室効果ガス量を制御しかつ抑制する必要がある。そのため、すでに再生エネルギー100%化の挑戦の 10 年が世界規模にてスタートし、Renewable Energy 100 % (RE100)[1]の理念の基に世界中の企業参加や、関連するサミット(気候関連財務情報開示タスクフォース(Task Force on Climate-related Trascial Disclosures (TCFD)) Summit2019[2], RE-User サミット 2020[3]など)が頻繁に開催されることから、世界中での地球温暖化対策への関心の高さが伺える。一方で、21 世紀を生きる我々は、生活/社会環境いずれも情報機器と電化製品の普及により、高水準で利便性の高い生活環境にある。加えて、これまで人類が経験したことがない高齢化社会の加速により労働人口減少世界になると、高齢化社会に対応した安全性からの電化製品の種類増加や労働人口減少を補うためのロボットや人の作業を無くしても済むオートメーション化の普及による高効率化面から、電力利用増加や電力に大きく依存する社会となり、化石燃料使用増加となる可能性が高い。

図 1.1 は、1975 年以降の世界の電力消費量の推移である[4]。図 1.1 より、2025 年以降に世界の電力供給問題が顕在化することがわかる。このように地球温暖化対策目的や電力供給問題からの電力消費量抑制と、人類の生活水準や今後訪れる高齢化社会に伴う電力消費量増加というトレードオフな関係を満足するには、電力の可能なかぎり有効活用するシステムを構築する必要がある。つまり、我々人類に課せられた大きな課題は、前述する次世代社会の実現に向けた”電力使用量の高効率化技術=高エネルギー効率化技術”の構築である。

以上のような、世界規模での電力供給問題という課題に対し、エネルギー変換デバイスであ

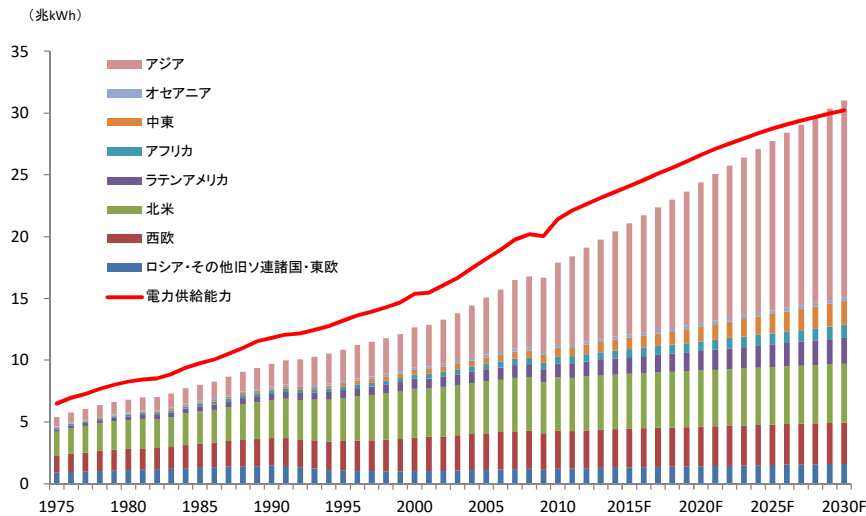


図 1.1. 世界の電力消費量の推移[4]

Fig. 1.1. Changes in the world power consumption [4].

るパワー半導体は、電力変換と制御を中心としたシステムであるパワーエレクトロニクスの低消費エネルギー化(低発熱化), 高効率化および高パワー密度化(つまり, 高電圧で高電流密度な大容量化)を担う中核となる構成要素であり, 次世代社会で求められる高エネルギー効率化実現に向け重要な役割を果たすキーテクノロジーの一つである。つまり, パワー半導体の高性能化や長期安定動作が, パワーエレクトロニクスの高効率化や故障率低減に寄与する。その結果, 省エネルギー化, 高効率なエネルギー利用や安定なインフラシステムの実現により, 人類の抱える電力供給問題の解決手段となりえる。よって, パワー半導体には, 人々より技術革新によるこれまでに類を見ない社会貢献を期待され, その技術を押し上げる研究開発が世界規模で熱望されている。

1.2 パワー半導体構成要素とその役割

図 1.2 は, パワーエレクトロニクスに搭載される重要な構成要素であるパワーモジュールの一例である[5]。図中には, パワー半導体がパワーモジュールに搭載される場合に受けるストレスとして 5 種類のストレス(ストレス①-⑤)を示す。本研究にてフォーカスするストレスは, ストレス①および②である。パワー半導体は, 図 1.2 に示すパワーモジュールに搭載されてパワーエレクトロニクスに組み込まれる部品である。パワー半導体は, 定格電圧は数十～数 kV, 定格電流は数～数 kA まで対応している。近年, パワー半導体の中でも, 高耐圧化, 低い導通損失での大電流化, Metal Oxide-Semiconductor (MOS)ゲート電圧駆動によるスイッチング動作の制御性や広い安全動作領域(Safe Operating Area (SOA))の観点から, バイポーラ素子である Insulated Gate

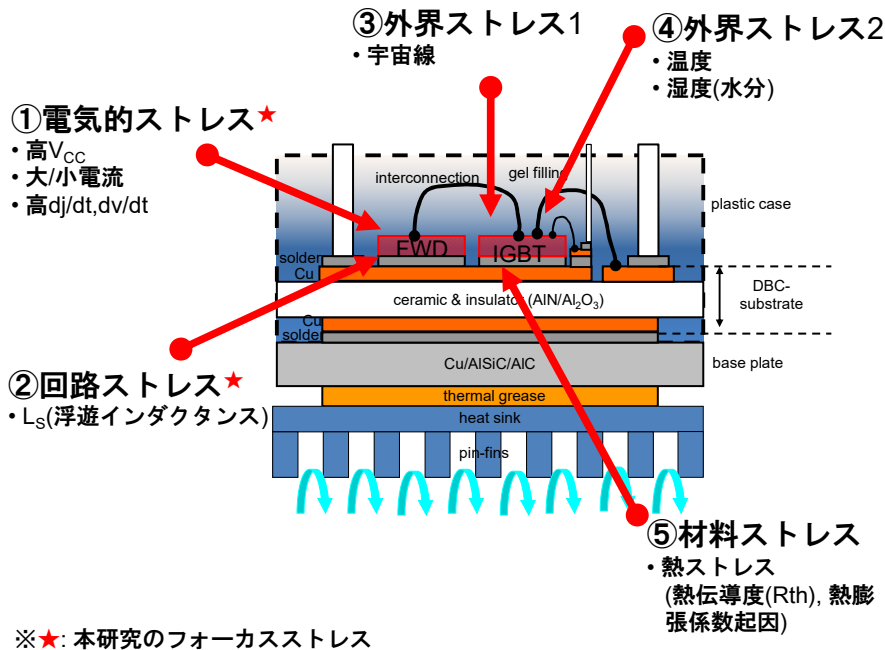


図 1.2. パワーモジュール模式図[5]

Fig. 1.2. Schematic cross-sectional view of power module [5]

Bipolar Transistor (IGBT)が広範囲な分野で持たられ、技術開発が進んでいる。IGBTは、ユニポーラ素子である Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET)より、高速スイッチング動作面で劣るものの、高耐圧化しながら低ロス化と大電流駆動が可能なることから、実際に使用されている定格耐圧が 650 V–6.5kV クラスと活用範囲が広い。また、省エネルギーの観点からパワーエレクトロニクスの制御回路としてインバータ回路が主流となり、図 1-3 に示すように、IGBT と逆並列に接続する Freewheeling diode (FWD, 以後本論文にて diode, power diode や fast recovery diode と記載時は FWD を意味する)の性能も重要である。FWD も IGBT と同じくバイポーラ素子であり、IGBT と同様に高耐圧化と低い導通損失での大電流駆動に適している。

図 1.3 は、IGBT および diode が逆並列に接続したインバータやコンバータ回路構成の一部(ハーフブリッジ回路)と、ハーフブリッジ回路での実際のスイッチング動作の事例である[5]。実際のインバータとコンバータ回路では、コンバータ部分にて電源から供給される交流を直流へ変換し、インバータ部分にてその直流を pulse width modulation (PWM)制御し任意の周波数の交流に変換し、負荷のモータの回転数を制御する。インバータにより省エネルギー運転が実現するのは、インバータ部分での PWM 制御により、モータに求められる回転数に合わせた無駄のない電力を供給できるためである。コンバータ部分でも PWM 制御を活用して、モータの加速時には力量を改善し電力の利用効率向上や、モータの減速時にモータの逆起電力に回生することで省エネルギー運転を実現する。このようにインバータ回路を利用した高エネルギー効率化には、インバータ動作を支える IGBT および diode それぞれの高性能化が必要である。

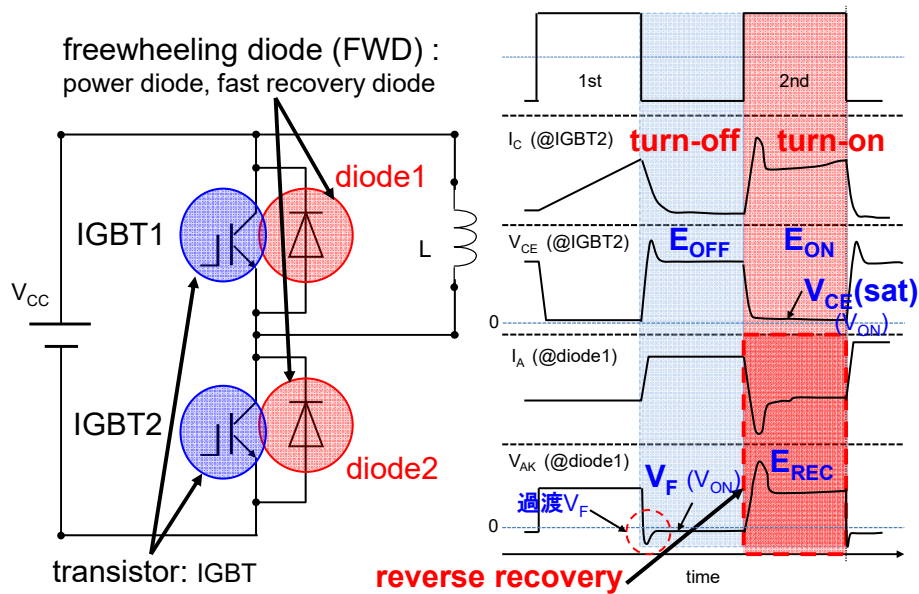


図 1.3. ダブルパルス法測定回路および測定波形[5]

Fig. 1.3. Double pulse method circuit diagram and measurement waveforms [5].

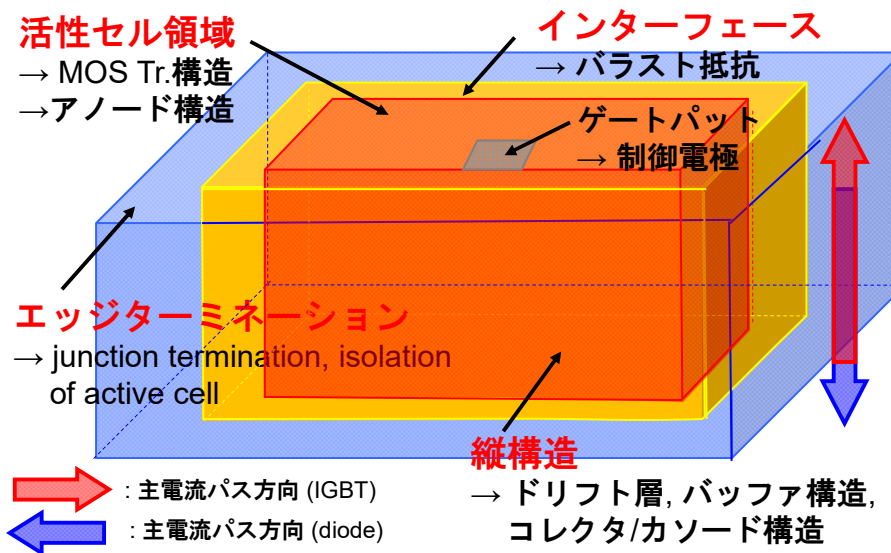


図 1.4. パワー半導体構成要素[5]

Fig. 1.4. Components of power semiconductor [5].

次に、このように重要な役割を担うパワー半導体に関しては、その構成要素とそれぞれの役割を考える。図 1.4 は、パワー半導体の構成要素を示す[5]。パワー半導体は、以下のような構成

要素からなり、それぞれデバイス動作面にて重要な役割を担っている。

(パワー半導体構成要素)

- 活性領域(活性セル領域)

パワー半導体の静的状態, ON 状態およびダイナミック状態下でのデバイス内部状態を制御し, パワー半導体の基本性能である電圧保持能力とロス性能を含むデバイスの基礎性能や, ダイナミック状態下でのロバスト性を保証する領域

- 縦構造

パワー半導体の静的状態, ON 状態およびダイナミック状態下でのデバイス内部状態を制御し, パワー半導体の基本性能である電圧保持能力とロス性能を含むデバイスの基礎性能や, ダイナミック状態下でのロバスト性を保証する領域

- インターフェース

活性領域とエッジターミネーション領域の間に位置し, ダイナミック状態下でのデバイスのロバスト性保証に寄与する領域

- エッジターミネーション(終端領域)

静的および電氣的なストレス下(信頼性面)での安定した電圧保持能力をサポートしかつダイナミック状態下でのデバイスのロバスト性保証に寄与する領域

よって, IGBT や FWD の性能向上には上記各構成要素の役割を考慮して, 技術開発を行う必要がある。その結果, 性能バランスに優れたデバイス技術を構築でき, パワーモジュールの高性能化, 長期動作の安定性および, 幅広いアプリケーションへのマッチングが可能になる。

図 1.5 は, 本研究で注目するバイポーラ素子である IGBT と diode における活性領域の断面構造である[5]。IGBT と diode は, デバイス構造が異なるように見えるが, デバイス動作時のデバイス内部状態からは, 非常に似ているデバイスである。図 1.6 には, バイポーラ系パワー半導体の静的な状態とダイナミックな状態のデバイス内部状態の模式図である[5]。図 1.6 に示すように, バイポーラ系デバイスの性能は, デバイス中のキャリア濃度と電界強度の相互作用に依存する。特に, デバイスの ON 時に n-ドリフト層に電子およびホールが注入され伝導度変調(モジュレーション)により形成されるキャリアプラズマ層($n \approx p$, 中性層; n, p: それぞれ電子濃度およびホール濃度)の制御がキーとなる。ここで, IGBT および power diode が低い導通損失にて大電流制御可能な原因は, デバイスが ON 時にモジュレーションを起こすためである。導通損失の指標は, 図 1.3 中の IGBT および diode それぞれの ON 電圧である $V_{CE(sat)}$ および V_F である。図 1.7(a)は, シミュレーションによる 4.5kV IGBT のターンオフ動作時の波形である[5]。図 1.7(b)は, シミュレーションによる IGBT のターンオフ動作時のデバイス内部状態を解析した結果である[5]。同様に図 1.8(a)および 1.8(b)は, シミュレーションによる 4.5kV p-i-n diode のターンオフ動作(リカバリー動作)時の波形およびターンオフ動作時のデバイス内部状態を解析した結果である[5]。図 1.7(b)と 1.8(b)に示すデバイスの内部状態は, 図 1.9 に示す数式を用いて計算している[5]。

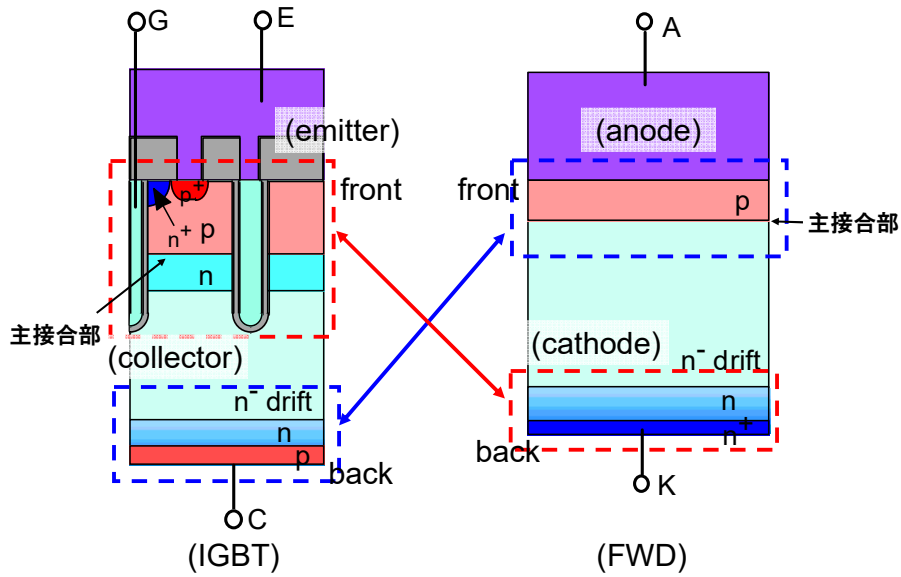


図 1.5. IGBT および FWD の活性領域の模式図[5]

Fig. 1.5. Schematic cross-sectional view of active area for IGBT and FWD [5].

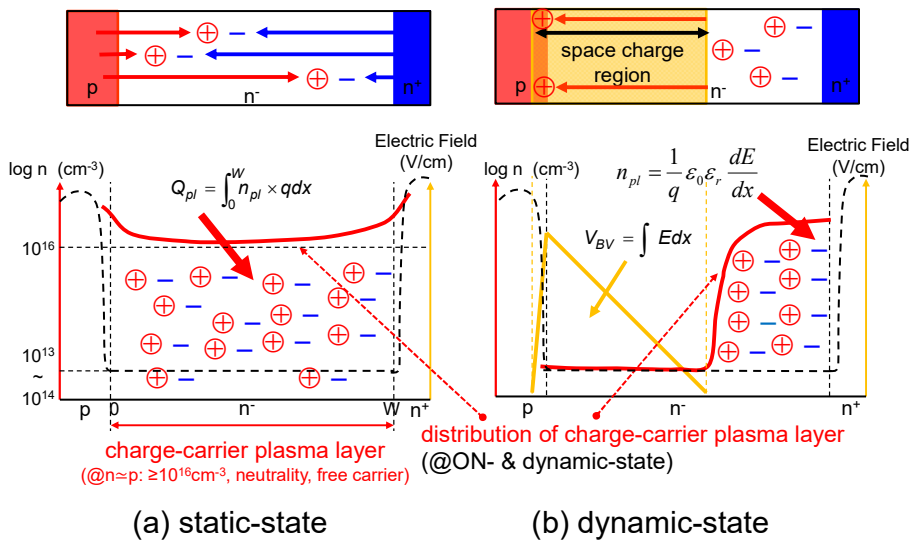


図 1.6. バイポーラ系パワー半導体の静的およびダイナミック状態でのデバイス内部状態模式図[5]

Fig. 1.6. Schematic view of interior state on bipolar power semiconductor under static- and dynamic-states [5]. (a) Static-state. (b) Dynamic-state.

本論文でのシミュレーション結果は、すべて technology computer-aided design (TCAD)を用いて解

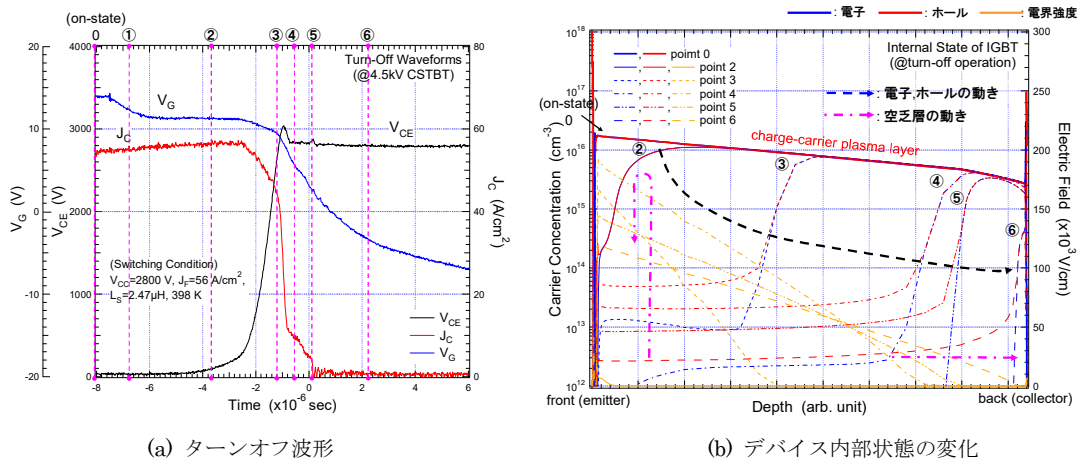


図 1.7. 4.5kV IGBT のターンオフ波形およびデバイス内部状態の変化[5]

Fig. 1.7. Simulated turn-off waveforms and interior state of 4.5kV IGBT [5]. (a) Turn-off waveforms. (b) Interior state.

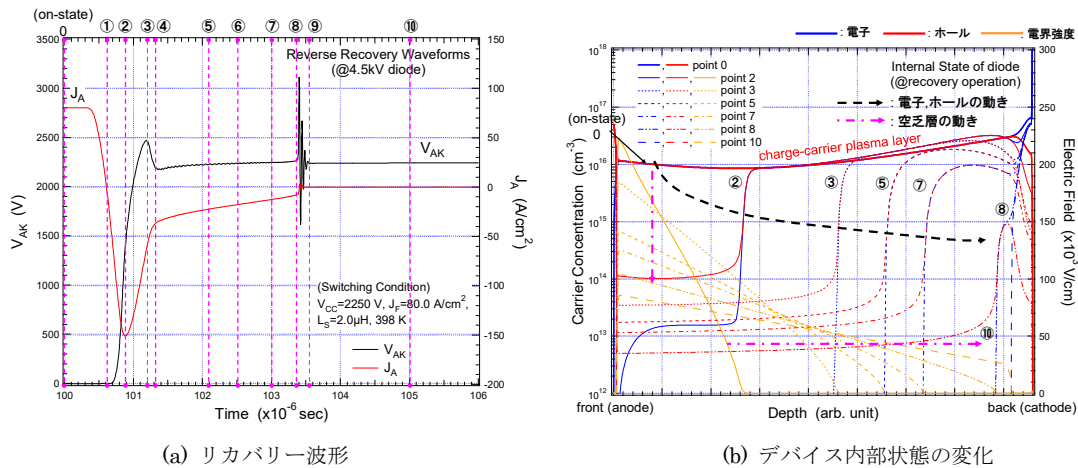


図 1.8. 4.5kV p-i-n diode のリカバリー波形およびデバイス内部状態の変化[5]

Fig. 1.8. Simulated reverse recovery waveforms and interior state of 4.5kV p-i-n diode [5]. (a) Reverse recovery waveforms. (b) Interior state.

析した結果である。図 1.7 と 1.8 より、IGBT と diode にてターンオフ時の波形は異なっているが、実際のデバイス内部状態の変化は類似な挙動を示す。つまり、IGBT, diode いずれもデバイス内部のキャリアプラズマ層中のホールをそれぞれエミッタ側およびアノード側から吐き出しながら、それに追従するように主接合部より空乏層が IGBT ではコレクタ方向へ diode ではカソード方向へ伸びることで、各デバイスのターンオフプロセスが終焉する。後述するように本研究の目標であるダイナミック動作下でのロバスト性向上の前提条件であるパワー半導体の低トータルロス性能成分である図 1.3 中の IGBT のターンオフロス(E_{OFF})および FWD のリカバリーロス(E_{REC})は、図 1.7(b)と 1.8(b)に示すターンオフプロセスでのデバイス内部のキャリアプラズマ層の吐き出し過程に依存性する。

本研究では、以上のパワー半導体の構成要素ごとの役割と IGBT および diode のダイナミック動作時の類似な動作に着目し、一貫して IGBT と FWD の高性能化およびダイナミック動作下

• Poisson equation
半導体内部の電界と電荷との関係を表す

$$\text{div}E = -\text{divgrad}V$$

$$\text{div}E = \frac{q}{\epsilon_0 \epsilon_r} (N_D - N_A + p - n)$$

一次元の場合、

$$\frac{dE}{dx} = -\frac{d^2V}{dx^2}$$

$$\frac{dE}{dx} = \frac{\rho(x)}{\epsilon_0 \epsilon_r}$$

$$\frac{dE}{dx} = \frac{q}{\epsilon_0 \epsilon_r} (N_D^+ - N_A^- + p - n)$$

ここで、

$$\rho(x) = q(N_D^+ - N_A^- + p - n)$$

$$p = \frac{J_p}{q v_{sat}(p)}$$

$$n = \frac{J_n}{q v_{sat}(n)}$$

$$n + N_A^- = p + N_D^+$$

$$J = J_n + J_p$$

V: potential

p: space charge concentration (cm⁻³)

q: elementary charge (1.60218X10⁻¹⁹ C)

ε₀: dielectric constant in vacuum

(8.85418X10⁻¹⁴ F/cm)

ε_r: relative dielectric constant (@Si: 11.9)

N_D, N_A: donor/accepter concentration (cm⁻³)

N_D⁺, N_A⁻: ionised (empty) donor/accepter

(filled) concentration (cm⁻³)

• Continuity equation
半導体の特定箇所の電子/ホールの時間変化を表す
(electron)

$$\frac{\partial n}{\partial t} = G_n - R_n + \frac{1}{q} \text{div}J_n, R_n = \frac{\Delta n}{\tau_n}$$

一次元の場合、

$$\frac{\partial n}{\partial t} = G_n - R_n + \frac{1}{q} \frac{dJ_n}{dx}$$

(hole)

$$\frac{\partial p}{\partial t} = G_p - R_p - \frac{1}{q} \text{div}J_p, R_p = \frac{\Delta p}{\tau_p}$$

一次元の場合、

$$\frac{\partial p}{\partial t} = G_p - R_p - \frac{1}{q} \frac{dJ_p}{dx}$$

n, p: free electron/hole concentration (cm⁻³)

J: total current density

J_n, J_p: current density of electron/hole current (A/cm²)

v_{sat(n)}, v_{sat(p)}: saturation drift velocity of electron/hole (cm/s)

G_n, G_p: generation rate of electron/hole (cm⁻³/s)

R_n, R_p: recombination rate of electron/hole (cm⁻³/s)

τ_n, τ_p: carrier lifetime of electron/hole (s)

図 1.9. パワー半導体のダイナミック状態下での内部状態計算時に用いる数式[5]

Fig. 1.9. Equations for internal state of power semiconductor under dynamic-state [5].

でのロバスト性向上に同じコンセプトのアプローチを行う。

1.3 Insulated Gate Bipolar Transistor (IGBT)および Freewheeling diode (FWD)のダイナミック動作下でのロバスト性向上および高性能化の課題

パワー半導体技術開発の歴史は、一言で表現すれば”通電能力を上げながらの電圧保持能力の向上”である。ここで、電圧保持能力とは、パワー半導体の必須性能である電流が流れていない状態での”静的な耐圧(静耐圧もしくは breakdown voltage)”と通電状態での”動的な耐圧(Safe Operating Area (SOA))”を意味する。SOA 拡大は、パワー半導体が色々なダイナミックな動作下での耐久性を向上させる技術がキーとなる。特に最新の IGBT, FWD いずれも低 ON 電圧化のため、デバイス厚み(t_{in})を耐圧保証に必要な限界厚み近くまでシュリンクしているので、図 1.10 のようなダイナミック動作中のアバランシェ挙動[5], [6]を考慮した技術開発が求められる。

本研究のゴールは、図 1.11 に示すように市場および社会からパワー半導体に要求される 5 つのアイテム[5]:

(a) 低トータルロス*)性能

*) トータルロスとは、ON 電圧, スイッチングロスおよび、オフロスの 3 成分から成るロスと定義する。

(b) 十分なダイナミックなロバスト性**)

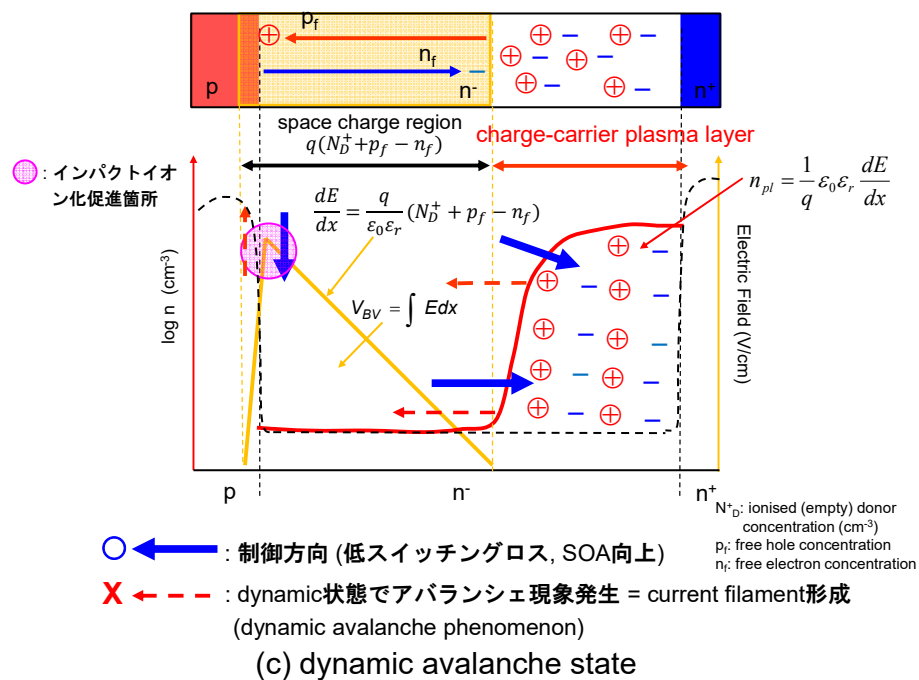


図 1.10. バイポーラ系パワー半導体のダイナミックアバランシェ状態でのデバイス内部状態模式図[5]

Fig. 1.10. Schematic view of interior state on bipolar power semiconductor under static- and dynamic avalanche state [5].

***) ロバスト性とは、SOA を考慮したオーバーストレス条件下(図 1.2 のストレス①および②)での耐久性の能力もしくは破壊耐量と定義する。

- (c) 制御性の良いスイッチング挙動
- (d) 長期動作の安定性(長期信頼性)
- (e) すぐれたコスト効率性(高コストパフォーマンス)

間のバランスの取れたパワー半導体技術の探究と、その具現化の提案である。本研究では、静的な耐圧保持能力と上記要求アイテム(a)を前提条件とし、アイテム(b),(c),(e)の技術開発内容を述べ、その結果を基にして上記要求アイテムの解決手段を提案する。検討する技術内容は、IGBT と FWD とともにダイナミック動作下での破壊現象のメカニズム解明がキーとなる。そこで、本論文では、実測結果を基にしながらシミュレーション技術を活用し、IGBT と FWD の破壊現象のメカニズムに関する検討結果を示し、目標とするデバイス内部状態の提案とそれを具現化するデバイス構造を示す。

以下に、具体的な IGBT および FWD それぞれの技術課題と共通の技術課題を示す。特に、IGBT では、第 1.1 章にて述べた高エネルギー効率化技術として昨今の世界規模でのインフラ整備の観点から注目されているアプリケーション(例えば、高速鉄道や high voltage direct current (HVDC))に用いる 3.3kV 以上の high-voltage (HV)領域に着目して記述する。

1.3.1 FWD 技術課題

∴ 性能間のバランスが取れたパワー半導体

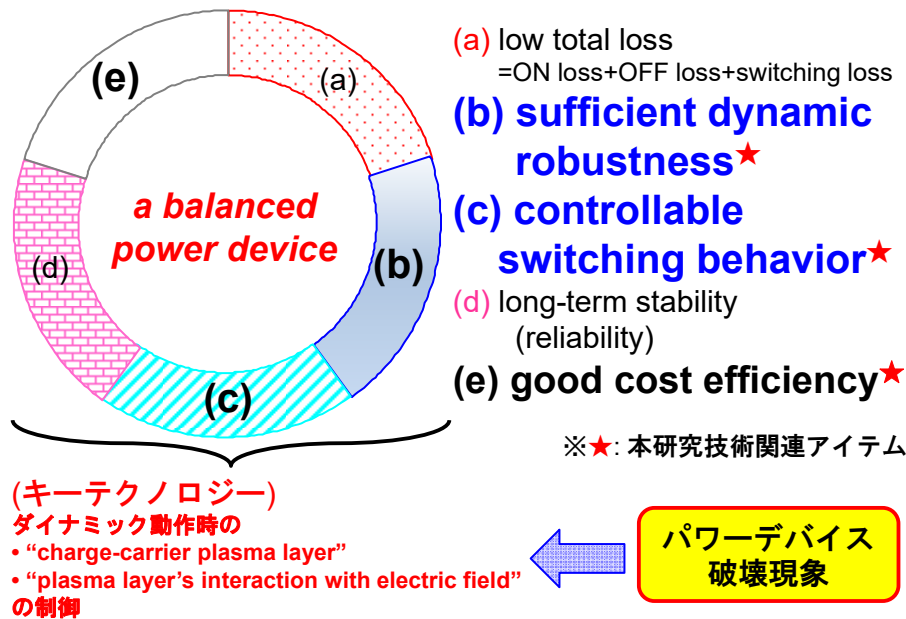


図 1.11. バランスの取れたパワー半導体[5]

Fig. 1.11. Schematic view of a balanced power semiconductor [5].

第 1.2 章にて述べたように、FWD はインバータ回路の動作、性能面および長期安全動作の観点から IGBT 以上に重要な役割を担っているパワー半導体である。また、ペアとなる IGBT の性能を活かせるかどうかは、power diode の性能に懸かっているととっても良い。ペアとなる IGBT のターンオン動作時に高速スイッチングスピード動作を実現しようとする、diode のリカバリ動作時の電流変化率(dj_A/dt)が大きくなり、主電流の流れる配線の寄生インダクタンス(L_s)の影響で diode 自身の電圧変化率(dv/dt)が上昇する。その結果、diode に過電圧の発生や電圧の発振現象が発生する(以下、本挙動を顕著に表れる動作モードを”snappy”リカバリ動作と呼ぶ)。過電圧が diode の静耐圧を超えると、diode のみならずペアの IGBT の破壊原因となりパワーモジュールの故障を引き起こす。電圧の発振現象が発生すると、ノイズの原因となりシステムの誤動作の原因となる。本現象を抑制するために、 dj_A/dt を小さくし緩やかなスイッチング動作や diode 自身の n ドリフト層厚みを厚くし必要以上の静耐圧保持能力化が考えられるが、 E_{REC} および V_F 増加による diode 起因のロス増加や、パワーモジュールとして IGBT の性能を引き出せない結果となってしまう。つまり、FWD には、n ドリフト層厚みを厚くすることなく、高速スイッチング動作しても過電圧と発振を抑制しながら SOA を拡大させることが求められる。

FWD のリカバリ動作時の発振現象に関しては、diode のソフトリカバリ動作の観点から幅広く研究されてきた[7]-[11]。その中で、diode の発振現象は、外部スイッチング回路パラメータ(例えば、高電源電圧(V_{CC})、高 dj_A/dt 、高 L_s 、低電流密度(J_A)および低い接合温度(T_j))に敏感な挙動であることが報告されている[12]。その中で、diode のリカバリ動作時に snappy モードとなる場合は、大きな過電圧が発生し、diode 自身の破壊の一要因となる可能性を示唆している。

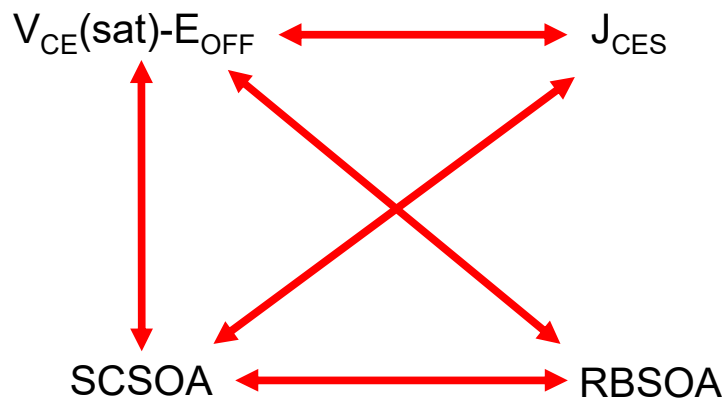


図 1.12. LPT-IGBT のデバイス特性間のトレードオフの関係模式図[20]

Fig. 1.12. Schematic square trade-off model of LPT type IGBT [20].

一方で、HV-diode のリカバリ-SOA 向上には、エッジターミネーション領域に weak point を形成しない設計手法の提案 [13]-[15]や、ソフトリカバリ動作を伴いながらの SOA 向上のためのカソード構造の報告が存在する[8]-[10], [16]。その上、HV 領域では低ロスと高速スイッチングを併せ持つ HV-IGBT の開発が進み[17]-[19], 高性能な HV-IGBT の動作にマッチングしながら低トータルロスと高いダイナミックな耐久性を併せ持つ FWD 技術が熟望されている。ここで、diode のトータルロスとは、 V_F , E_{REC} , およびオフ状態のロス($V_{RX}J_R$)の 3 成分からなるロスと定義する。

以上から、次世代 FWD 技術に求められる技術課題は、高い耐圧保持能力と低トータルロス性能を保持しながら、

- (a) リカバリ動作時のターンオフ遮断耐量向上(SOA 拡大)
- (b) 種々の回路パラメータ条件下(図 1.2 中のストレス①,②)でのロバスト性向上
- (c) 高温下での安定な動作

であり、同じコンセプトにて例えば 650 V-6.5kV クラスと、幅広い耐圧クラスをカバーできるデバイス技術である。この次世代 power diode の技術課題が、本研究のテーマの一つである。

1.3.2 HV-IGBT 技術課題

最近の HV-IGBT 技術開発のトレンドは、a) 低トータルロス化、b) 低いリーク電流で安定しかつ高い耐圧遮断能力、c) 優れたダイナミックな耐久性を含む SOA 拡大および、d) 制御性の

良いスイッチング特性という性能を兼ね備えながら高パワー密度化の実現である。さらに、HV 領域のアプリケーションからは前述する IGBT の高性能化に加えて、e) 長期安定動作を含む長期信頼性保証および、f) 高いコストパフォーマンスというバランスの取れた IGBT の実現が切望されている。その結果、図 1.12 に示すような IGBT の保有する 4 つの重要なデバイス性能(すなわち、 $V_{CE(sat)}$ と E_{OFF} とのトレードオフ特性、耐圧系リーク電流(J_{CES})、reverse-bias SOA (RBSOA)および、short circuit SOA (SCSOA))間のトレードオフな関係を鈍感化するための技術開発の結果が報告されている[17]–[22]。ただし、FWD の場合と同様に、4 つの性能間のトレードオフ特性の鈍感化のために、IGBT 自身の n ドリフト層厚みを厚くすると $V_{CE(sat)}$ と E_{OFF} とのトレードオフ特性が悪化し、IGBT に起因するロス性能を悪化させてしまう。加えて、社会から熱望される高パワー密度をドライビングするパワーモジュールの実現には、パワー半導体の高耐圧化しながらハードスイッチング条件下(例えば、高 V_{CC} 、高/低電流密度(J_c)、高 dv/dt 、高 L_s)での高いターンオフ遮断能力が必要である。

近年、3.3–6.5kV クラスの HV 領域にて、低トータルロス性能を持ちながら高いターンオフ遮断能力を実現するパワー半導体の開発が進められている[13], [20]–[26]。その中で、エッジターミネーション領域の設計が、ハードスイッチング条件下で HV パワー半導体が正常にターンオフ動作するためには重要な役割を担っているという報告がある[13], [15], [24]–[27]。その上、前述する 4 つの性能間のトレードオフ特性が存在する HV-IGBT でも、縦構造を工夫しコレクタ部からのキャリア注入効率を制御することで、十分なダイナミックな耐久性を保有できる可能性を示唆する結果がある[23], [24]。最近の IGBT は、低 $V_{CE(sat)}$ 化しながら図 1.12 のようなトレードオフ特性の関係を制御するために、従来採用していた荷電粒子等によるキャリアライフタイム制御手法は用いずに、n ドリフト層中のキャリアのライフタイムを長くしたままコレクタ部からのキャリア注入効率にて制御することを目指した構造の技術開発も進んでいる[23], [24]。このコンセプトは、今後のパワー半導体が直面する Si ウエハの大口径化($\geq 200\text{mm}$)に伴う種々な Si ウエハ材料を使いこなすという観点から、Si 中の不純物欠陥の影響を最小限化できるために有効である。つまり、図 1.8 に示すような IGBT のターンオフ動作時の n ドリフト層中のキャリアプラズマ層と電界強度との相互作用を制御することが、HV-IGBT が直面する低トータルロス性能と高いターンオフ遮断耐量化という技術課題に対する解決手段である。ここで、IGBT のトータルロスとは、 $V_{CE(sat)}$ 、 E_{OFF} 、およびオフ状態のロス($V_{CES} \times J_{CES}$)の 3 成分からなるロスと定義する。

以上から、次世代 HV-IGBT 技術に求められる技術課題は、高い耐圧保持能力と低トータルロス性能を保持しながら、

- (a) ターンオフ動作時の遮断耐量向上(SOA 拡大)
- (b) 種々の回路パラメータ条件下(図 1.2 中のストレス①,②)でのロバスト性向上
- (c) 種々の IGBT 性能へのコレクタ部のキャリア注入効率の影響鈍感化
- (d) 高温下での安定な動作

であり、同じコンセプトにて例えば 3.3–6.5kV クラスと、広い高耐圧クラスをカバーできるデバイス技術である。この次世代 HV-IGBT の技術課題が、本研究のテーマの一つである。

1.3.3 IGBT および FWD 共通技術課題

IGBT, FWD の共通技術課題として, (1) n バッファ構造および, (2) エッジターミネーション構造が存在する。以下にそれぞれの技術課題および本研究との関係を示す。

(1) n バッファ構造

パワー半導体の低 ON 電圧化と低スイッチングロス化には, t_n のシュリンクを実現する縦構造の構築が効果的である。2000 年以降, Si ウエハ材料として floating zone (FZ) ウエハを用いながらパワー半導体の縦方向シュリンクを実現する設計コンセプトとして, thin wafer Punch-Though[28], Field Stop (FS)[29], Soft Punch-Though (SPT)[30]および, Light Punch-Though (LPT)[31] が提案され, 実用化されている。最近, 大口径な FZ ウエハにて薄ウエハプロセス(thin wafer process (TWP))技術を用い, 前述する縦構造コンセプトを用いたパワー半導体が世界中のパワーモジュール市場を牽引している[15], [21], [32], [33]。FWD の場合, 縦構造に加えて, p-i-n diode の縦方向シュリンクするために, 縦構造と新規カソード構造を組み合わせた構造が提案される[15], [34], [35]。また, power diode の性能向上のために, FS 層のプロファイル最適化[36]や大口径 Si ウエハでの形成技術に関する報告もある[33]。

最新の IGBT および FWD では, 耐圧保持能力と低ロス化を両立すべく, n ドリフト層パラメータの薄厚化と高比抵抗化にて実現している。ただし, IGBT および FWD の n ドリフト層の薄厚化には, 種々のアプリケーションに対してソフトスイッチングにて制御性の良いスイッチング挙動や高いターンオフ耐量化の観点から限界が存在する。一方にて, パワーモジュール市場からの最新パワー半導体への要求は, 高いダイナミックな耐久性を持ちながら広い動作温度, IGBT と diode のマッチングした動作や, コスト効率の良い生産能力による低コスト化である。コスト効率の良い生産能力の実現には, 大口径化($\geq 200\text{mm}$)な Si ウエハを使い, TWP 技術とマッチングした低温熱処理プロセス技術を用いてのデバイス構造の構築である。今後の Si ウエハを用いたパワー半導体技術(耐圧クラス: 650 V–6.5kV クラス)が第 1.1 章にて述べた人類の熱望と市場要求に答えながら持続的に発展するのは, 大口径な FZ ウエハや magnetic Czochralski (MCZ)ウエハにて, TWP 技術を活用したデバイス技術がキーとなる。

そのためには, 次世代 IGBT および FWD 技術に求められる技術課題は, 高い耐圧保持能力と低トータルロス性能を保持しながら,

- (a) 制御性の良いスイッチング挙動
- (b) ターンオフ動作時の遮断耐量向上(SOA 拡大)
- (c) 広い動作温度化

であり, IGBT と FWD と同じコンセプトにて TWP 技術とマッチングするデバイス技術である。この次世代 IGBT および FWD の技術課題が, 本研究のテーマの一つである。

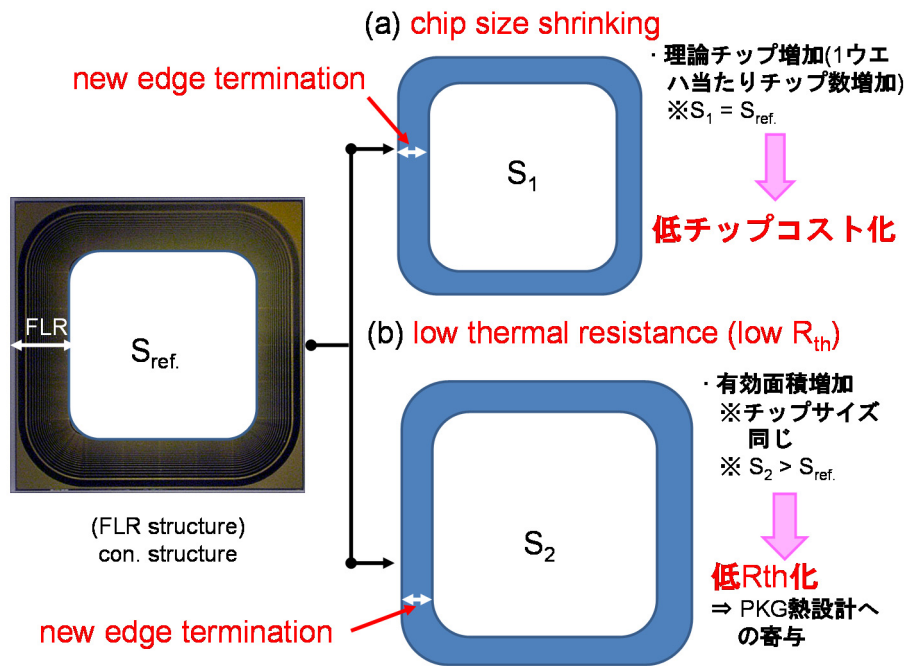


図 1.13. エッジターミネーション技術の波及効果

Fig. 1.13. Effect on edge termination technology.

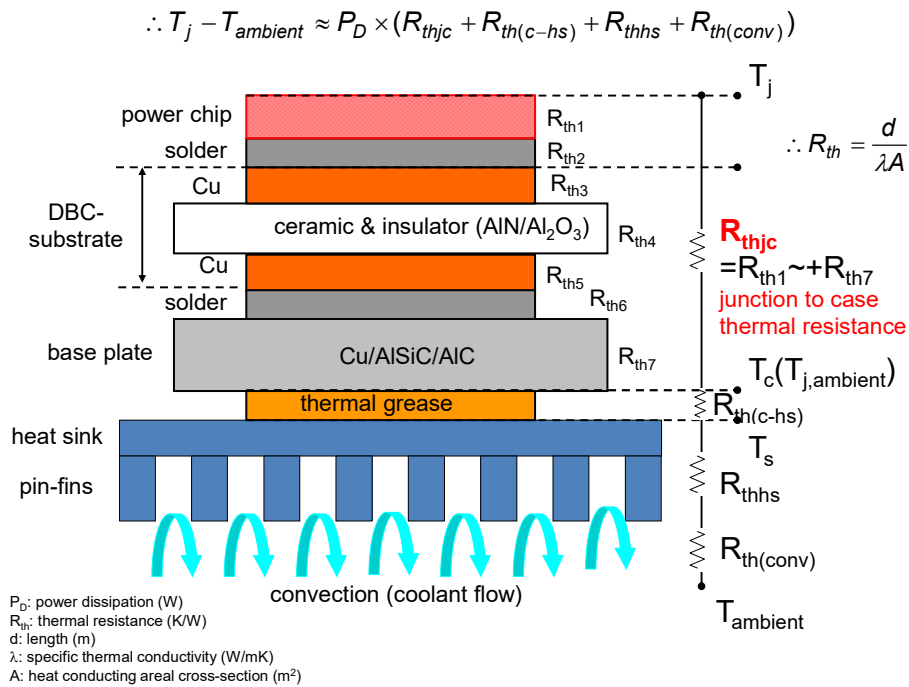


図 1.14. パワーモジュールの熱抵抗成分

Fig. 1.14. Components of thermal resistance on power module.

(2) エッジターミネーション構造

第 1.2 章にて示すようにエッジターミネーションは、静的電圧および電氣的ストレス下での電圧保持能力とダイナミック状態下でのデバイスのロバスト性保証に寄与する領域である。一方で、図 1.13 に示すように、チップサイズシュリンクにより Si ウエハ 1 枚当りの理論チップ数増加による低チップコスト化というコストパフォーマンス向上や、パワー半導体の有効面積増加によるチップ自身の熱抵抗(R_{th} : thermal resistance)低減による搭載されるパワーモジュールの発熱抑制と熱設計に寄与する領域でもある。パワーモジュール自身は、複数の材料から構成される。そのため、パワーモジュール中の熱抵抗成分は図 1.14 に示すように複数存在するが、パワー半導体はその中の 1 成分を占める重要な構成要素である。よって、エッジターミネーション構造は、パワー半導体の性能に加えパワーモジュールの熱設計への影響がある面積効率性を制御する技術である。

パワー半導体に用いるエッジターミネーション構造としては、広く採用されている field limiting ring (FLR)構造のシュリンクを実現する variation of lateral doping (VLD)[37], recess junction termination[38]および、trench termination[39]という技術が提案されている。一方で、昨今 HV パワーモジュールにて注文を浴びる temperature humidity bias (THB) での IGBT チップの劣化モデル[40]や市場での湿度による故障率予測するための耐湿寿命カーブ算出するにあたっての耐湿性を評価する新しい結露試験による加速試験の提案[41]など、パワー半導体の耐湿性向上の観点からエッジターミネーション構造が注目されている。ただし、いずれもパワー半導体に求められるダイナミックな耐久性と耐圧面の信頼性を兼ね備え、エッジターミネーション領域シュリンクを実現する技術に関しての検討は不十分である。

以上から、次世代 IGBT および FWD 技術に求められる技術課題は、エッジターミネーション領域シュリンクしながら高い耐圧保持能力を持ち、

- (a) ターンオフ動作時の遮断耐量向上(SOA 拡大)
- (b) 環境ストレス下(図 1.2 中のストレス④)でのロバスト性向上(信頼性向上)

であり、特に HV 領域(3.3-6.5kV クラス)にて IGBT および diode と同じコンセプトにて実現するデバイス技術である。特に今回は、これまでほとんど研究報告が成されていない項目(a)に関し次世代 HV-IGBT/diode の技術課題として、本研究のテーマの一つとする。

1.4 本研究の目的および構成

ここでは、本研究の目的および構成を示す。

図 1.15 が、本研究の設定するゴール、技術課題およびその具現化を示す本研究の体系図である。本研究のゴールは、性能間のバランスの取れたパワー半導体技術の提案とする。その具現化のための前提条件は、十分な静的な耐圧保持能力と低トータルロス性能と設定する。その上で、本研究の技術課題である種々のストレス下での耐久性と破壊耐量向上を実現するために、nドリフト層中のキャリアプラズマ層と電界強度との相互作用の制御によるダイナミック動作下でのデバイス内部の電界強度制御に着目した、パワー半導体技術の開発を行う。

本論文は、以下の構成となっている。

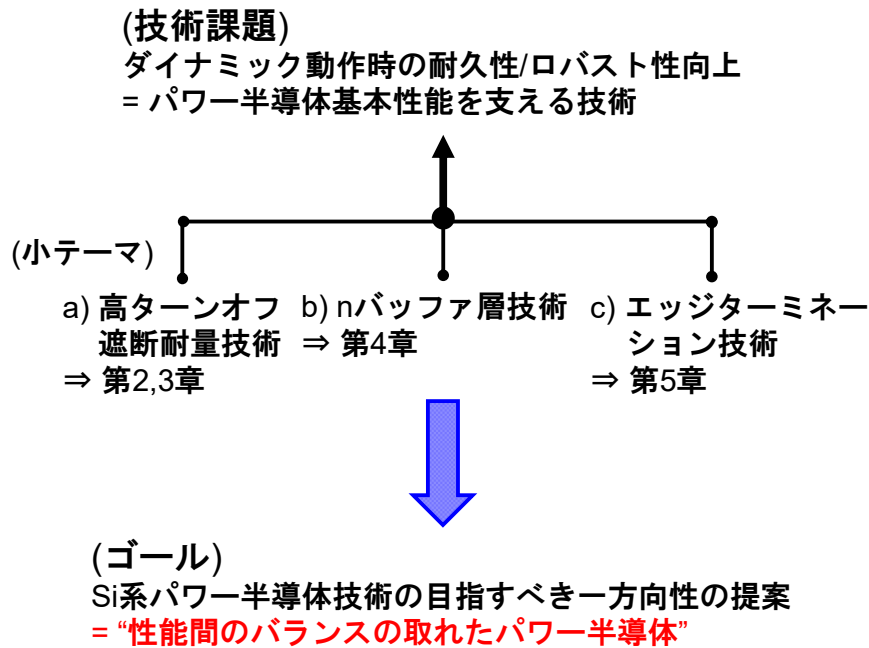


図 1.15. 本研究の体系

Fig. 1.15. System of this research.

第 1 章の序論では、本研究の背景として世界規模での課題からのパワー半導体への期待を記載する。キーテクノロジーであるパワー半導体の構成要素とその役割や IGBT と FWD のデバイス内部状態からの類似性を明確化する。その上で、本研究の目的として、次世代 IGBT/diode の技術課題である高い耐圧保持能力と低トータルロス性能を損なうことなくダイナミック動作下でのロバスト性向上と高性能化について説明する。

第 2 章と第 3 章では、それぞれ FWD と HV-IGBT に関して、高ターンオフ遮断耐量化技術に関するコンセプト、ターンオフ動作時のデバイスの内部状態の分析に基づいた破壊メカニズムの解明および、提案する技術(FWD: “relaxed field cathode (RFC) diode”; HV-IGBT: “partial P collector” を備えた CSTBT™(III))のデバイ性能に関して試作結果を基に実証する。

第 4 章では、FWD の高性能化に向けた n バッファ層に関するコンセプト、RFC diode のリカバリー動作時の破壊メカニズム解明および、提案する n バッファ構造(LPT(II)+”controlling carrier-plasma layer (CPL)”構造)による RFC diode の高性能化に関して試作結果を基に実証結果を示す。加えて、提案する n バッファ構造による IGBT の高性能化結果を紹介する。

第 5 章は、エッジターミネーション領域シュリンクしながらダイナミック動作下でのロバスト性からのエッジターミネーション領域構造コンセプト、その有効性および、提案するエッジターミネーション構造(“Linearly-Narrowed Field Limiting Ring (LNFLR)”)による HV-IGBT/diode の高性能化に関して試作結果を基に実証結果を示す。

第 6 章の結論では、本研究の成果をまとめる。

第 1 章の参考文献

- [1] <https://sustainablejapan.jp>
- [2] <https://tcf-d-summit.org> or <https://www.fsb-tcf-d.org>
- [3] <https://www.renewable-ei.org/activities/events/20200131.php>
- [4] 南川, “IoT 時代で変わる生活とエレクトロニクス産業 ～ EV・IoT・AI が半導体産業を牽引する ～,” 第 6 回電子デバイスフォーラム京都, 京都, 日本, Nov. 2019.
- [5] 中村, “Si パワーデバイスの信頼性課題 – Si-IGBT/diode の高い耐久性&優れたロバスト性の重要性 –,” 第 5 回先進パワー半導体分科会 2018 年度チュートリアル, vol. 03, no. 01, pp. 69–100, 京都, 日本, Nov. 2018.
- [6] D. Silber and N. Kaminski, “High Voltage Bipolar Devices: Past, Present, and Future,” in *Short Course Lecture Notes of ISPSD*, Kanazawa, Japan, May 2013, pp. 1-30.
- [7] K. Satoh, K. Morishita, Y. Yamaguchi, N. Hirano, H. Iwamoto and A. Kawakami, “A Newly Structured High Voltage Diode Highlighting Oscillation Free Function in Recovery Process,” in *Proc. ISPSD*, Toulouse, May France, 2000, pp. 249–252.
- [8] A. Kopta and M. Rahimo, “The Field Charge Extraction (FCE) Diode A Novel Technology for Soft Recovery High Voltage Diodes,” in *Proc. ISPSD*, Santa Barbara, CA, USA, May 2005, pp. 83 –86.
- [9] H. P. Felsl, M. Pfaffenlehner, H. Schulze, J. Biermann, Th. Gutt, H.-J. Schulze, M. Chen and J. Luts, “The CIBH Diode – Great Improvement for Ruggedness and Softness of High Voltage Diodes,” in *Proc. ISPSD*, Orland, FL, USA, May 2008, pp. 173–176.
- [10] K. Nakamura, H. Iwanaga, H. Okabe, S. Saito and K. Hatade, “Evaluation of Oscillatory Phenomena in Reverse Operation for High Voltage Diodes,” in *Proc. ISPSD*, Barcelona, Spain, Jun. 2009, pp. 156–159.
- [11] J. Lutz, R. Baburske, M. Chen, M. Domeij, H. P. Felsl and H. -J. Schulze, “The nn^+ -Junction as the Key to Improved Ruggedness and Soft Recovery of Power Diodes,” *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2825–2832, Nov., 2009, 10.1109/TED.2009.2031019..
- [12] M.T. Rahimo and N.Y.A. Shammass, “Freewheeling Diode Reverse-Recovery Failure Modes in IGBT Applications,” *IEEE Trans. Ind. Appl.*, vol. 37, no. 2, pp. 661–670, Mar./Apr. 2001, doi: 2001, 10.1109/28.913734
- [13] Y. Tomomatsu, E. Suekawa, T. Enjyoji, M. Takeda, H. Kondoh, H. Hagino and T. Yamada, “An Analysis and Improvement of Destruction Immunity During Reverse Recovery for High Voltage Planar Diodes under High dI_{rr}/dt Condition,” in *Proc. ISPSD*, Maui, HI, USA, May 1996, pp. 353–356.
- [14] J. Lutz and M. Domeij, “Dynamic Avalanche and Reliability of High Voltage Diodes,” *Microelectron. Reliab.*, vol. 43, pp. 529–536, 2003, [https://doi.org/10.1016/S0026-2714\(03\)00020-9](https://doi.org/10.1016/S0026-2714(03)00020-9).
- [15] K. Nakamura, F. Masuoka, A. Nishii, K. Sadamatsu, S. Kitajima and K. Hatade, “Advanced RFC Technology with New Cathode Structure of Field Limiting Rings for High Voltage Planar Diode,” in *Proc. ISPSD*, Hiroshima, Jun. Japan, 2010. pp. 133–136.
- [16] F. Masuoka, K. Nakamura, A. Nishii and T. Terashima, “Great Impact of RFC Technology on Fast Recovery Diode towards 600 V for Low Loss and High Dynamic Ruggedness,” in *Proc. ISPSD*, Bruges, Belgium, Jun. 2012, pp. 373–376.
- [17] M. Rahimo, A. Kopta and S. Linder, “Novel Enhanced-Planar IGBT Technology Rated up to 6.5kV for Lower Losses and Higher SOA Capability,” in *Proc. ISPSD*, Naples, Italy, Jun. 2006, pp. 33–36, 2006.

- [18] J.G. Bauer T. Duetemeyer, E. Falck, C. Schaeffer, G. Schmidt and H. Schulze, "Investigations on 6.5kV Trench IGBT and adapted EmCon Diode," in *Proc. ISPSD*, Jeju, Korea, May 2007, pp. 5–8.
- [19] K. Nakamura, K. Hatori, Y. Hisamoto, S. Sakamoto, T. Harada and K. Hatade, "The Next Generation of HV-IGBTs with Low Loss and High SOA Capability," in *Proc. ISPSD*, Orland, FL, USA, May 2008, pp. 145–148.
- [20] K. Nakamura, D. Oya, S. Saito, H. Okabe and K. Hatade, "Impact of an LPT(II) Concept with Thin Wafer Process Technology for IGBT's Vertical Structure," in *Proc. ISPSD*, Barcelona, Spain, Jun, 2009, pp. 295–298.
- [21] K. Nakamura, K. Sadamatsu, D. Oya, H. Shigeoka, and K. Hatade, "Wide Cell Pitch LPT(II)-CSTBTTM(III) Technology Rating up to 6500 V for Low Loss," in *Proc. ISPSD*, Hiroshima, Japan, Jun. 2006, pp. 387–390.
- [22] C. Papadopoulos, B. Boksteen, M. Andenna, D. Prindle, E. Buitrago, S. Hartmann, S. Matthias, C. Corvasce, F. Bauer, M. Bellini, U. Vemulapati, G. Pâques, R. Schnell, A. Kopta and M. Rahimo, "The Third Generation 6.5kV HiPak2 Module Rated 1000 A and 150 °C," in *Proc. PCIM Europe*, Nuremberg, Germany, Jun. 2018, pp. 273–280.
- [23] M. Rahimo, A. Kopta, S. Eicher, U. Schlapbach, and S. Linder, "A Study of Switching-Self-Clamping-mode SSCM as an Over-voltage Protection Feature in High Voltage IGBTs," in *Proc. ISPSD*, Santa Barbara, CA, USA, May 2005, pp. 67–70,
- [24] Z. Chen, K. Nakamura and T. Terashima, "LPT(II)-SCTBTTM(III) for High Voltage Application with Ultra Robust Turn-off Capability Utilizing Novel Edge Termination Design," in *Proc. ISPSD*, Bruges, Belgium, Jun. 2012, pp. 25–28.
- [25] A. Nishii, K. Nakamura, F. Masuoka, and T. Terashima, "Relaxation of Current Filament due to RFC Technology and Ballast Resistor for Robust FWD Operation," in *Proc. ISPSD*, San Diego, CA, USA, May 2011, pp. 112–115.
- [26] H.-J. Schulze, J.-G. Bauer, E. Falck, F.-J. Niedernostheide, J. Biermann, T. Düttemeyer, O. Humbel and A. Schieben, "Increase of the Robustness of the Junction Termination of Power Devices by a Lateral Variation of the Emitter Efficiency," in *Proc. ISPSD*, Kanazawa, Japan, May 2013, pp. 257–260.
- [27] J. Lutz and R. Baburske, "Dynamic Avalanche in Bipolar Power Devices," *Microelectron. Reliab.*, vol. 52, pp. 475–481, Mar. 2012, <https://doi.org/10.1016/j.microrel.2011.10.018>
- [28] T. Matsudai, K. Kinoshita and A. Nakagawa, "New 600 V Trench Gate Punch-Through IGBT Concept with Very Thin Wafer and Low Efficiency p-emitter, having an On-state Voltage Drop Lower than Diodes," in *Proc. IPEC*, Tokyo, Japan, Apr. 2000, pp. 292–296.
- [29] T. Laska, M. Münzer, F. Pfirsch, C. Schaeffer and T. Schmidt, "The Field Stop IGBT (FS IGBT) – A New Power Device Concept with a Great Improvement Potential," in *Proc. ISPSD*, Toulouse, France, May 2000, pp. 355–358.
- [30] S. Dewar, S. Linder, C. von Arx, A. Mukhitinov and G. Debled, "Soft Punch Through (SPT) – Setting new Standards in 1200 V IGBT," in *Proc. PCIM*, Nuremberg, Germany, May 2000, pp. 1–8.
- [31] K. Nakamura, S. Kusunoki, H. Nakamura, Y. Ishimura, Y. Tomomatsu and T. Minato, "Advanced Wide Cell Pitch CSTBTs Having Light Punch-Through (LPT) Structure," in *Proc. ISPSD*, Santa Fe, NM, USA, Jun. 2002, pp. 277–280.
- [32] K. Nakamura, Y. Hisamoto, T. Matsumura, T. Minato, and J. Moritani, "The Second State of a Thin Wafer IGBT – Low Loss 1200 V LPT-CSTBTTM with Backside Doping Optimization Process –," in *Proc. ISPSD*, Naples, Italy, Jun. 2006, pp. 133–136.
- [33] F.-J. Niedernostheide, H.-J. Schulze, H.P. Felsl, F. Hille, J. G. Laven M. Pfaffenlehner, C. Schäffer, H. Schulze and W. Schustereder, "Tailoring of Field-stop Layers in Power Devices by Hydrogen-related Donor Formation," in *Proc. ISPSD*, Prague, Czech Republic, Jun. 2016, pp. 351–354.

- [34] H.P. Felsl, M. Pfaffenlehner, H. Schulze, J. Biermann, Th. Gutt, H.-J. Schulze, M. Chen and J. Luts, "The CIBH Diode – Great Improvement for Ruggedness and Softness of High Voltage Diodes," in *Proc. ISPSD*, Orland, FL, USA, Jun. 2008, pp. 173–176.
- [35] S. Matthias, S. Geissmann, M. Bellini, A. Kopta and M. Rahimo, "Inherently Soft Free-Wheeling Diode for High Temperature Operation," in *Proc. ISPSD*, Kanazawa, Japan, May 2013, pp. 335–338.
- [36] E. Pertermann, J. Lutz, T. Basler, H.-J. Schulze, H. P. Felsl and F.-J. Niedernostheide, "Optimization of the Selenium Field-Stop Profile with Respect to Softness and Robustness," in *Proc. ISPSD*, Waikoloa, Hawaii, HI, USA, Jun. 2014, pp. 27–30.
- [37] R Stengl and U. Gösele, "Variation of Lateral Doping – A New Concept to Avoid High Voltage Breakdown of Planar Junctions," in *Proc. IEDM*, Washington D.C., USA, Dec. 1985, pp. 154–157.
- [38] S. Honda, R. Fujii, T. Kawakami, S. Fujioka, A. Narazaki and K. Motonami, "A Concept of a Novel Edge Termination Technique: Junction Termination (RJT)," in *Proc. ISPSD*, Hiroshima, Japan, Jun. 2010, pp. 111–114.
- [39] R. Kamibaba, K. Takahama and I. Omura, "Design of Trench Termination for High Voltage Devices," in *Proc. ISPSD*, Hiroshima, Japan, Jun. 2010, pp. 107–110.
- [40] C. Zone and N. Kaminski, "Temperature–humidity–bias testing on insulated-gate bipolartransistor modules –failure modes and acceleration due to high voltage," *IET Power Electronics*, vol. 8, issue 8, pp. 2329–2335, Dec. 2015, doi: 10.1049/iet-pe1.2015.0031.
- [41] K. Nakamura, K. Hatori, S. Iura, Y. Kusakabe, E. Thal and E. Wiesner, "The test method to confirm robustness against condensation," in *Proc. EPE*, Sep. Genova, Italy, 2019, pp. 1–8.

第 2 章 FWD の高ターンオフ遮断耐量化技術

本章では、第 1.3.1 にて述べた FWD 技術の課題に関する研究結果を示す。

2.1 Relaxed Field of Cathode (RFC) diode 構造およびコンセプト

図 2.1 と表 2.1 には、それぞれ本研究のために用いた FWD 構造およびデバイス構造パラメータ比較一覧表を示す。図 2.1(b)は、FWD 技術の課題を解決すべく提案する RFC diode の断面構造である。今回研究に用いた diode のインターフェース領域とエッジターミネーション領域は、それぞれバラスト抵抗構造[3]と FLR 構造である。バラスト抵抗構造は、diode のリカバリー動作中の活性領域端部での電流集中の分散化により、局所的な温度上昇と weak spot 形成を抑制し、活性領域端部での巨大な current filament 発生によるリカバリー耐量低下を防止する役割を担う。図 2.1(a)のように、従来の diode のカソード構造は、活性領域からエッジターミネーション領域まで均一な n^+ 層である。

図 2.1(b)から、提案する FWD のカソード構造は以下のような新規なカソード構造である。

- 活性領域:
LPT(II) n バッファ層[1]とシャローな n^+ 層と p 層とが交互に一定の幅にて配置するカソード構造[2]
- インターフェースからエッジターミネーション領域:

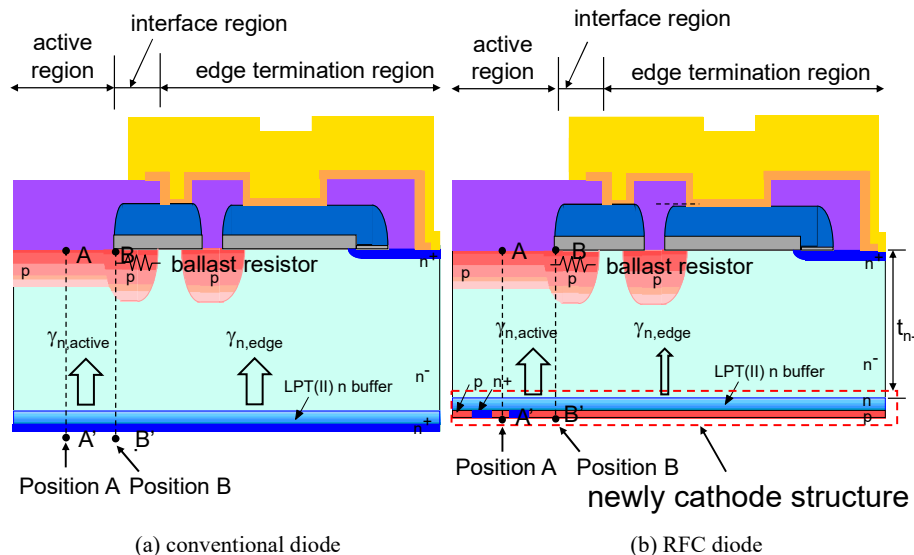


図 2.1. 種々の HV-diode 断面構造図

Fig. 2.1. Schematic cross sectional view of various HV-diodes. (a) Conventional diode (p-i-n diode). (b) RFC diode.

表 2.1. 技術検証に持たされたデバイスに関するデバイスパラメータ比較一覧表

TABLE 2.1. COMPARISON WITH DEVICE PARAMETERS FOR THIS STUDY

device		conventional diode	RFC diode
anode doping		lightly	lightly
n ⁻ drift layer thickness		thick	thin
cathode of active cell region	n buffer	LPT(II) n buffer [1] lightly and gradient thin	LPT(II) n buffer [1] lightly and gradient thin
	cathode	shallow n ⁺	shallow n ⁺ /p alternating layer [2]
cathode from interface region to edge termination region	n buffer	LPT(II) n buffer	LPT(II) n buffer
	cathode	shallow n ⁺	shallow p
lifetime control		anode side: electron beam	anode side: electron beam
electron injection efficiency	$\gamma_{n,active}$	higher than RFC diode	0.7-0.8
	$\gamma_{n,edge}$	same $\gamma_{n,active}$	0

LPT(II) n バッファ層とシャローp 層からなるカソード構造

LPT(II) バッファ層は、静的およびダイナミック動作時に diode の主接合(p アノード/n ドリフト層接合部)に逆バイアス印加された際に、カソード側へ伸びる空乏層を止める役割を担う層である。その結果、RFC diode は十分な電圧保持能力を有し、高温(≥ 448 K)でも熱暴走せずに動作可能である。新規カソード構造は、diode の ON 状態からのカソード側の電子注入効率を制御する重要な役割を担う構造である。その上、提案するカソード構造の活性領域では、リカバリー動作時に p カソード層からのホール注入によりカソード側の電界強度を緩和する働きがある。

RFC diode の動作原理は、式(2.1)および(2.2)により表させる。

$$\gamma_{n,active} = \frac{I_{n,active}}{I_{c,active}} \approx 0.7 - 0.8 \quad (2.1)$$

$$\gamma_{n,edge} = \frac{I_{n,edge}}{I_{c,edge}} \approx 0.0, \quad (2.2)$$

ここで、

$\gamma_{n,active}$, $\gamma_{n,edge}$: それぞれ ON 状態の活性領域とインターフェース領域からエッジターミネーション領域の電子注入効率

$I_{n,active}$, $I_{n,edge}$: それぞれ ON 状態の活性領域とインターフェース領域からエッジターミネーション領域の電子電流

$I_{c,active}$, $I_{c,edge}$: それぞれ ON 状態の活性領域とインターフェース領域からエッジターミネーション

領域のカソード電流.

である。このように、diode の構成要素ごとに ON 状態のカソード側のキャリア注入効率が異なることが、後述するような優れたバランスの取れたダイナミックな FWD 性能を実現する。その結果、RFC diode はダイナミックな耐久性を犠牲にせず、従来の diode に比べ SOA 拡大しながら t_n を 20% 以上劇的に薄厚化でき、低ロスを実現することができる。

2.2 FWD のリカバリー動作中の破壊メカニズム

2.2.1 リカバリー動作下での破壊現象

図 2.2 は、従来の 1700 V diode のリカバリー動作時に観察した 2 つの異なる破壊モードそれぞれの破壊波形と破壊箇所の写真である。HV-diode では、以下の 2 つの破壊モードが観察される。

(破壊モード A: 図 2.2(a-1))

- 測定条件(snappy リカバリー動作モード): diode の静耐圧内での高 V_{CC} でかつ高 dj_A/di
- 破壊時の特徴: リカバリー動作時に瞬時に静耐圧以上の過電圧発生
- 破壊箇所: アノード側およびカソード側いずれも活性領域内

(破壊モード B: 図 2.2(a-2))

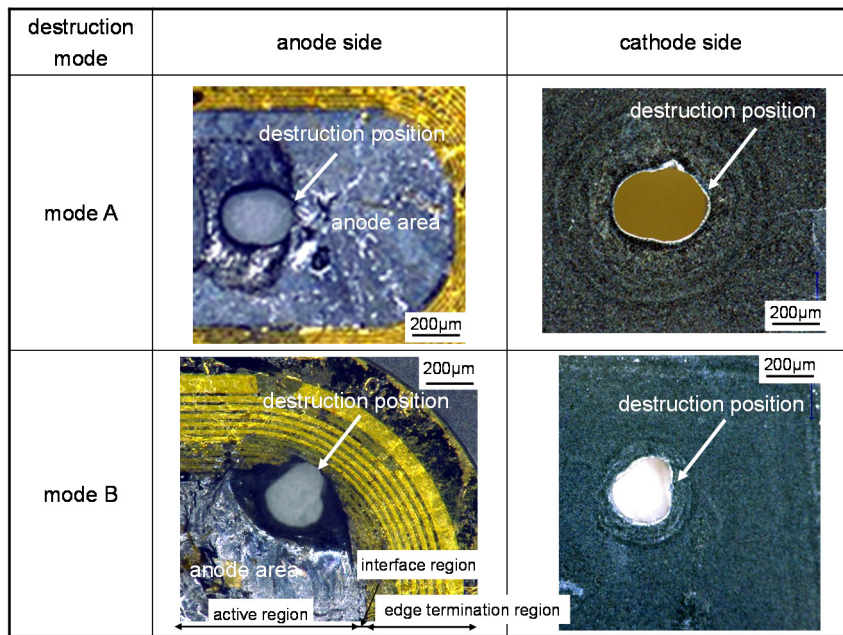
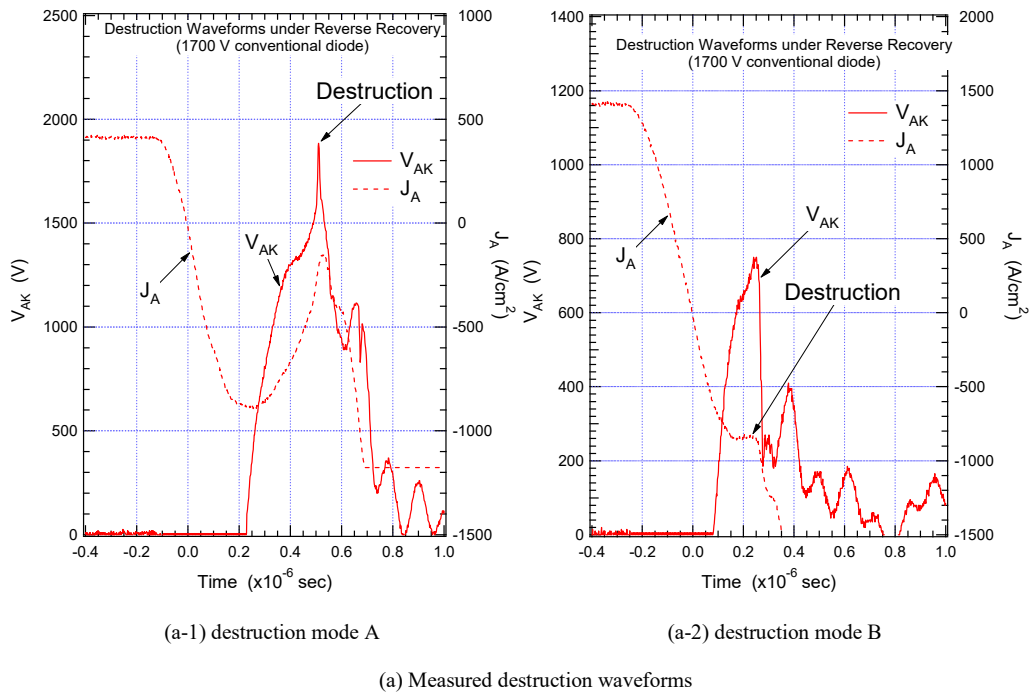
- 測定条件(リカバリー-SOA 動作モード): 大順バイアス電流密度(J_F)でかつ高 dj_A/di
- 破壊時の特徴: リカバリー動作時に逆バイアスリカバリー電流密度(J_{RR})を超えた状態
- 破壊箇所: 活性領域端部(インターフェース領域)

各破壊モードにて破壊時の条件や破壊箇所異なるが、いずれの破壊モードでも破壊箇所にはアノードからカソードにかけて大きな貫通痕が存在する。

2.2.2 snap-off 現象へのシミュレーションによる解析

図 2.3 は、図 2.1 に示す種々の diode 構造の snappy リカバリー動作に着目したスイッチング条件でのリカバリー動作に関するシミュレーション結果である。図より、図 2.1(a)の従来の diode 構造では、リカバリー動作終焉時のテール電流領域の終わりの電流変化率(dj_R/dt)の変化に起因した電圧の跳ね上がり現象(以下、snap-off 現象)が発生し、その後に snap-off 現象をトリガーとした電圧の発振現象が発生している。また、観察した電圧の発振現象には、2 つの異なる周期があることもわかる。snap-off 現象のトリガーとなる dj_R/dt は、リカバリー動作終焉時の diode 内部の吐き出されるホールの速度に依存する指標である。図 2.3 中の $V_{\text{snap-off}}$ は、diode のリカバリー動作時の V_{AK} 波形上の最大電圧(もしくは過電圧)である。このパラメータは、第 2.3 章にて、diode の snap-off 耐量の指標として用いる。

図 2.4 は、比較する 1700 V diode に関する図 3 中の T1 から T6 の解析ポイントでの、図 2.1 中の Position A に沿った縦方向のキャリア濃度分布と電界強度分布の変化を示す。図 2.4 から、従



(b) Photographs of destruction point for destruction modes A and B

図 2.2.リカバリー動作中における従来の 1700 V diode の破壊波形および破壊箇所

Fig. 2.2. The observed destruction phenomena of a 1700 V conventional diode during reverse recovery. (a) Measured destruction waveforms [(a-1): $V_{CC} = 1200$ V, $J_F = 400$ A/cm² ($\times 2.0J_A$), $dj_A/dt = 5080$ A/cm²µs, $L_S = 2.0$ µH, 398 K; (a-2): $V_{CC} = 1000$ V, $J_F = 1400$ A/cm² ($\times 7.0J_A$), $dj_A/dt = 7380$ A/cm²µs, $L_S = 2.0$ µH, 398 K)]. (b) Photographs of destruction point for destruction modes A and B.

来の diode にてリカバリー動作中の snap-off 現象をトリガーにした電圧発振現象は、以下のメカニズムにて発生している。

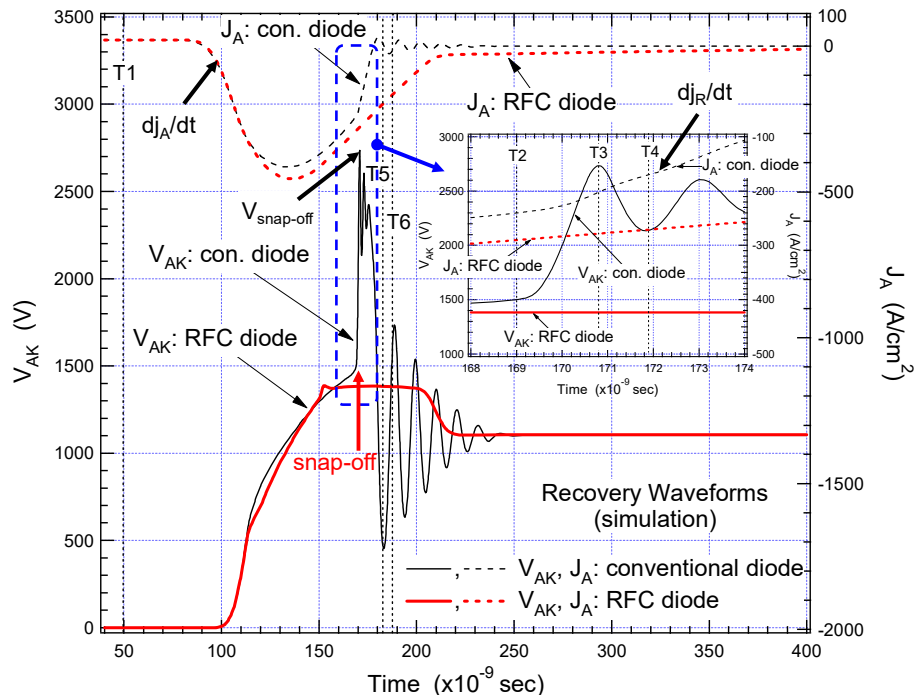


図 2.3. シミュレーションによる snappy リカバリー動作条件下での種々の 1700 V diode のリカバリー波形

Fig. 2.3. Simulated reverse recovery waveforms of various 1700 V diodes under worst case conditions in terms of snappy recovery (@ $V_{CC} = 1000$ V, $J_F = 20$ A/cm 2 ($\times 0.1J_A$), $dj_A/dt = 4300$ A/cm $^2\mu$ s, $L_S = 1.0\mu$ H, 298 K).

- 1) step 1: ON 状態のキャリアプラズマ層はカソード側の方が持ち上がった状態となっている (@T1);
- 2) step 2: カソード側の n ドリフト層に局所的にキャリアプラズマ層が残留する (@T2);
- 3) step 3: 上記特徴的なキャリアプラズマ層分布との相互作用にて diode 内部に 2 つのピークが存在する電界強度分布が形成される (“hammock-shape electric field”) (@T2);
- 4) step 4: 残留するキャリアプラズマ層が急速に吐き出され (dj_R/dt が大きくなり), 電圧波形上に snap-off 現象が表れる (@T2);
- 5) step 5: snap-off 現象発生後に吐き出されるホール速度に起因した高周波数 (≈ 500 MHz) の発振現象が電圧波形上に表れる (@T3-T4);
- 6) step 6: カソード側へ space-charge region が伸びる (@T3-T4);
- 7) step 7: デバイス中の空乏層の変化による容量変化と回路上のインダクタンスに起因した LC 共振により低周波数 (≈ 100 MHz) の発振現象が電圧波形上に表れる (@T5-T6).

hammock-shape electric field は, diode の静的な 2 次降伏現象での電界強度分布とほぼ同じ挙動である [4]. 図 4 から, リカバリー動作中に従来の diode にて観察される上記特徴的な電界強度分布では, 2 つ目のピーク電界強度が n バッファ/n $^+$ カソード接合部に位置し, 該当する space-charge region は, アノード側の主接合部にピーク電界強度を持つ 1 つ目の space-charge region の勾配と比較すると反転した勾配となる. 本現象が発生すると, ダイナミック動作時の diode は,

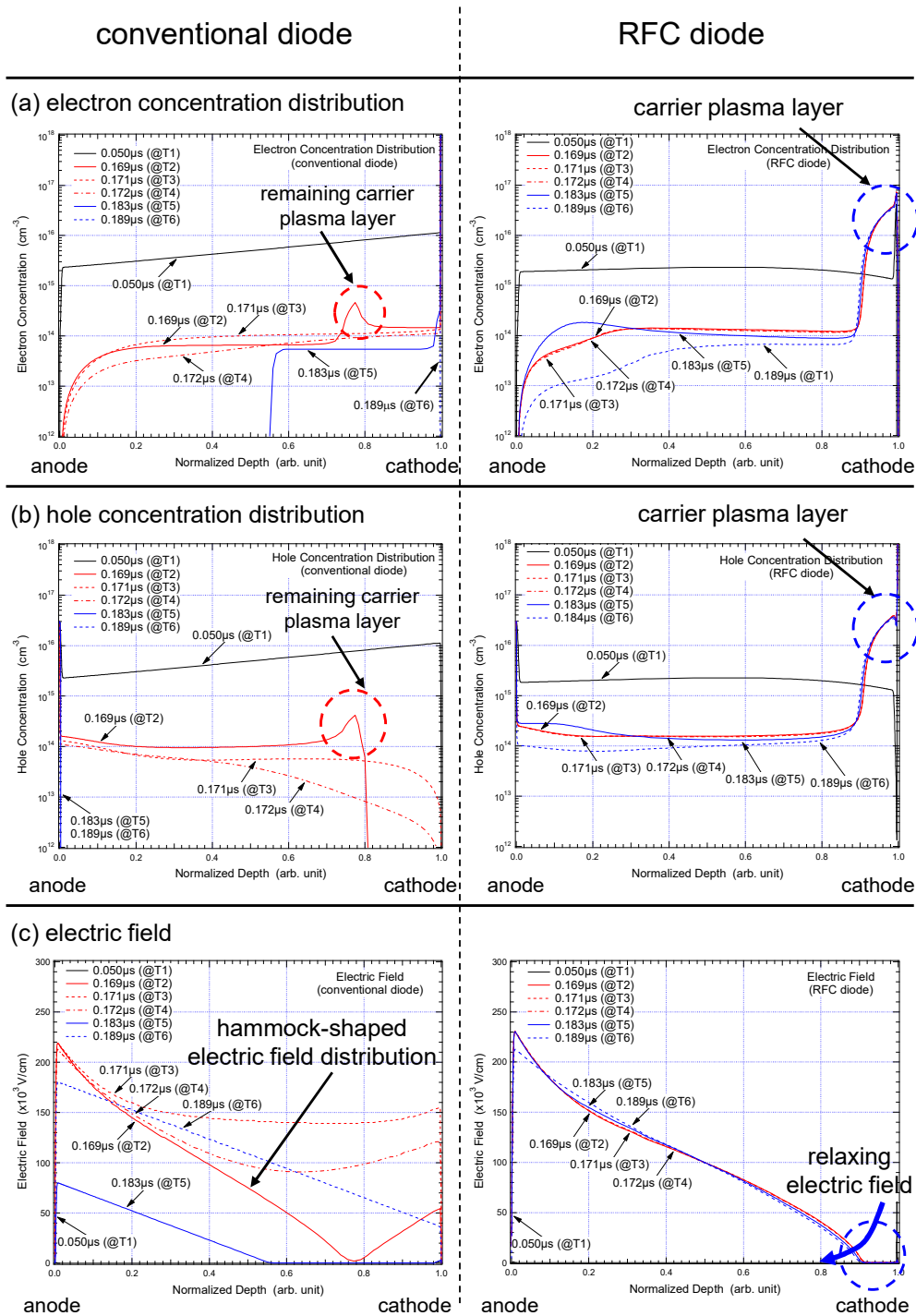


図 2.4. シミュレーションによる図 2.3 示す解析ポイント(T1-T6)における種々の 1700 V diode に関する図 2.1 中の Posiito A でのキャリア濃度と電界強度の変化

Fig. 2.4. Simulated carrier concentration and electric field strength for various 1700 V diodes from T1 to T6 shown in Fig. 2.3 at Position A (line A-A) in Fig. 2.1.

不安定や破壊の原因となり、ダイナミックな耐久性が低下する[5]. [6]。

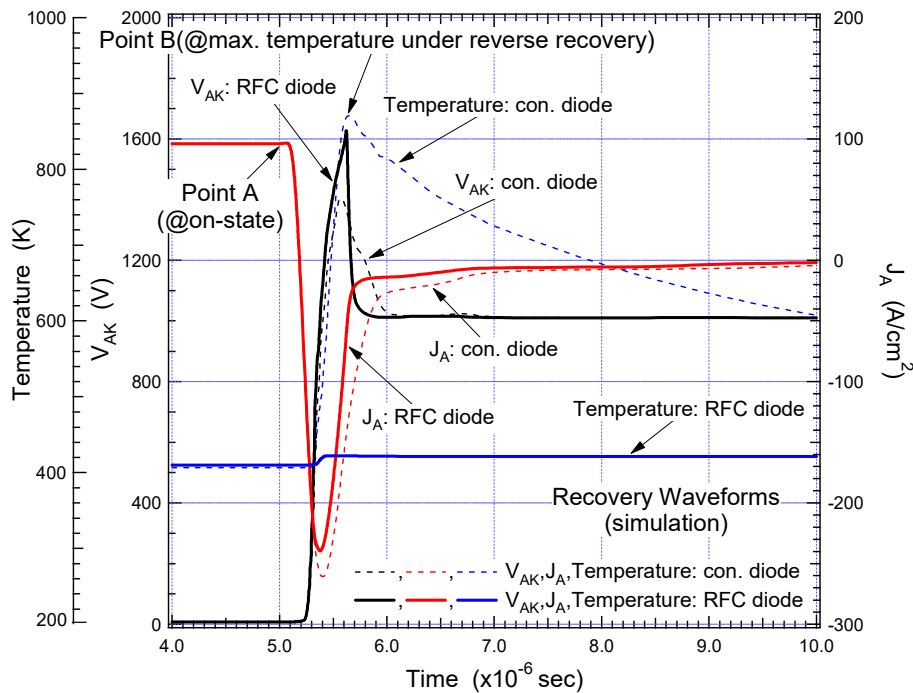


図 2.5. シミュレーションによる図 2.1 に示す種々の diode におけるリカバリー波形

Fig. 2.5. Simulated reverse recovery waveforms of various diodes shown in Fig. 2.1 (@ $V_{CC} = 1000 \text{ V}$, $J_F = 100 \text{ A/cm}^2$, $L_S = 2.0 \mu\text{H}$, 398 K).

一方、図 2.4 より、RFC diode の ON 状態のキャリアプラズマ層分布は、式(2.1)に示すようにカソード側の電子注入効率制御することでほぼフラットな分布形状となっている。また、RFC diode のリカバリー動作中は、従来の diode より、残留する電子とカソード層から注入されるホールにより、ON 状態($J_F = 0.1J_A$)より一桁以上高濃度の残留キャリアプラズマ層がカソード側にリカバリー動作の終焉まで存在している。その結果、RFC diode のリカバリー動作時は、space-charge region のカソード側への伸びが緩やかになり、リカバリー動作時のテール電流終焉での dj_R/dt が小さくなる。この diode のリカバリー動作中のカソード側の内部状態の特徴的な挙動を、カソード側での”relaxing electric field”と呼ぶ[2]。このような挙動が RFC diode では起こっているので、従来の diode の T3 にて観察される特徴的な電界強度分布とならずに、RFC diode のリカバリー動作中の n-ドリフト層中の電界強度分布は一般的な三角形の分布となる。したがって、提案する diode は snap-off 耐量向上し、 t_n を薄厚化しても snap-off フリーなリカバリー動作を実現できる可能性を秘めている。

2.2.3 大電流密度でのリカバリー動作時の破壊現象へのシミュレーションによる解析

図 2.5 は、図 2.1 に示す種々の diode 構造のリカバリー動作に関するシミュレーション結果である。シミュレーションに用いた diode モデルは、主耐圧が 2000 V (@ 298 K)となるように FLR 構造を設定したモデルを用いる。図中には、それぞれの diode におけるリカバリー動作中のピー

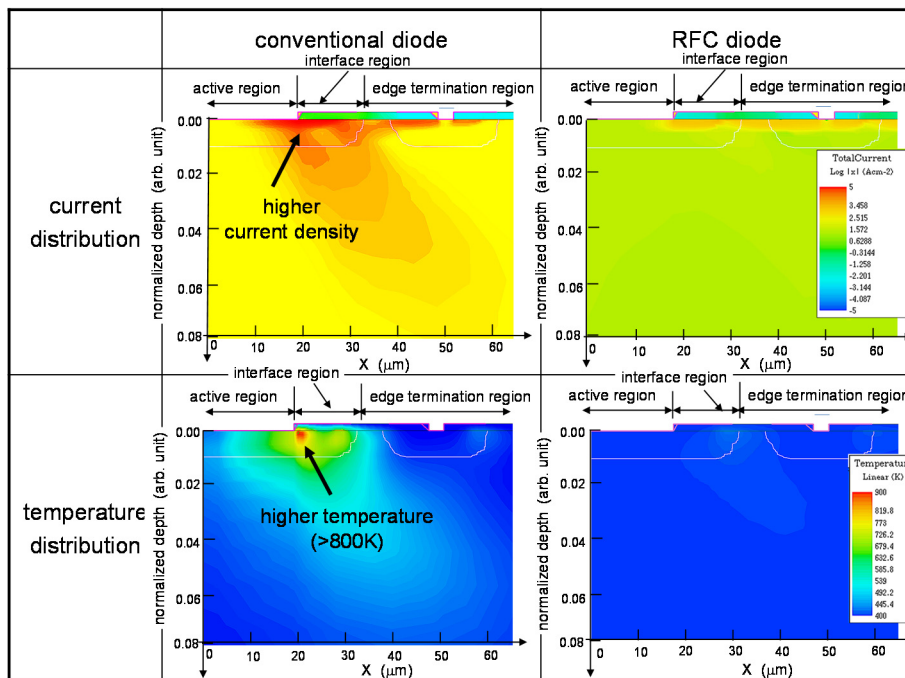


図 2.6. シミュレーションによる図 2.5 に示す Position B における種々の diode に関する電流密度および温度分布

Fig. 2.6. Simulated current density and temperature distributions of various diodes at the maximum temperature point (Point B) shown in Fig. 2.5. Vertical axis: normalized by n^- drift layer thickness.

ク温度の変化もプロットする。図より、従来の diode は RFC diode よりもリカバリー動作中のピーク温度が高く、Si 系パワー半導体の破壊の指標である臨界温度(≈ 800 K)[7]以上の高温になる。

図 2.6 は、比較する diode における図 2.5 中の最大温度ポイント(Point B)における電流密度と温度分布を示す。図 2.6 より、従来の diode は、活性領域とインターフェース領域の境界での電流集中による局所的な発熱ポイントが存在する。RFC diode は、リカバリー動作時に、従来の diode のような局所的な発熱ポイント形成するという挙動を抑制していることがわかる。

図 2.7 および図 2.8 は、比較する diode における、それぞれ ON 状態(図 2.5 中の Point A)および最大温度ポイント(図 2.5 中の Point B)における活性領域(図 2.1 に示す Positon A)と活性領域端部(図 2.1 中の Position B)における縦方向のキャリア濃度分布である。図 9 には、比較する diode における、最大温度ポイント(図 2.5 中の Point B)における図 2.1 中の Positon A と Position B における縦方向の電界強度分布をプロットする。従来の diode では、ON 状態のキャリア濃度分布は、Position A と Positon B とで同じである。RFC diode では、ON 状態の Positon B におけるキャリア濃度は、式(2.2)に示すコンセプトから、Positon A のキャリア濃度よりもデバイスの縦方向全領域にて低くなる。その上、図 2.8 に示すように、RFC diode は従来の diode よりもリカバリー動作中の活性領域端部でのキャリア濃度が大幅に低濃度化することがわかる。その結果、図 2.9 より、RFC diode は従来の diode よりも、リカバリー動作中は活性領域端部にて低キャリア濃度状態のため空乏化しやすくなり、電界強度が低下する。その上、活性領域端部での従来の diode の

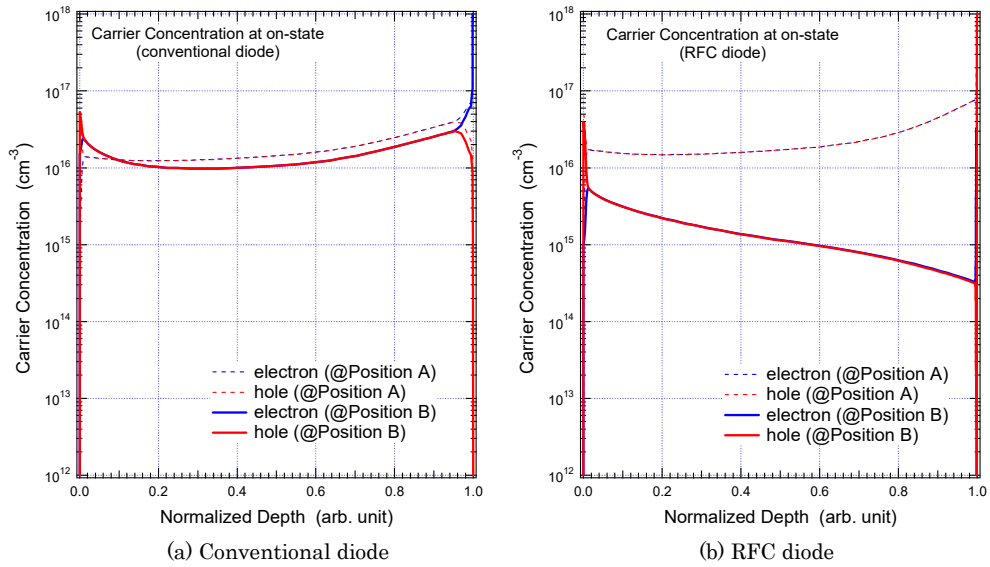


図 2.7. シミュレーションによる図 2.5 に示す Point A(ON 状態)における種々の diode に関する図 2.1 中の Position A および Position B のキャリア濃度分布

Fig. 2.7. Simulated carrier concentration for various diodes at on-state point (Point A) shown in Fig. 2.5. Dashed lines and solid lines: carrier concentration at active region and end of the active region, respectively. (a) Conventional diode. (b) RFC diode.

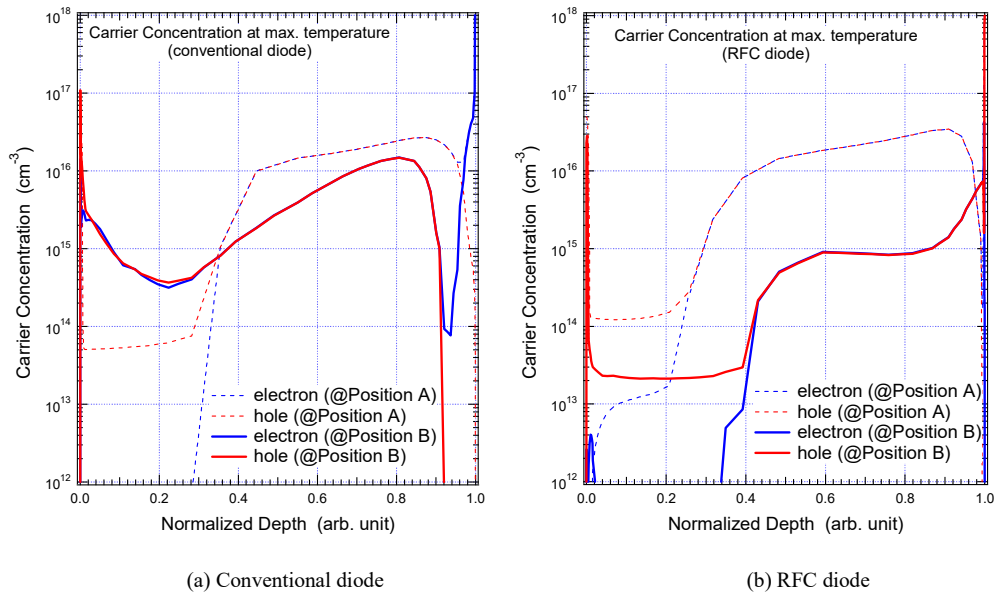


図 2.8. シミュレーションによる図 2.5 に示す Point B(最大温度状態)における種々の diode に関する図 2.1 中の Position A および Position B のキャリア濃度分布

Fig. 2.8. Simulated carrier concentration for various diodes at maximum temperature point (Point B) shown in Fig. 2.5. Dashed lines and solid lines: carrier concentration at active region and end of the active region, respectively. (a) Conventional diode. (b) RFC diode.

ピーク電界強度は、Si 材料での臨界電界強度(3.0x10⁵ V/cm)を超えているので、ダイナミック状態でのアバランシェ現象を促進することがわかる。

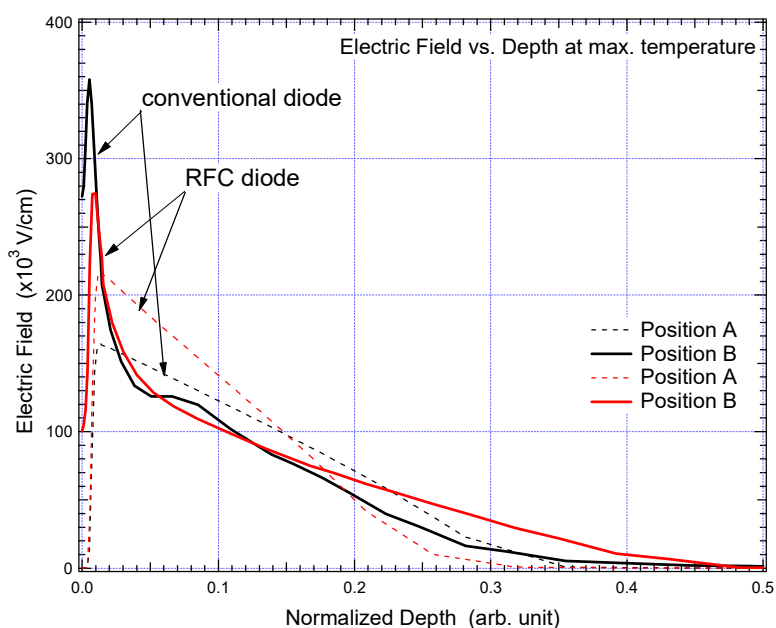


図 2.9. シミュレーションによる図 2.5 に示す Point B(最大温度状態)における種々の diode に関する図 2.1 中の Position A および Position B のキャリア濃度分布

Fig. 2.9. Simulated electric field strength of various diodes at maximum point (Point B) shown in Fig. 2.5. Dashed lines and solid line: electric field strength at active region and end of the active region, respectively. Black lines and red lines: conventional diode and RFC diode, respectively.

以上のシミュレーションによるリカバリー動作中の diode 内部解析結果から、FWD のリカバリー動作中の破壊は、以下のメカニズムにて活性領域とインターフェース領域境界のコーナー部にて発生する。

- 1) step 1: 活性領域端部でのキャリア濃度が高いために電界強度が上昇し、臨界電界強度(3.0×10^5 V/cm)を超えてインパクトイオン化を促進する;
- 2) step 2: 活性領域端部での電流集中をトリガーとして活性領域端部に局所的な発熱ポイント (weak spot)を形成し臨界温度(≈ 800 K)を超える。

上記メカニズムが、図 2.2(b)に示す破壊モード B のような FWD のリカバリー動作中の活性領域とインターフェース領域境界にて熱破壊を誘発する。RFC diode は、リカバリー動作中の活性領域端部のキャリア濃度が低濃度化するため、前述する power diode の破壊メカニズムを抑制することがわかる。つまり、提案する FWD は、高いダイナミック耐量を保有する可能性がある。

2.3 試作結果

本章では、提案する RFC diode のデバイス性能と有効な効果を明らかにする。すべてのデータは、Si ウェハとして FZ ウェハを用いて試作した 1700 V diode の試作結果である。評価したデバイスの定格電流密度(J_A)は、 200 A/cm^2 である。

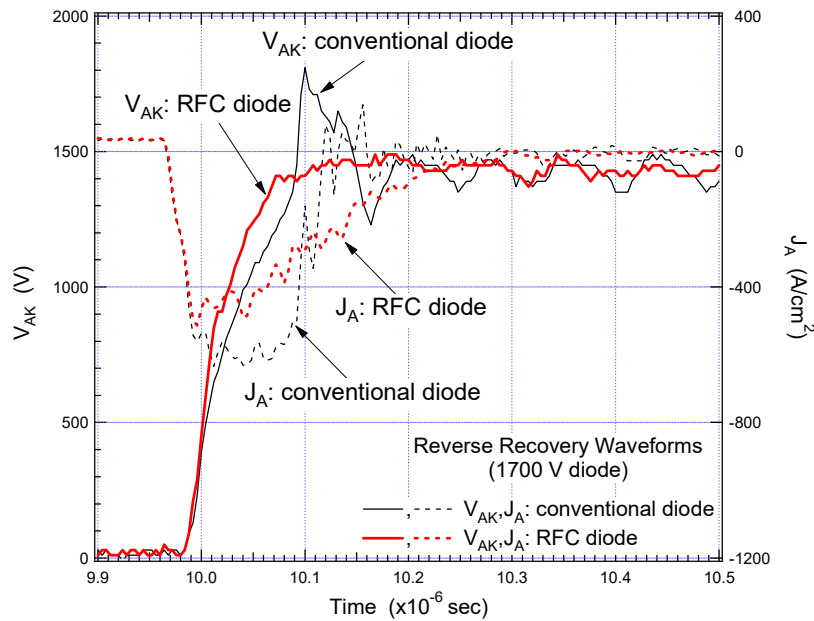


図 2.10. 種々の 1700 V diode の snappy リカバリー動作条件下でのリカバリー波形

Fig. 2.10. Measured reverse recovery waveforms of various 1700 V diodes with same thin n⁻ drift layer thickness under worst case conditions in terms of snappy recovery (@V_{CC} = 1400 V, J_F = 25 A/cm² (x0.125J_A), dj_A/dt = 4600 A/cm²μs, L_S = 200nH, 298 K).

2.3.1 ダイナミックな挙動

図 2.10 は、種々の 1700 V diode 構造の snappy リカバリー動作に着目したスイッチング条件でのリカバリー波形である。比較した diode の t_{n-}は、表 2.1 中の RFC diode のパラメータに合わせ、薄厚化している。RFC diode は、薄厚化しているもののソフトリカバリー動作により snap-off フリーな挙動を示し、厳しい snappy リカバリー条件でも破壊しないことがわかる。図 2.11 は、snap-off 耐量の指標の指標である V_{snap-off}の V_{CC} 依存性である。RFC diode は、従来の diode よりも V_{snap-off}の V_{CC} 依存性が鈍感化し、第 2.2.2 章に示す RFC diode の snap-off 挙動抑制メカニズムによる効果である。

図 2.12 および 2.13 は、1700 V diode における V_{snap-off}へのそれぞれ回路パラメータ(L_S)およびデバイス構造パラメータ(t_{n-})の影響を評価した結果である。図より、RFC diode は従来の diode よりも V_{snap-off}への回路およびデバイス構造パラメータ依存性が鈍感化し、ダイナミック動作時のロバスト性に優れていることがわかる。特に、図 2.13 から、RFC diode は従来の diode より t_{n-}の薄厚化が可能であり、diode のロス低減が実現可能である。

図 2.14 は、提案する RFC diode の高 V_{CC}でかつ高 J_Fの条件下でのリカバリー動作時の遮断能力を示す波形である。RFC diode は、1700 V クラスとして優れたリカバリー動作時の遮断能力を有していることがわかる。図 2.15 は、1700 V クラスでのリカバリー-SOA の diode 構造依存性である。ここで、縦軸の J_{A(break)}は、リカバリー動作時の最大遮断電流密度である。図より、RFC

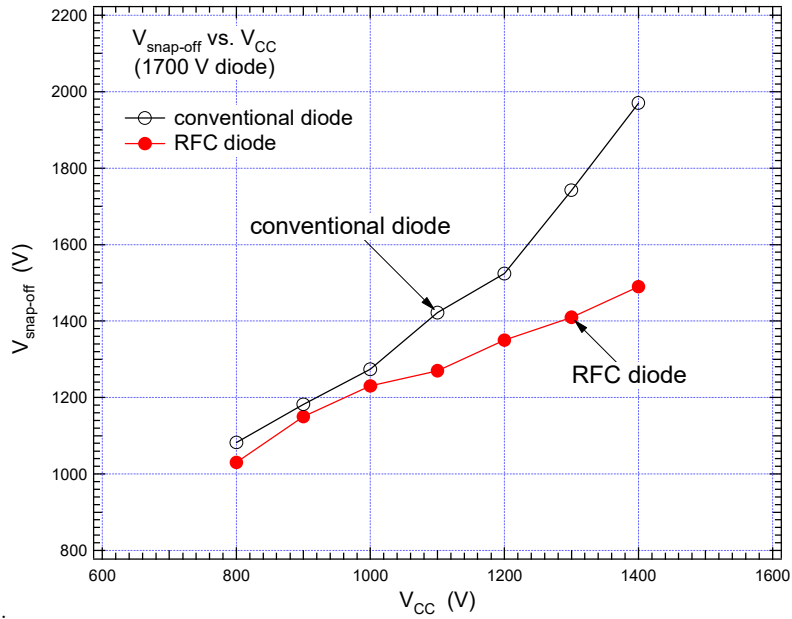


図 2.11. 1700 V diode における $V_{\text{snap-off}}$ の V_{CC} 依存性

Fig. 2.11. Measured 1700 V diode snap-off capability results at 25 A/cm^2 ($\times 0.125J_A$) showing $V_{\text{snap-off}}$ as function of V_{CC} ($@dj_A/dt = 4600 \text{ A/cm}^2\mu\text{s}$, $L_S = 200\text{nH}$, 298 K).

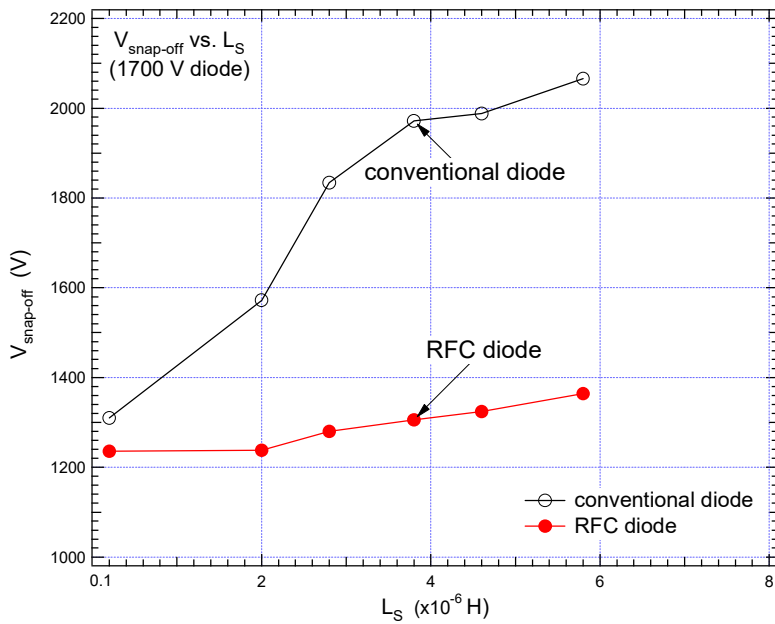


図 2.12. 1700 V diode における $V_{\text{snap-off}}$ の L_S 依存性

Fig. 2.12. Measured 1700 V diode snap-off capability results at 40 A/cm^2 ($\times 0.2J_A$) showing $V_{\text{snap-off}}$ as function of circuit parameter (L_S) ($@V_{\text{CC}} = 1200 \text{ V}$, $dj_A/dt = 1500 \text{ A/cm}^2\mu\text{s}$, 298 K).

diode は n-ドリフト層が薄厚化しているものの、従来の diode よりも広いリカバリーSOA を保有していることがわかる。図 2.16 は、1200 V から 3.3kV クラスでのリカバリーSOA の diode 構造

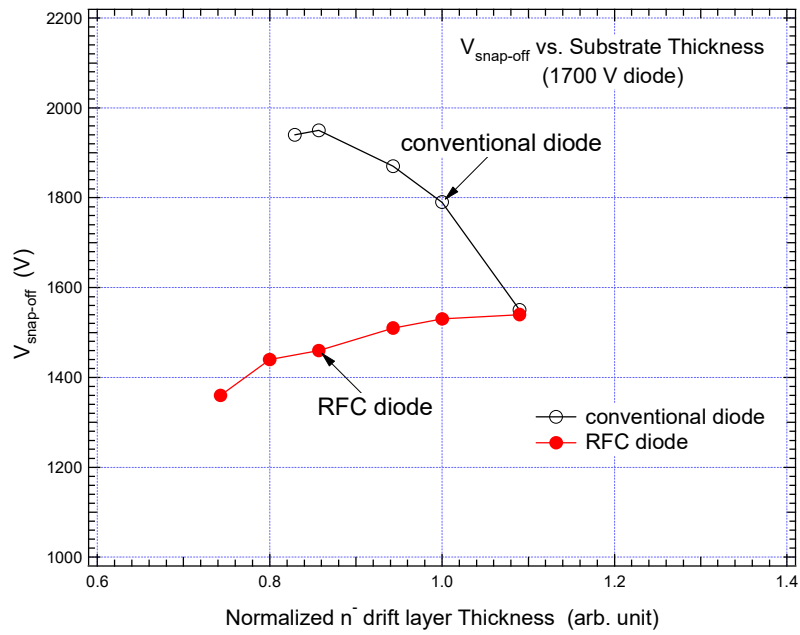


図 2.13. 1700 V diode における $V_{\text{snap-off}}$ の n^- ドリフト層厚み依存性

Fig. 2.13. Measured 1700 V diode snap-off capability results at 25 A/cm^2 ($\times 0.125 J_A$) showing $V_{\text{snap-off}}$ as function of device parameter (t_n) ($@V_{\text{CC}} = 1400 \text{ V}$, $dj_A/dt = 4600 \text{ A/cm}^2\mu\text{s}$, $L_S = 200\text{nH}$, 298 K).

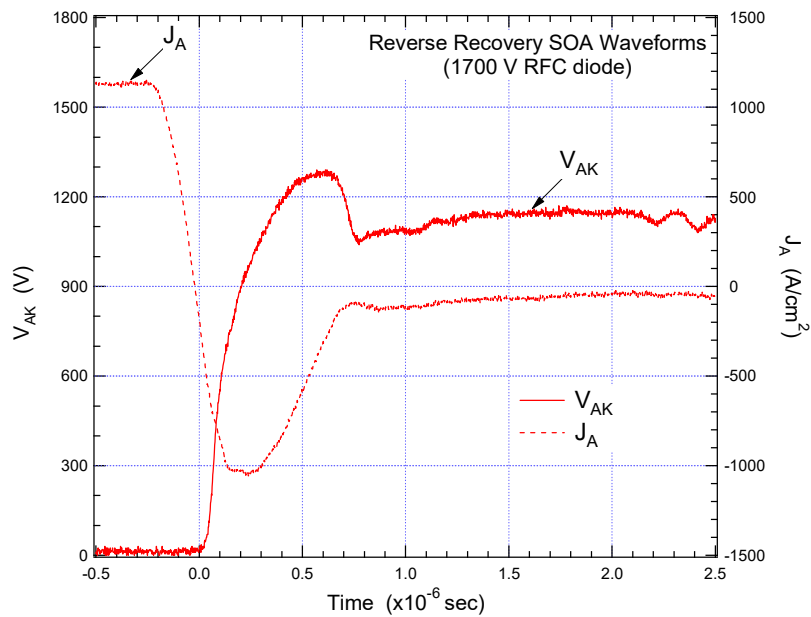


図 2.14. 提案する 1700 V RFC diode のリカバリー遮断能力

Fig. 2.14. Reverse recovery capability of presented 1700 V RFC diode ($@V_{\text{CC}} = 1200 \text{ V}$, $J_F = 1200 \text{ A/cm}^2$ ($\times 6.0 J_A$), $dj_A/dt = 8120 \text{ A/cm}^2\mu\text{s}$, $L_S = 2.0\mu\text{H}$, 448 K).

依存性である[3], [8]。図 2.16 中の 1700 V クラスのデータは、図 2.15 のデータをプロットする。図 2.16 から、RFC diode によるリカバリー-SOA 拡大の効果は、12000V および 3.3kV クラスでも

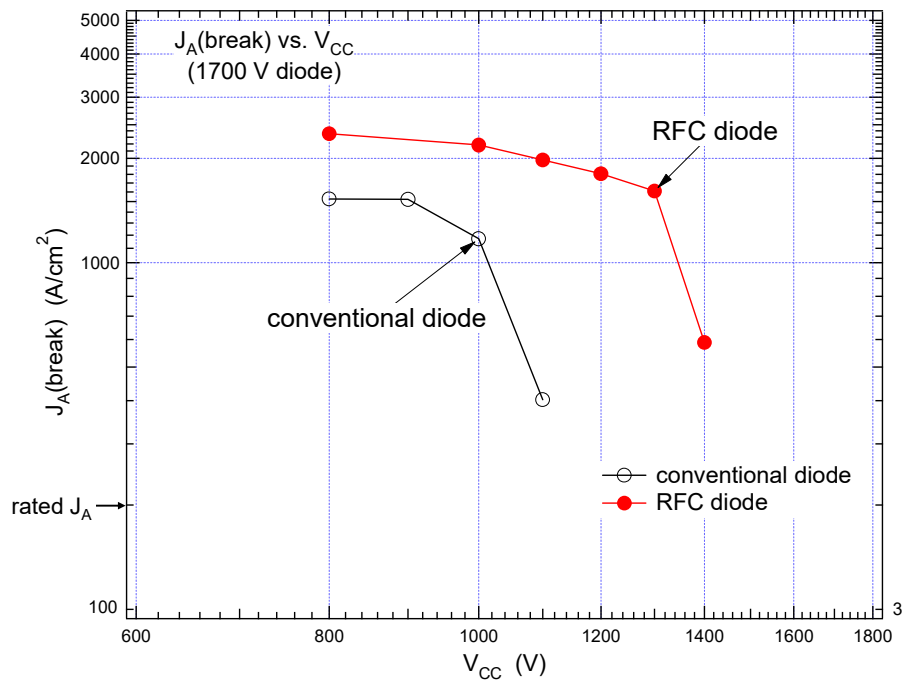


図 2.15. 種々の 1700 V diode のリカバリ-SOA

Fig. 2.15. Measured recovery SOA of various 1700 V diodes with same thin n⁻ drift layer thickness (@L_S = 2.0μH, 398 K).

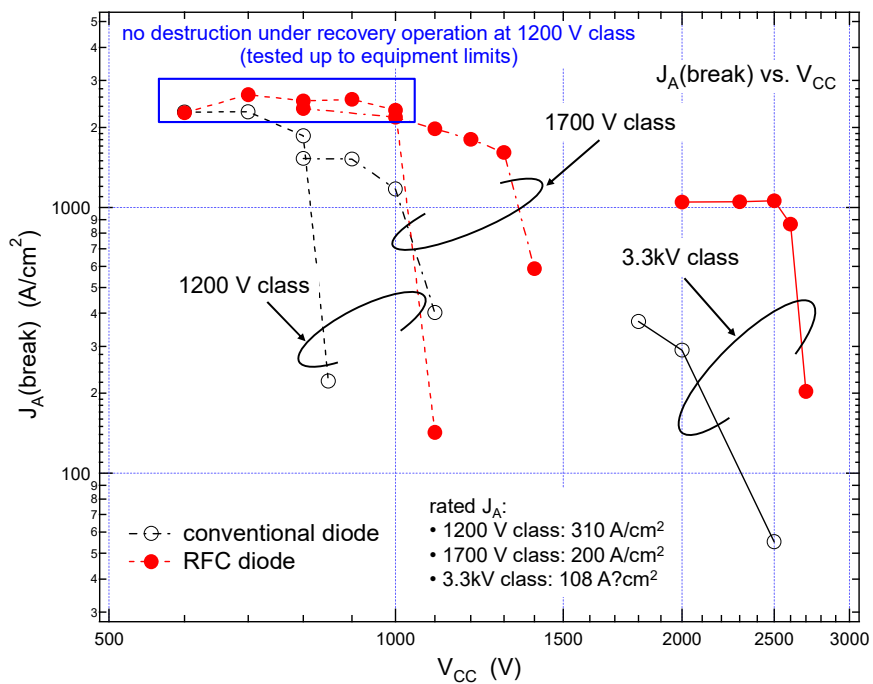


図 2.16. 種々の 1200 V-3.3kV V diode のリカバリ-SOA

Fig. 2.16. Measured recovery SOA of various 1200-3.3k V diodes. Compared samples in several voltage class are of same thin n⁻ drift layer thickness. Switching condition: L_S = 2.0μH, 398 K (@1200 V class); L_S = 2.0μH, 423 K (@3.3kV class),

同じ効果を得られる。後述する 5.4 章の 6.5kV クラスの結果や 600 V クラスへのアプローチ結果

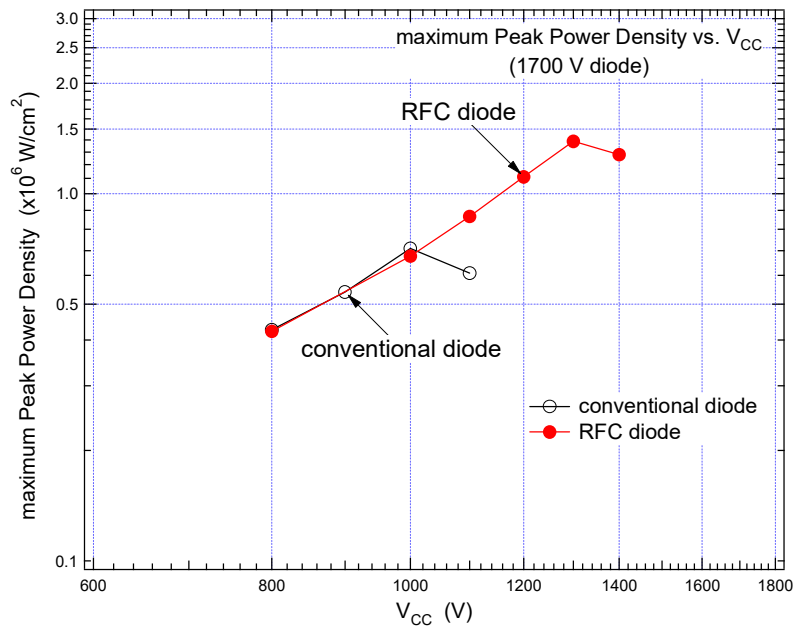


図 2.17. 種々の 1700 V diode の最大ピークパワーエネルギー密度の V_{CC} 依存性

Fig. 2.17. Measured 1700 V diode recovery capability results showing maximum peak power energy density as function of V_{CC} (@ $L_S = 2.0\mu\text{H}$, 398 K).

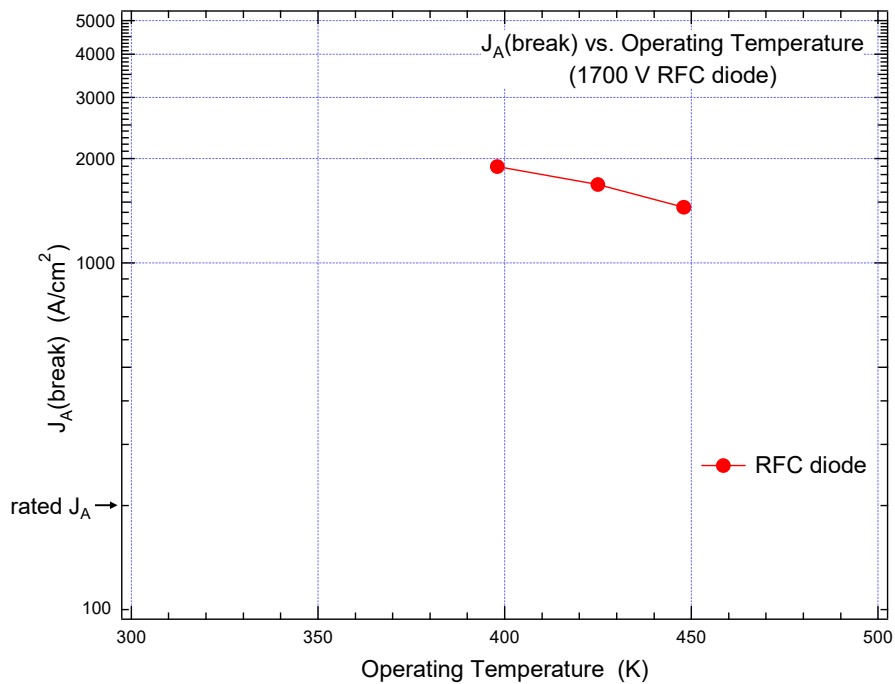


図 2.18. 1700 V RFC diode の $J_c(\text{break})$ の動作温度依存性

Fig. 2.18. Measured $J_A(\text{break})$ vs. operating temperature of 1700 V RFC diode under extreme conditions (@ $V_{CC} = 1200\text{ V}$, $dj_A/dt = 8800\text{ A/cm}^2\mu\text{s}$, $L_S = 2.0\mu\text{H}$).

[8]から, RFC diode 技術は同じコンセプトにて, 650 V–6.5kV クラスつまり現在の Si 系パワー

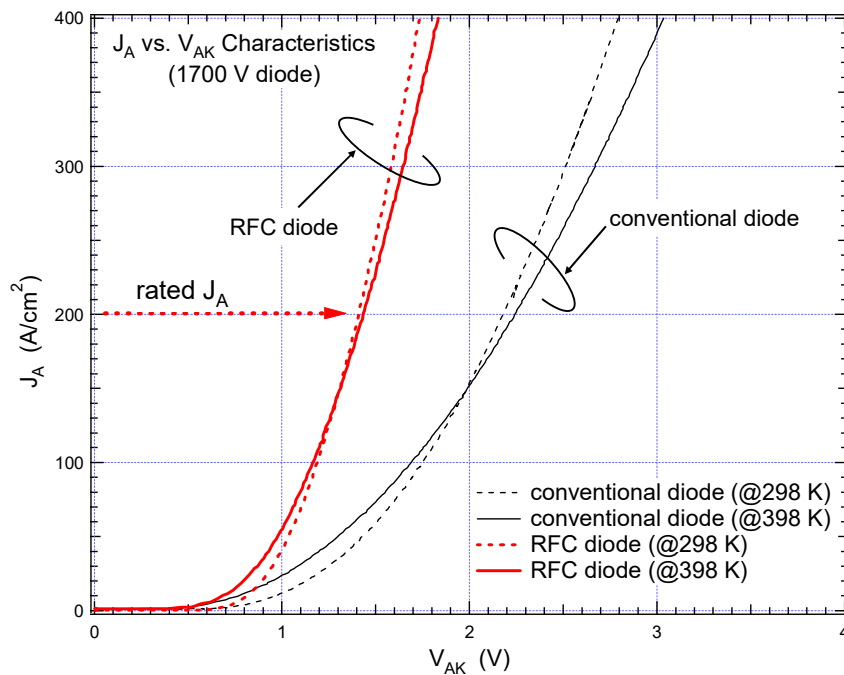


図 2.19. 種々の 1700 V diode における出力特性 (@298 K/398 K)

Fig. 2.19. Measured on-state characteristics of various 1700 V diodes in the same E_{REC} at 398 K (@298 K/398 K).

半導体の主力耐圧クラス全領域における FWD の snap-off 耐量向上とリカバリー SOA 拡大を保証可能なデバイス技術である。

図 2.17 は、リカバリー動作時の遮断可能な最大パワーエネルギー密度と V_{CC} との関係の 1700 V diode 構造依存性である。RFC diode は、従来の diode よりも 1.4MW/cm² 以上の高い最大ピークパワーエネルギー密度の遮断が可能である。1700 V RFC diode の遮断可能なこのピークパワーエネルギー密度の値は、3.3kV RFC diode の遮断可能な最大ピークパワーエネルギー密度[3]に迫る数値である。

図 2.18 には、1700 V RFC diode のリカバリー動作時の遮断能力の動作温度依存性をプロットする。RFC diode の遮断能力の動作温度依存性が緩やかで、V_{CC} = 1200 V, J_F = 1400 A/cm² (x7.0J_A), 448 K という厳しいリカバリー条件でも遮断可能である。

2.3.2 ロス性能

図 2.19 は、表 2.1 に示す 1700 V diode の出力特性である。ここで、図中の比較した diode は、E_{REC} (@398 K) がほぼ同じサンプルである。提案する RFC diode は図 2.13 より snap-off 耐量面から t_n の薄厚化が可能になるため、従来の diode よりも低 V_F 性能を示す。加えて、RFC diode の V_F の温度係数は正でかつクロスポイントが定格電流密度より低いため、多数の並列チップで動作を行うパワーモジュールでは、チップ間の電流分担の観点から有効な性能である。

図 2.20 は、RFC diode の J_R vs. V_R 特性(@448 K) である。RFC diode は、薄厚化しているもの

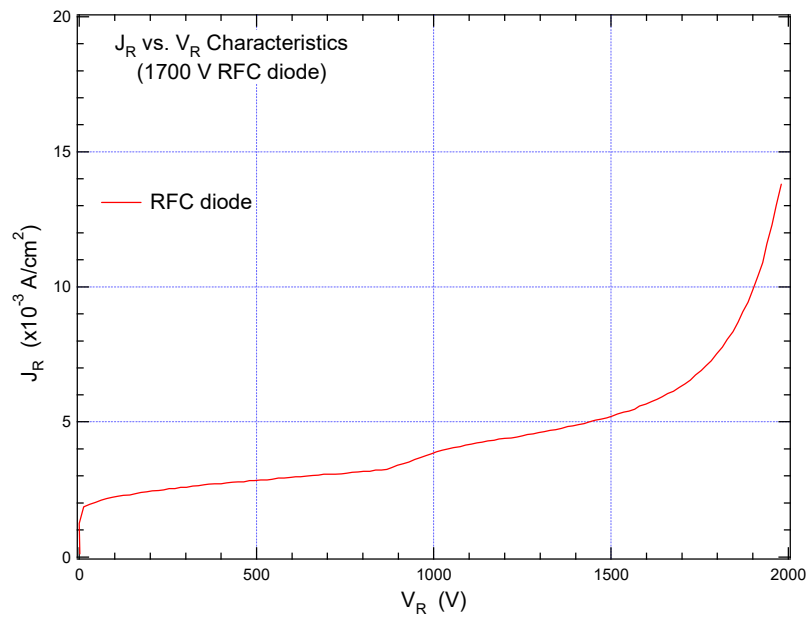


図 2.20. 薄い 1700 V RFC diode の J_R vs. V_R 特性 (@448 K)

Fig. 2.20. Measured junction leakage current characteristic of thin 1700 V RFC diode (@448 K).

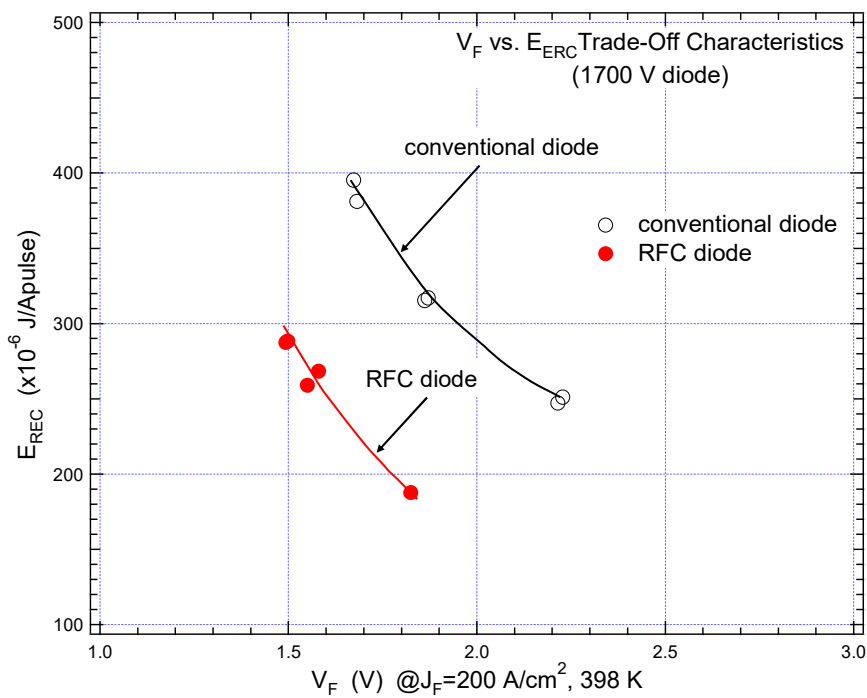


図 2.21. 種々の 1700 V RFC diode における V_F vs. E_{REC} トレードオフ特性 (@398 K)

Fig. 2.21. Experimental trade-off characteristics between V_F and E_{REC} of various 1700 V diodes. Switching condition: $V_{CC} = 1000$ V, $J_F = 200$ A/cm², $dj_A/dt = 1200$ A/cm²μs, $L_S = 200$ nH, 398K.

の、448 K と高温でも熱暴走せずに遮断しかつ、低いオフロス性能を示す。図 2.18 および 2.20 から、提案する RFC diode は 448 K という高温でも熱的に安定な動作を保証可能である。

図 2.21 は、表 2.1 に示す 1700 V diode の V_F vs. E_{REC} トレードオフ特性を比較した結果である。比較した従来の diode は、図 2.13 から RFC diode とほぼ同じ $V_{snap-off}$ となるように t_n を設定したサンプルである。図より、RFC diode は従来の diode より優れたロス性能を有することがわかる。図 2.19-2.21 より、提案する RFC diode は従来の diode に比べ、FWD の低トータルロス性能を実現可能である。

2.4 まとめ

第 2 章では、power diode のリカバリー動作中の 2 つの破壊モードに関して、シミュレーションを活用した diode の内部状態の解析によりそのメカニズムを明らかにした。その結果、ダイナミック動作下でのロバスト性向上の観点から、目標とする diode の内部状態を明確化し、高い耐圧保持能力と低トータルロス性能を保持しながら、diode のダイナミックなロバスト性向上を実現する RFC diode の提案とその優れた性能の実証結果を示した。

リカバリー動作中の diode の 2 つの破壊現象は、1) n ドリフト層中の居所的なキャリアプラズマ層の存在により主接合部の電界強度上昇による過電圧の発生(破壊モード A: 図 2.2(a-1))および、2) 活性流域とインターフェース領域の境界での電流集中による臨界温度を超える局所的な発熱(破壊モード B: 図 2.2(a-2))により、発生することがわかった。

上記 FWD の抱える技術課題の解決手段は、破壊モード A に関してはリカバリー動作中に活性領域のカソード側にキャリアプラズマ層を残すこと、破壊モード B に関しては ON 状態から活性領域端部でのキャリア濃度を低濃度化するという両方を実現可能にするデバイス構造である。新規カソード構造を有する RFC diode は、diode の ON 状態およびリカバリー動作中のカソード側の電子注入効率を制御することで、目標とする diode の内部状態を実現する。提案する RFC diode は、熱的な安定性と低トータルロス性能を持ちながら優れたダイナミックなロバスト性を併せ持つ FWD 技術である。RFC diode は、Si 系パワーモジュール市場の主力耐圧クラス全領域(650 V–6.5kV クラス)にて、同じコンセプトにて優れたデバイス性能面の効果を保証可能であることを実証する。以上より、RFC 技術は、FWD の直面する技術課題に対してブレイクスルーする技術であり、Si-power diode の今後の飛躍的な発展を後押しする有望な技術である。

第 2 章の参考文献

- [1] K. Nakamura, Y. Hisamoto, T. Matsumura, T. Minato, and J. Moritani, “The Second State of a Thin Wafer IGBT – Low Loss 1200 V LPT-CSTBT™ with Backside Doping Optimization Process –,” in *Proc. ISPSD*, Naples, Italy, Jun. 2006, pp. 133–136.
- [2] K. Nakamura, H. Iwanaga, H. Okabe, S. Saito and K. Hatade, “Evaluation of Oscillatory Phenomena in Reverse Operation for High Voltage Diodes,” in *Proc. ISPSD*, Barcelona, Spain, Jun. 2009, pp. 156–159. H. Egawa, “Avalanche Characteristics and Failure Mechanism of High Voltage Diodes,” *IEEE Trans. Electron Devices*, vol. ED-13, no. 11, pp. 754–758, Nov., 1966.

- [3] A. Nishii, K. Nakamura, F. Masuoka, and T. Terashima, "Relaxation of Current Filament due to RFC Technology and Ballast Resistor for Robust FWD Operation," in *Proc. ISPSD*, San Diego, CA, USA, May 2011, pp. 112–115.
- [4] H. Egawa, "Avalanche Characteristics and Failure Mechanism of High Voltage Diodes," *IEEE Trans. Electron Devices*, vol. ED-13, no. 11, pp. 754–758, Nov., 1966, doi: 10.1109/T-ED.1966.15838.
- [5] J. Lutz, R. Baburske, M. Chen, M. Domeij, H. P. Felsl and H. -J. Schulze, "The nn^+ -Junction as the Key to Improved Ruggedness and Soft Recovery of Power Diodes," *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2825–2832, Nov., 2009, doi: 10.1109/TED.2009.2031019..
- [6] J. Lutz and R. Baburske, "Dynamic Avalanche in Bipolar Power Devices," *Microelectron. Reliab.*, vol. 52, pp. 475–481, Mar. 2012, <https://doi.org/10.1016/j.microrel.2011.10.018>
- [7] K. Nakamura, D. Oya, S. Saito, H. Okabe and K. Hatade, "Impact of an LPT(II) Concept with Thin Wafer Process Technology for IGBT's Vertical Structure," in *Proc. ISPSD*, Barcelona, Jun. Spain, 2009, pp. 295–298.
- [8] F. Masuoka, K. Nakamura, A. Nishii and T. Terashima, "Great Impact of RFC Technology on Fast Recovery Diode towards 600 V for Low Loss and High Dynamic Ruggedness," in *Proc. ISPSD*, Bruges, Belgium, Jun. 2012, pp. 373–376.

第3章 High-Voltage IGBT (HV-IGBT)の高ターンオフ遮断耐量化技術

本章では、第 1.3.2 にて述べた HV-IGBT 技術の課題に関する研究結果を示す。

3.1 partial P collector 構造およびコンセプト

図 3.1(b)には、partial P collector を用いた新規 HV-IGBT を示す。表 3.1 は、従来の IGBT と提案する IGBT のデバイスパラメータを比較した一覧表である。本研究に用いた HV-IGBT の活性領域のセル構造と n バッファ層は、それぞれ Wide Cell Pitch CSTBT™(III)[1]と LPT(II) n バッファ層[2]から構成される。セル構造として用いるトレンチゲート構造は、HV 領域でも低 $V_{CE(sat)}$ および十分な短絡耐量を有するセル構造である[1], [4]。LPT(II)n バッファ層は、静的およびダイナミック動作時にコレクタ側へ伸びる空乏層のみを止める役割を担う層である。図 3.1-(a)に示す従来の IGBT のコレクタ構造は、活性領域からエッジターミネーション領域まで均一な p 層が形成される。

提案する HV-IGBT は、以下のような 3 つの構成からなるコンセプトのインターフェース領域からエッジターミネーション領域にかけて新規な設計手法を用いる。特に、提案する partial P collector 構造は、下記構成要素 a),b)から成る構造である[3]。

- a) 活性領域のコレクタ構造は、IGBT の基本性能、動作保証の観点から従来の HV-IGBT と同じプロファイルの p コレクタ層

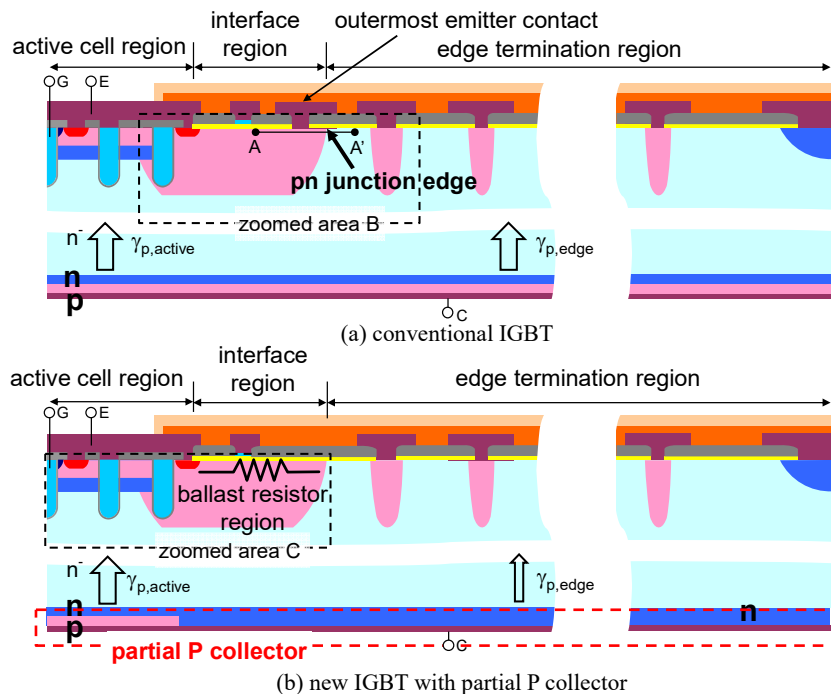


図 3.1. 種々の HV-IGBT 断面構造図

Fig. 3.1. Schematic cross sectional view of various HV-IGBTs. (a) Conventional IGBT. (b) New IGBT with partial P collector.

表 3.1. 技術検証に用いたデバイスに関するデバイスパラメータ比較一覧表

TABLE 3.1. COMPARISON WITH DEVICE PARAMETERS FOR THIS STUDY

device		conventional IGBT	new IGBT
MOS gate cell structure		wide cell pitch CSTBT™(III) [1]	wide cell pitch CSTBT™(III) [1]
n ⁻ drift layer thickness		1	1
n buffer		LPT(II) n buffer [2] lightly and gradient thin	LPT(II) n buffer [2] lightly and gradient thin
p collector	active cell region	lower and shallow	lower and shallow
	from Interface region to edge termination region		without [3] (LPT(II) n buffer only)
edge termination region	structure	Field Limiting Ring (FLR)	Field Limiting Ring (FLR)
hole injection efficiency (@collector side)	$\gamma_{p,active}$	0.24–0.26	0.24–0.26
	$\gamma_{p,edge}$	0.24–0.26	≈0.0

- b) インターフェース領域からエッジターミネーション領域にかけてのコレクタ構造は, IGBT のダイナミック状態でのコレクタ側のホール注入効率を最小化するため LPT(II) n バッファ層のみの構造
- c) 活性領域端部からインターフェース領域にかけてデバイス表面にある最外周のエミッタコンタクトを除き, ターンオフ動作時のインターフェース領域とエッジターミネーション領域の境界に存在する pn 接合部での電流集中を抑制する働きがあるバラスト抵抗領域[5] partial P collector の動作原理は, 式(3.1)および(3.2)にて表される。

$$\gamma_{p,active} = \frac{I_{p,active}}{I_{c,active}} = 0.24 - 0.26 \quad (3.1)$$

$$\gamma_{p,edge} = \frac{I_{p,edge}}{I_{c,edge}} \approx 0.0, \quad (3.2)$$

ここで,

$\gamma_{p,active}$, $\gamma_{p,edge}$: それぞれ ON 状態の活性領域とインターフェース領域からエッジターミネーション領域のホール注入効率

$I_{p,active}$, $I_{p,edge}$: それぞれ ON 状態の活性領域とインターフェース領域からエッジターミネーション領域のホール電流

$I_{c,active}$, $I_{c,edge}$: それぞれ ON 状態の活性領域とインターフェース領域からエッジターミネーション領域のコレクタ電流.

である。

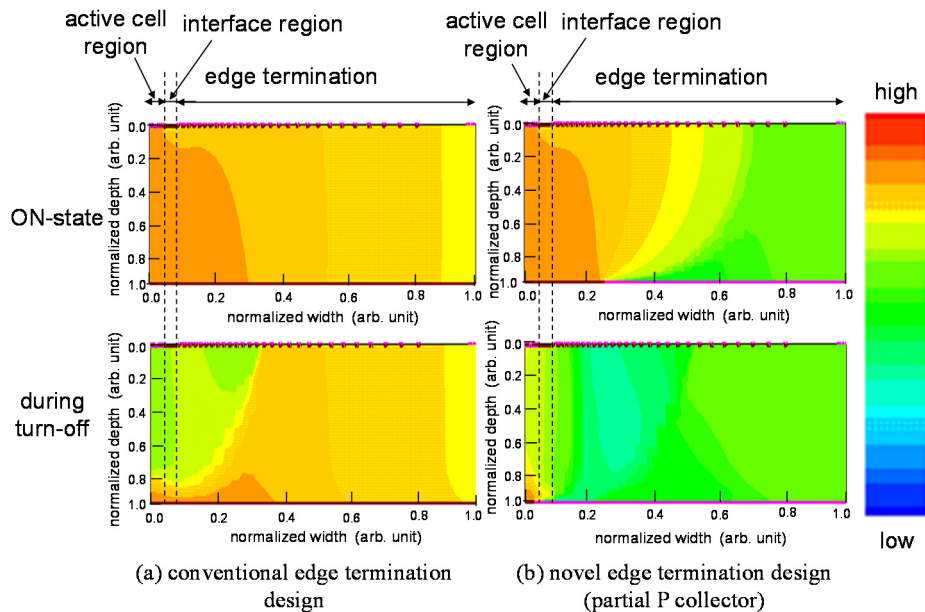


図 3.2. シミュレーションによる種々の HV-IGBT での ON 状態およびターンオフ状態中のホール電流密度分布

Fig. 3.2. Simulated hole current density at ON-state and during turn-off operation for various HV-IGBTs. Vertical and horizontal axes: normalized by n^- drift layer thickness and device structure width. (a) Conventional edge termination design. (b) Novel edge termination design.

図 3.2 には、図 3.1 に示す 2 種類の IGBT での ON 状態およびターンオフ動作中のホール電流密度分布を示す。図 3.2 から、partial P collector 構造では、IGBT が ON 状態での活性領域のホール電流密度は、式(3.1)のように従来の IGBT とほぼ同じである。partial P collector 構造のエッジターミネーション領域のホール電流密度は、ON 状態およびターンオフ動作中とも式(3.2)の関係から、従来の IGBT に比べ低電流密度である。このように partial P collector 構造の特徴である活性領域とインターフェース領域からエッジターミネーション領域のホール注入効率が異なることが、HV-IGBT の ON 電圧への悪影響無く高いターンオフ遮断能力を実現する。

3.2 HV-IGBT のターンオフ動作中の破壊メカニズム

3.2.1 ターンオフ動作下での破壊現象

図 3.3 は、図 3.1(a)の従来の 4.5kV IGBT における L 負荷スイッチング条件でのターンオフ動作中の観察した破壊時の波形および破壊箇所の観察結果を示す。図 3.3(b)より、HV-IGBT のターンオフ動作時の破壊箇所は、インターフェース領域でかつ破壊箇所にはエミッタからコレクタにかけて小さな貫通痕が存在する。

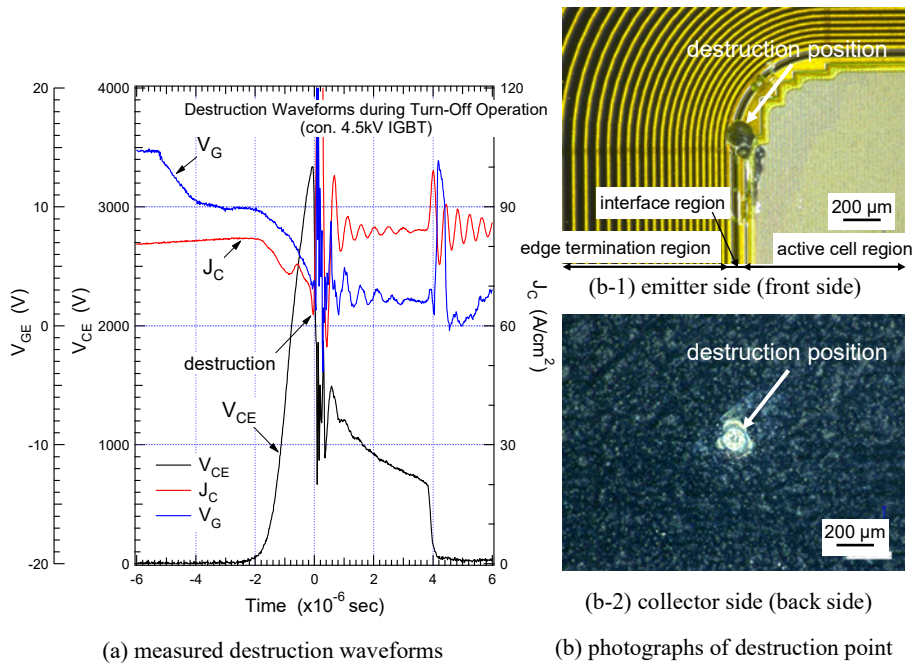


図 3.3. ターンオフ動作中における従来の 4.5kV CSTBT(III)の破壊波形および破壊箇所

Fig. 3. Observed destruction phenomenon of conventional 4.5kV CSTBTTM(III) during turn-off switching: @ $V_{CC} = 3200$ V, $J_C = 84$ A/cm² ($\times 1.5J_C(\text{rated})$), $V_G = \pm 15.0$ V, $L_S = 2.47\mu\text{H}$, 423 K. (a) Measured destruction waveforms. (b) Photographs of destruction point.

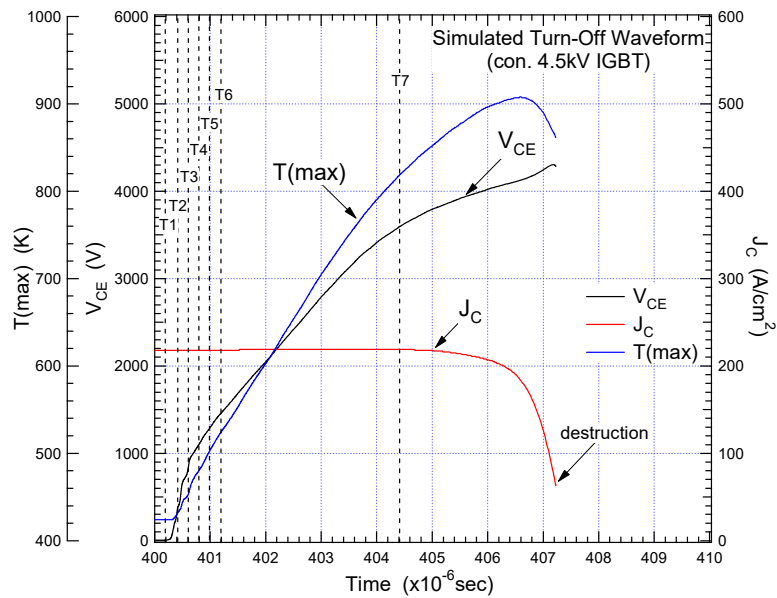


図 3.4. シミュレーションによる従来の 4.5kV IGBT のターンオフ波形

Fig. 3.4. Simulated turn-off waveforms of conventional 4.5kV IGBT: @ $V_{CC} = 3600$ V, $J_C = 224$ A/cm² ($\times 4.0J_C(\text{rated})$), $V_G = \pm 15.0$ V, $L_S = 2.47\mu\text{H}$, 423 K.

3.2.2 破壊現象へのシミュレーションによる解析

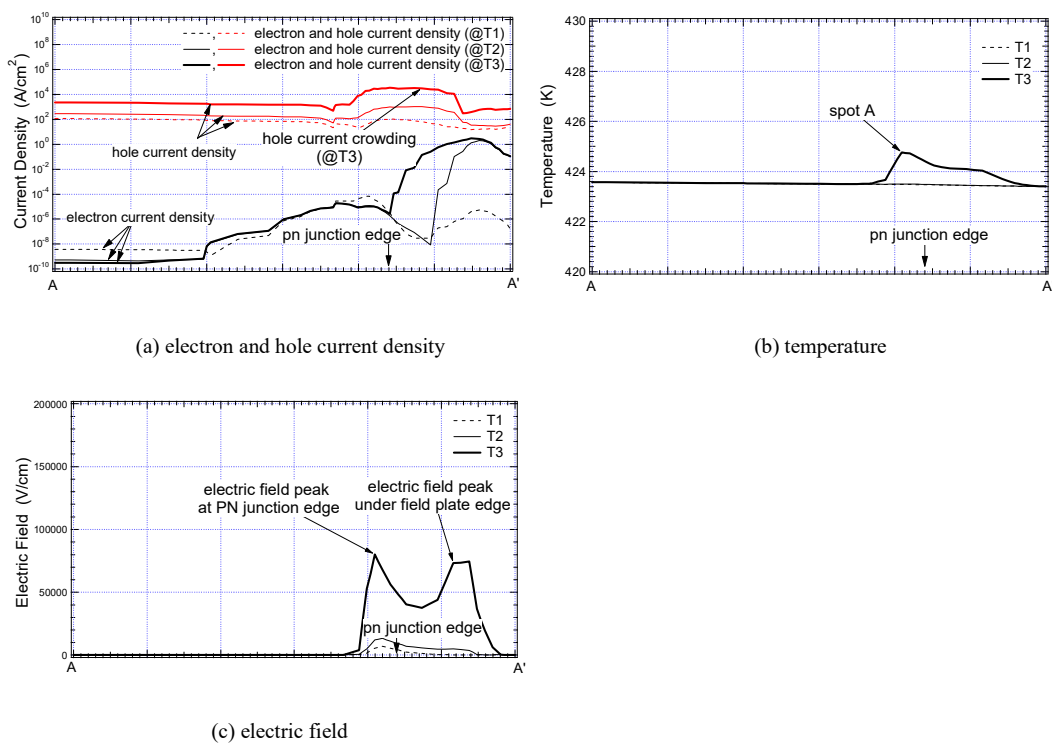


図 3.5. シミュレーションによる図 3.4 示す解析ポイント(T1-T3)における図 3.1(a)中の A-A'線に沿った電子/ホール電流密度、温度および電界強度の変化

Fig. 3.5. Simulated current density, temperature, and electric field from T1 to T3 shown in Fig. 3.4 at line A-A' in Fig. 3.1(a).

図 3.4 は、図 3.1(a)に示す従来の 4.5kV CSTBT™(III)のターンオフ波形とターンオフ動作中の IGBT 内部の最大温度(T(max))に関するシミュレーション結果である。図 3.5 は、図 3.4 中の T1 から T3 の解析ポイントでの、図 3.1(a)中の A-A'線に沿った Si 表面の電流密度、温度および、電界強度の変化を示す。図 3.5(b)より、IGBT のターンオフプロセス初期(@T3)にて、ホール電流密度(J_H)が 10⁴ A/cm² 以上になると、インターフェース領域とエッジターミネーション領域の境界に存在する pn 接合部付近に電流集中に起因した hot spot (spot A)が現れることがわかる。図 3.6 には、図 3.4 中の T4 から T7 の解析ポイントでの、図 3.1(a)の領域 B における電界強度、電子/ホール電流密度および、温度のデバイス内部の変化を示す。図 3.6 より、IGBT のターンオフ動作中(@T5-7)に、spot A が存在する pn 接合部にて局所的にインパクトイオン化起因の電子電流密度(J_E)が急増していることがわかる。その結果、 J_E が集中した pn 接合部分に新たな hot spot (spot B)が現れることになる(@T6)。2 つの hot spot は、非常に近い箇所に位置しかつ短い時間差にて現れる結果、ターンオフプロセスが進むにつれて合体し、局所的に臨界温度(≈ 800 K)[2]以上の高温の”hot spot”を形成し、IGBT の熱破壊の原因となる(@T7)。

以上から、L 負荷スイッチング条件下でかつインターフェース領域内部での HV-IGBT の破壊現象は以下のメカニズムにて発生する。

1) step 1: インターフェース領域とエッジターミネーション領域の境界に存在する pn 接合部付近

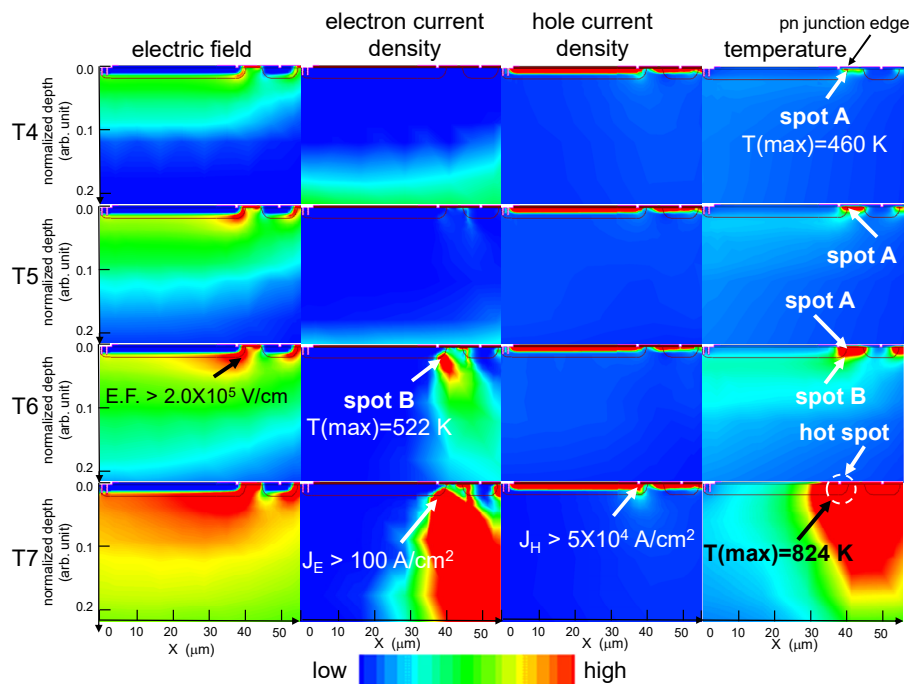


図 3.6. シミュレーション図 3.4 示す解析ポイント(T4-T7)における図 3.1(a)の領域 B のデバイス内部状態

Fig. 3.6. Simulated electric field, electron current density, hole current density, and temperature from T4 to T7 shown in Fig. 3.4 at zoomed area B in Fig. 3.1(a). Vertical axis: normalized by n⁻ drift layer thickness.

にてホール電流集中とインパクトイオン化により、2つの hot spot (spot A(@T3)および spot B (@T6))を形成する;

2) step 2: 2つの hot spot は1つの”hot spot”となり、ターンオフプロセス中の局所的な発熱の原因となる(@T7)。

このメカニズムが、図 3.3 に示す従来の HV-IGBT のようなインターフェース領域とエッジターミネーション領域の境界に存在する pn 接合部付近での熱破壊を誘発する。

3.2.3 インターフェース～エッジターミネーション設計の影響

図 3.7 は、図 3.1(b)に示す新規 4.5kV IGBT のターンオフ波形とターンオフ動作中の IGBT 内部の最大温度(T(max))に関するシミュレーション結果である。図 3.8 は、図 3.7 中の解析ポイント(T4, T6, T7 および T10)での、図 3.1(b)の領域 C における電界強度、電子電流密度および、温度のデバイス内部の変化である。図 3.8 より、partial P collector を有する HV-IGBT は、ターンオフプロセス中にインターフェース領域とエッジターミネーション領域の境界に存在する pn 接合部付近に spot A および spot B は発生するものの、spot A が早めに消失するため、spot A と spot B とが合体し発生する高温の”hot spot”が現れないということがわかる。その結果、提案する IGBT の T(max)の位置は、従来の IGBT と異なり、活性領域内部へシフトする。つまり、partial P collector 構造を用いた HV-IGBT は、インターフェース領域からエッジターミネーション領域のコレクタ

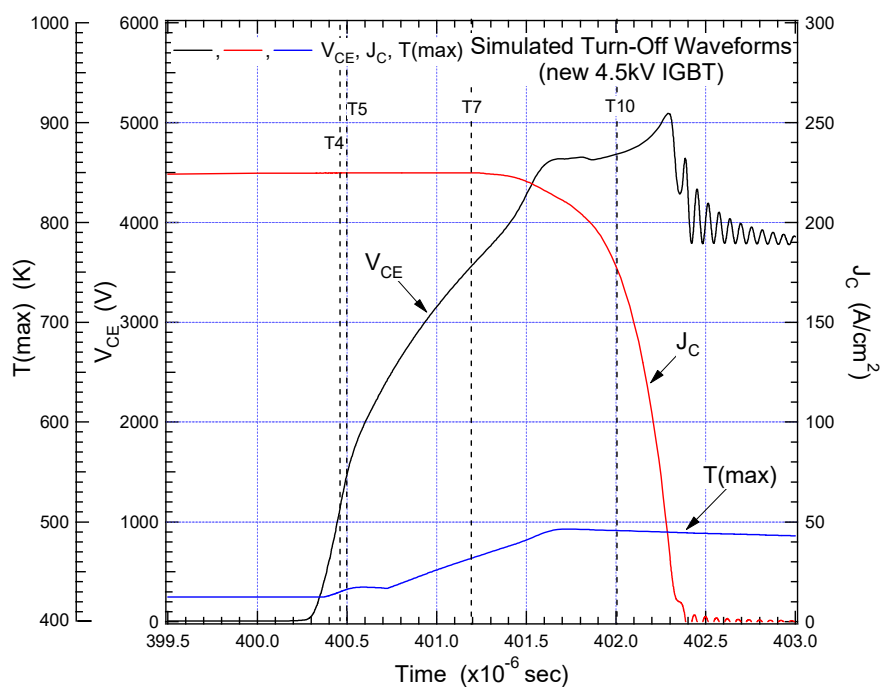


図 3.7. シミュレーションによる図 3.1(b)に示す新規 4.5kV IGBT のターンオフ波形

Fig. 3.7. Simulated turn-off waveforms of new 4.5kV IGBT shown in Fig. 3.1(b): @ $V_{CC} = 3600$ V, $J_C = 224$ A/cm² ($\times 4.0J_C(\text{rated})$), $V_G = \pm 15.0$ V, $L_S = 2.47$ μ H, 423 K.

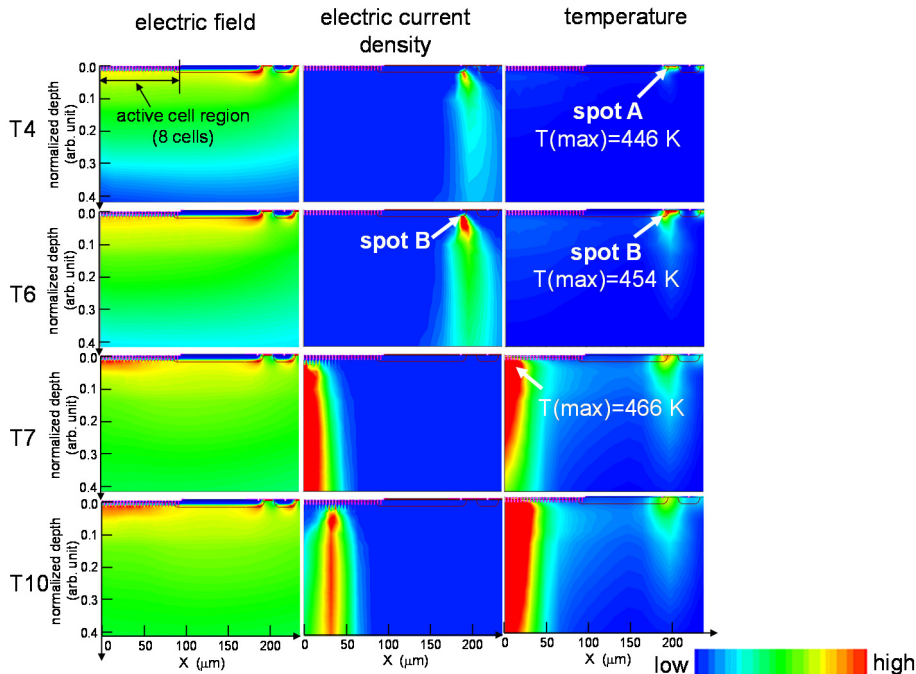


図 3.8. シミュレーション図 3.7 示す解析ポイント(T4, T6, T7)における図 3.1(b)の領域 C のデバイス内部状態

Fig. 3.8. Simulated electric field, electron current density, and temperature at T4, T6, T7, and T10 shown in Fig. 3.7 in zoomed area C shown in Fig. 3.1(b). Vertical axis: normalized by n^- drift layer thickness.

側のホール注入効率を制御する結果、第 3.2.2 章にて述べたターンオフ動作中の HV-IGBT の破

表 3.2. シミュレーション結果まとめ一覧表

TABLE 3.2. SUMMARY OF SIMULATED RESULTS

device	edge termination region design	simulated results			
		$V_{CE}=3600\text{ V (@T7)}$		during turn-off	
	collector side	T(max) (K)	T(max) location	T(max) (K)	T(max) location
con. IGBT	uniformly doped p collector (con. design)	824	boundary between interface region and edge termination region	906	boundary between interface region and edge termination region
new IGBT	partial P collector (novel design)	463	active cell region	492	active cell region

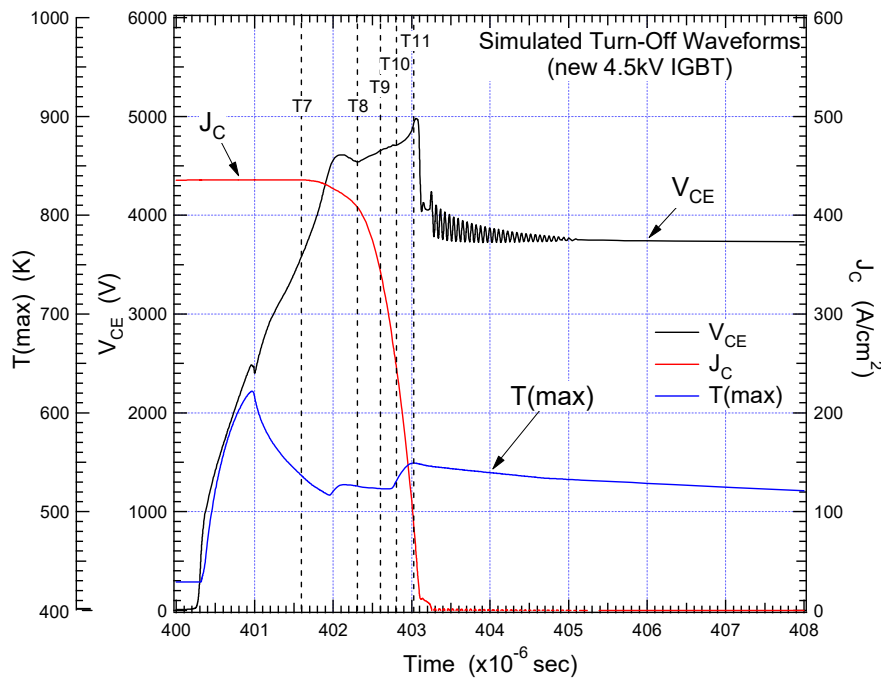


図 3.9. シミュレーションによる SOA 限界条件下での図 3.1(b)に示す新規 4.5kV IGBT のターンオフ波形

ig. 3.9. Simulated turn-off waveforms of new 4.5kV IGBT under worst case conditions in terms of SOA limit: @ $V_{CC} = 3600\text{ V}$, J_C 48 A/cm^2 ($\times 8.0 J_C(\text{rated})$), $V_G = \pm 15.0\text{ V}$, $L_s = 2.47\mu\text{H}$, 423 K.

壊メカニズムを防止する。

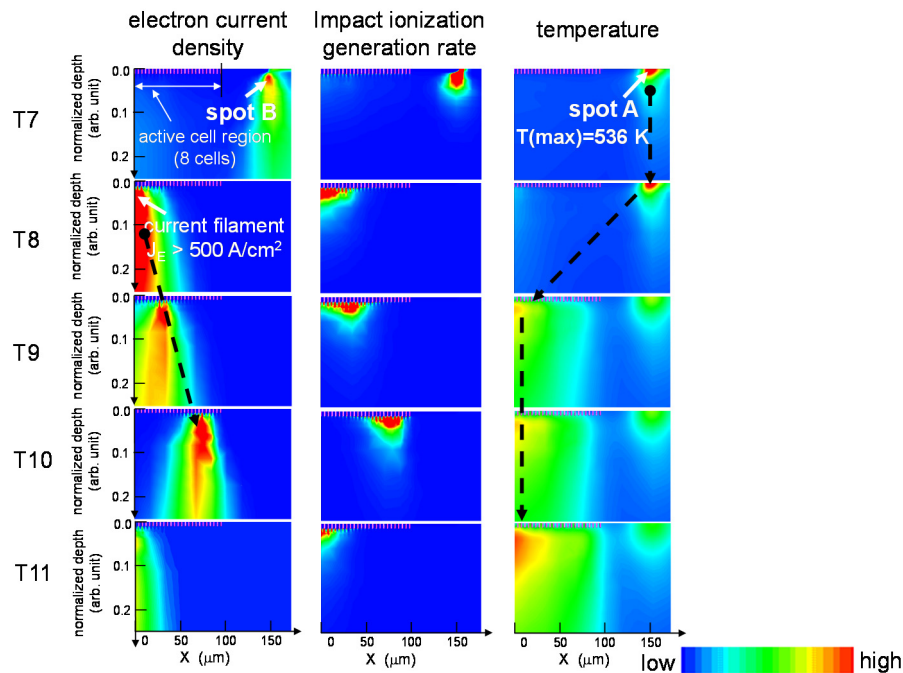


図 3.10. シミュレーションによる図 3.9 示す解析ポイント(T7-T11)における図 3.1(b)の領域 C のデバイス内部状態

Fig. 3.10. Simulated electron current density, impact ionization generation rate, and

temperature from T7 to T11 shown in Fig. 3.9 at zoomed area C in Fig. 3.1(b). Vertical axis: normalized by n^- drift layer thickness.

表 3.2 は、シミュレーションにて解析した IGBT のターンオフ動作中の $T(\max)$ 値とその位置をまとめた一覧表である。従来の IGBT の $T(\max)$ は提案する IGBT よりも高温化し、かつ Si 系 HV-IGBT が破壊する際の指標となる臨界温度(≈ 800 K)[2]を超えた値となる。また、partial P collector を用いる HV-IGBT のターンオフ遮断耐量は、ターンオフ動作中に weak spot の形成を抑制する結果、活性領域のセル構造に律速したデバイス性能となる。以上から、提案するエッジターミネーション領域設計を組み合わせた CSTBTTM(III)は、高いターンオフ遮断能力を有する可能性が高い。

3.2.4 Safe Operation Area (SOA)限界での破壊現象

図 3.9 は、 $V_{CC} = 3600$ V, $J_C = 448$ A/cm² ($\times 8.0 J_C(\text{rated})$)と高 V_{CC} でかつ高電流密度という SOA 限界のスイッチング条件での新規 4.5kV IGBT のターンオフ波形とターンオフ動作中の IGBT 内部の最大温度($T(\max)$)に関するシミュレーション結果である。図 3.10 は、図 3.9 中の T7 から T11 の解析ポイントでの、図 3.1(b)の領域 C における電子電流密度、インパクトイオン化レートおよび、温度のデバイス内部の変化である。図 3.10 から、SOA 限界の HV-IGBT のターンオフ動作メカニズムは、以下のような特徴的な挙動を示す。

- $T(\max)$ の箇所が、電子電流パスのデバイス内部での移動(“current filament”の移動現象)にともないインターフェース領域とエッジターミネーション領域の境界から活性領域内部へシフトす

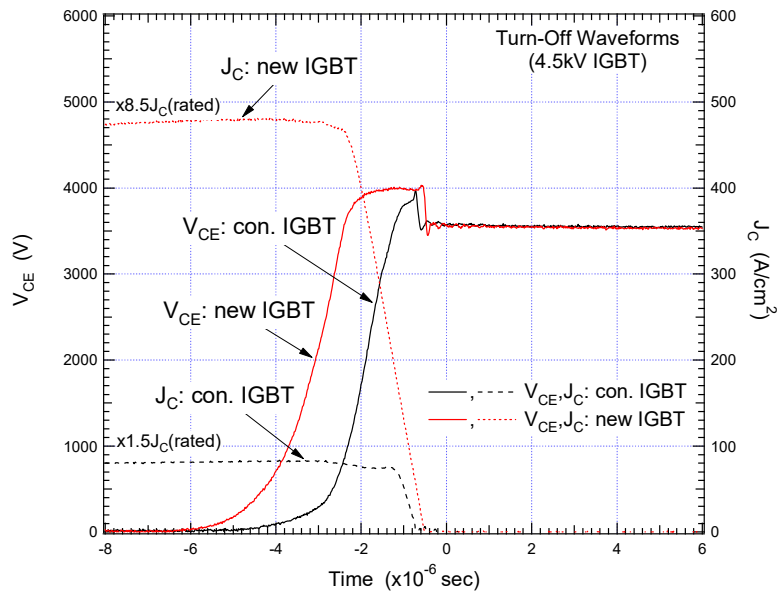


図 3.11. 種々の 4.5kV CSTBT™(III)の L 負荷スイッチングでのターンオフ遮断能力

Fig. 3.11. Measured turn-off waveforms of various 4.5kV CSTBT™(III)s: @ $V_{CC} = 3600$ V, $J_C = 84$ A/cm² (x1.5 J_C (rated)), conventional IGBT/480 A/cm² (x8.5 J_C (rated)), new IGBT, $V_G = \pm 15.0$ V, $L_S = 2.47$ μ H, 423 K.

る(@T7, T8);

- 上記 current filament の移動は、活性領域内部でのエミッタ側での最大インパクトイオン化レートとなる箇所の移動に起因した現象である

以上から、partial P collector を用いた HV-IGBT の SOA 限界の条件下での破壊モードは、活性領域内部での current filament 現象にて決定されることになる。また、図 3.10 から、発生する current filament は、一箇所に滞在し巨大化せず、デバイスの活性領域をターンオフ動作中に動く性質を持っているので、HV-IGBT のターンオフ遮断能力を低下させる原因とはならないものとする [6]。これまでのシミュレーションによる解析結果から、提案する partial P collector を用いた HV CSTBT™(III)は、非常に高いダイナミックな耐久性を兼ね備えた IGBT であることがわかる。

3.3 試作結果

本章では、提案する HV CSTBT™(III)のデバイス性能と有効な効果を明らかにする。すべてのデータは、Si ウエハとして FZ ウエハを用い、ロングキャリアライフタイムプロセス技術[7]を適用して試作した 4.5kV IGBT の試作結果である。評価したデバイスの定格電流密度(J_C (rated))は、56 A/cm²である。

3.3.1 ダイナミックな挙動

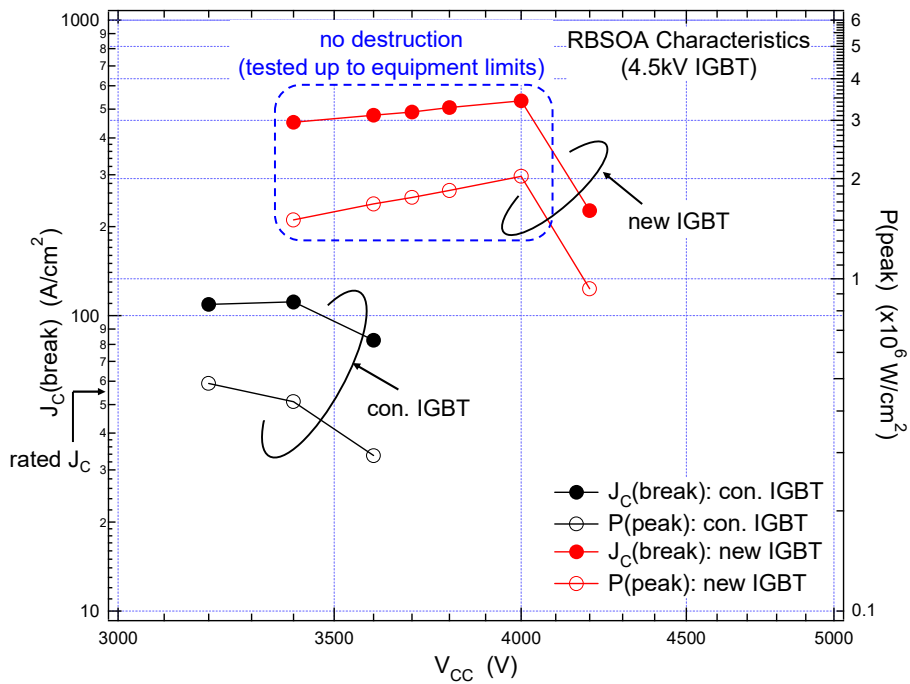


図 3.12. 種々の 4.5kV CSTBTTM(III)の RBSOA 特性

Fig. 3.12. Measured RBSOA characteristics of various 4.5kV CSTBTTM(III)s: @ $V_G = \pm 15.0$ V, $L_S = 2.47\mu\text{H}$, 423 K.

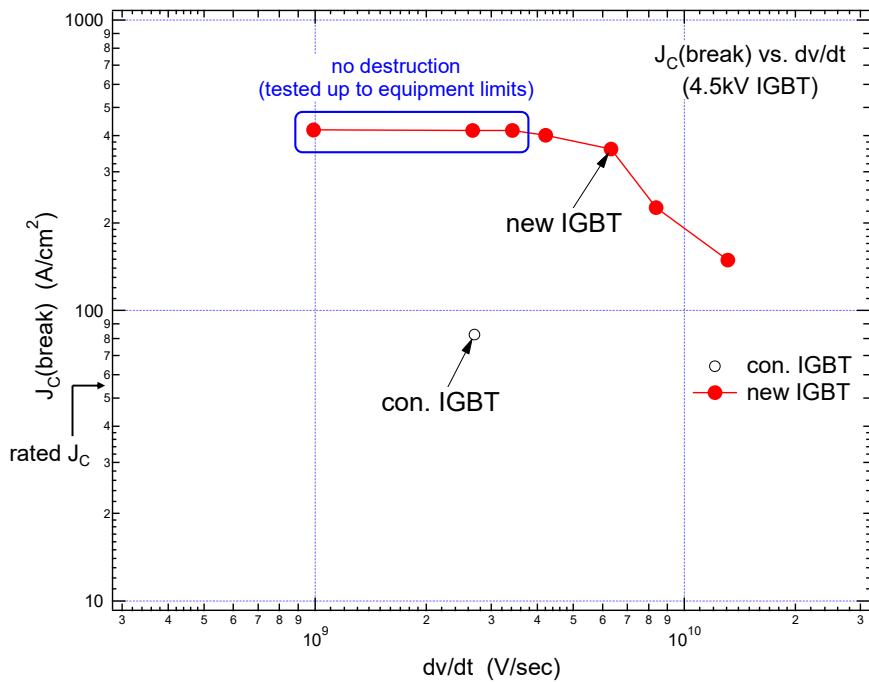


図 3.13. 種々の 4.5kV CSTBTTM(III)のターンオフ遮断能力の dv/dt 依存性

ig. 3.13. Measured 4.5kV CSTBTTM(III) turn-off capability results at $V_{CC} = 3600$ V showing $J_C(\text{break})$ as function of dv/dt : @ $V_G = \pm 15.0$ V, $L_S = 2.47\mu\text{H}$, 423 K.

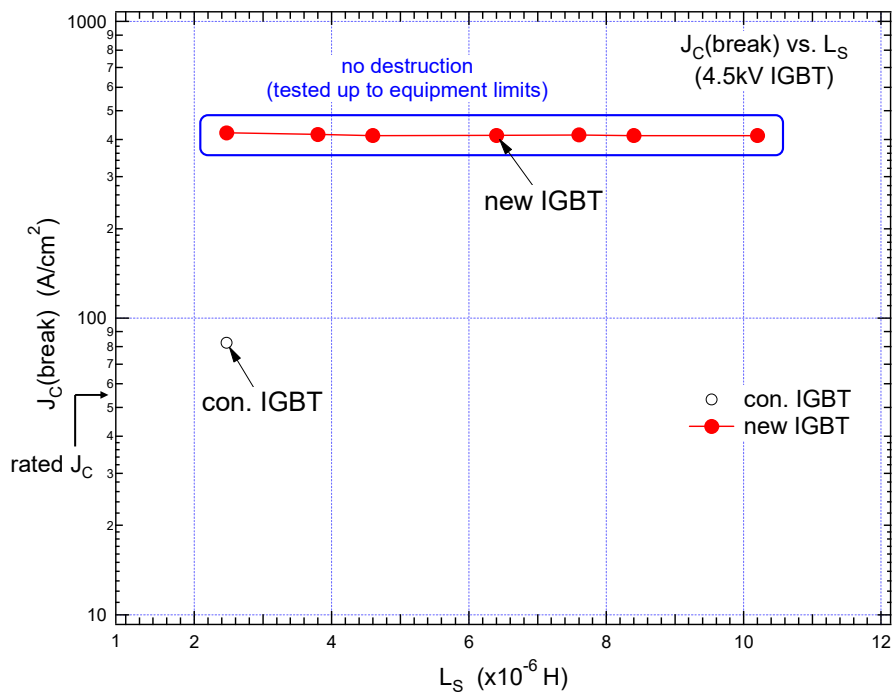


図 3.14. 種々の 4.5kV CSTBT™(III)のターンオフ遮断能力の L_S 依存性

Fig. 3.14. Measured 4.5kV CSTBT™(III) turn-off capability results at $V_{CC} = 3600$ V showing $J_C(\text{break})$ as function of circuit parameter

図 3.11 は、図 3.1 に示す 2 種類の 4.5kV IGBT のターンオフ波形である。提案する IGBT は、従来の IGBT より高いターンオフ遮断能力を示し、 $V_{CC} = 3600$ V, $J_C = 480$ A/cm² ($\times 8.5 J_C(\text{rated})$), 423 K という厳しい条件でも破壊せずに遮断可能である。図 3.12 は、種々の 4.5kV CSTBT™(III)の RBSOA 結果である。ここで、 $J_C(\text{break})$ と $P(\text{peak})$ は、それぞれ遮断可能な最大電流密度と最大ピークパワーエネルギー密度である。図 3.12 より、新規 IGBT は従来の IGBT より明らかに広い RBSOA の能力を持っていることがわかる。また、提案する HV-IGBT は、 $V_{CC} = 4000$ V, $J_C = 560$ A/cm² ($\times 10.0 J_C(\text{rated})$), 423 K という条件で $P(\text{peak})$ が 2.0 MW/cm² 以上のエネルギーを遮断する能力を持っている。この遮断可能な $P(\text{peak})$ 値は、4.5kV IGBT としてこれまで報告の事例の無い高い数値である。

図 3.13 および 3.14 は、種々の 4.5kV IGBT のターンオフ遮断能力への回路パラメータの影響を示す図である。図より、新規 IGBT は広い回路パラメータ範囲で高いターンオフ遮断耐量を示すことがわかる。特に、図 3.14 より、新規 IGBT はターンオフ遮断能力を犠牲にすることなく、幅広いレンジの HV アプリケーションへ使えることを実証している。

図 3.15 は、図 3.1 に示す 2 種類の HV-IGBT のターンオフ破壊時の条件と破壊箇所をまとめたものである。従来の IGBT の結果は、図 3.3 (b)と同じデータである。新規 IGBT の破壊箇所は、活性領域内でありかつ、チップ表面から裏面に貫通した穴を形成している。この特徴的な破壊モードは、第 3.2.4 章のシミュレーション結果を裏付ける結果であり、current filamentation に起因した破壊が実際のデバイスのターンオフ動作中に起きていることを実証した結果である。つまり、ターンオフ動作中のインターフェース領域での電流集中を低減し電界集中を緩和した HV-

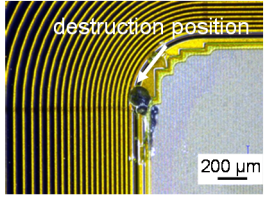
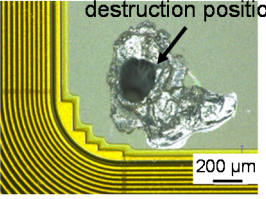
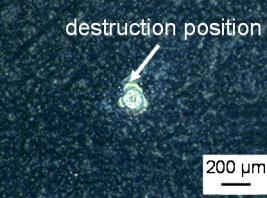
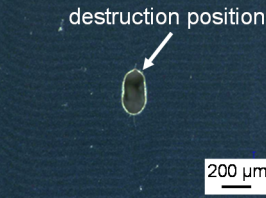
device		con. IGBT	new IGBT
destruction condition		$V_{CC}=3200\text{ V}$, $J_C=84\text{ A/cm}^2$ ($\times 1.5J_{C(\text{rated})}$), $V_G=\pm 15\text{ V}$, $L_S=2.47\mu\text{H}$, 423 K	$V_{CC}=4200\text{ V}$, $J_C=280\text{ A/cm}^2$ ($\times 5.0J_{C(\text{rated})}$), $V_G=\pm 15\text{ V}$, $L_S=2.47\mu\text{H}$, 423 K
location (emitter side)		boundary between interface region and edge termination region	active cell region
photograph	emitter side (front side)		
	collector side (back side)		

図 3.15. 種々の 4.5kV CSTBT™(III)の L 負荷ターンオフ動作時の破壊箇所比較結果

Fig. 3.15. Comparison with destruction spots during L-load turn-off operation of various 4.5kV CSTBT™(III)s.

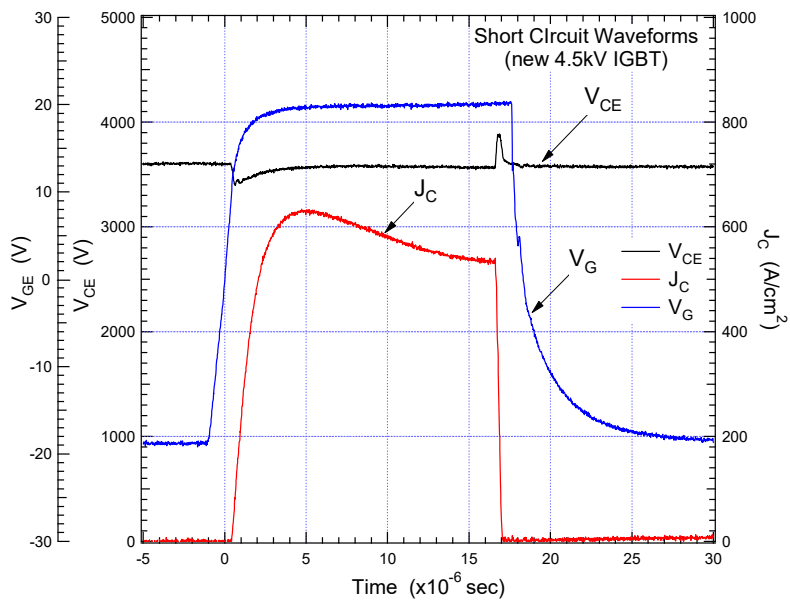


図 3.16. 新規 4.5kV CSTBT™(III)の短絡モードでのターンオフ遮断能力

Fig. 3.16. Measured short-circuit turn-off waveforms of new 4.5kV CSTBT™(III): @ $V_{CC} = 3600\text{ V}$, $V_G = \pm 20.0\text{ V}$, $t_G = 17\mu\text{s}$, 423 K.

IGBT の破壊は、活性領域のセル構造に律速したターンオフ遮断能力となる。

図 3.16 は、新規 4,5kV CSTBT™(III)の短絡状態の遮断能力を示す。新規 IGBT では、セル構造にて必要な通電能力を確保しながら低飽和電流密度に制御[4]し、縦構造にて短絡状態での n-

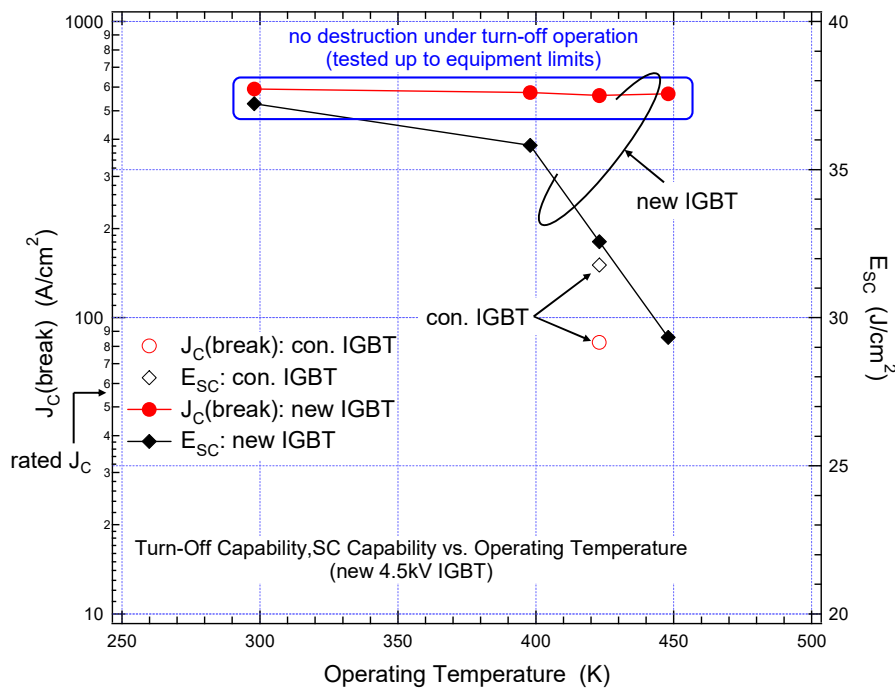


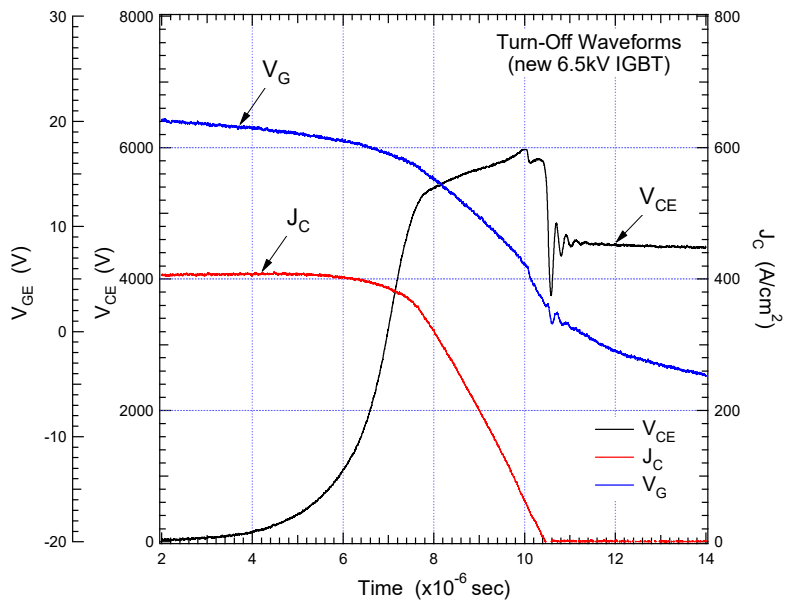
図 3.17. 種々の 4.5kV CSTBT™(III)における L 負荷スイッチングモードおよび短絡モードでのターンオフ遮断能力の動作温度依存性

Fig. 3.17. Measured 4.5kV CSTBT™(III) turn-off capability results at $V_{CC} = 3600$ V showing $J_c(\text{break})$ and E_{SC} as function of operating temperature. Switching condition: $V_G = \pm 15.0$ V, $dv/dt = 2700$ V/ μ s, $L_S = 2.47$ μ H (@L-load mode); $V_G = \pm 20.0$ V, $t_G > 10$ μ s (@short circuit mode).

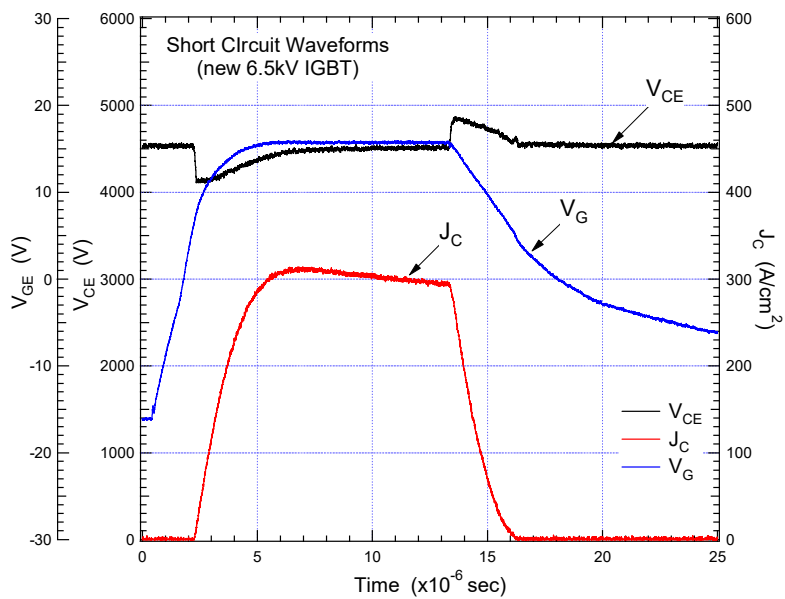
ドリフト層中の電界強度分布がアンバランスにならないようにキャリアプラズマ層と電界強度分布を制御[2]するように設計している。その結果、提案する HV-IGBT は、4.5kV クラスとして十分な広い SCSOA を保有していることがわかる。

図 3.17 には、図 3.1 に示す 2 種類の IGBT の L 負荷スイッチングおよび短絡状態でのターンオフ遮断能力の動作温度依存性を示す。ここで、 E_{SC} は短絡状態での遮断可能な最大短絡エネルギー密度である。新規 IGBT の $J_c(\text{break})$ には動作温度依存性見られず、448 K でも $P(\text{peak})$ が 2.0MW/cm² 以上のエネルギー密度を遮断可能である。ただし、新規 HV-IGBT の E_{SC} は動作温度が高温化するに伴い減少するが、 $V_{CC} = 3600$ V, $V_G = \pm 20$ V, $t_G = 10$ μ s, 448 K の条件を遮断可能であり、4.5kV クラスとして十分な SCSOA の能力を持っている。図 3.17 から、提案する HV CSTBT™(III)は熱的に安定であり、448 K のオペレーションが可能であることがわかる。

図 3.18 は、提案する新規エッジターミネーション設計手法を 6.5kV IGBT へ適用した場合の (a) L 負荷スイッチングおよび、(b) 短絡状態でのターンオフ遮断能力を示す波形である。図 3.18 より、提案する技術は、6.5kV クラスでも優れたダイナミックな耐久性を示し、 $V_{CC} = 4500$ V, $J_c = 410$ A/cm² ($\times 10.0 J_c(\text{rated})$), 423 K, $P(\text{peak}) > 3.0$ MMW/cm² の遮断能力を示す。つまり、partial P collector 技術は同じコンセプトにて、HV 領域(3.3–6.5kV クラス)の IGBT のターンオフ遮断耐量拡大を実現する。



(a) L-load switching mode



(b) Short-circuit mode

図 3.18. 新規 6.5kV CSTBTTM(III)における L 負荷スイッチングモードおよび短絡モードでのターンオフ遮断能力

Fig. 3.17. Measured new 6.5kV CSTBTTM(III) turn-off capability. Switching condition: (a) $V_{CC} = 4500$ V, $J_C = 410$ A/cm²($\times 10.0 J_C(\text{rated})$), $V_G = \pm 17.0$ V, $dv/dt = 2700$ V/ μ s, $L_S = 6.5$ μ H, 423 K (@L-load mode); (b) $V_{CC} = 4500$ V, $V_G = \pm 15.0$ V, $t_G = 13$ μ s, 423 K (@short-circuit mode).

3.3.2 コレクタ側ホール注入効率の影響

最新の LPT 系 IGBT の破壊現象や図 1.13 に示す IGBT のデバイス性能間のトレードオフな関

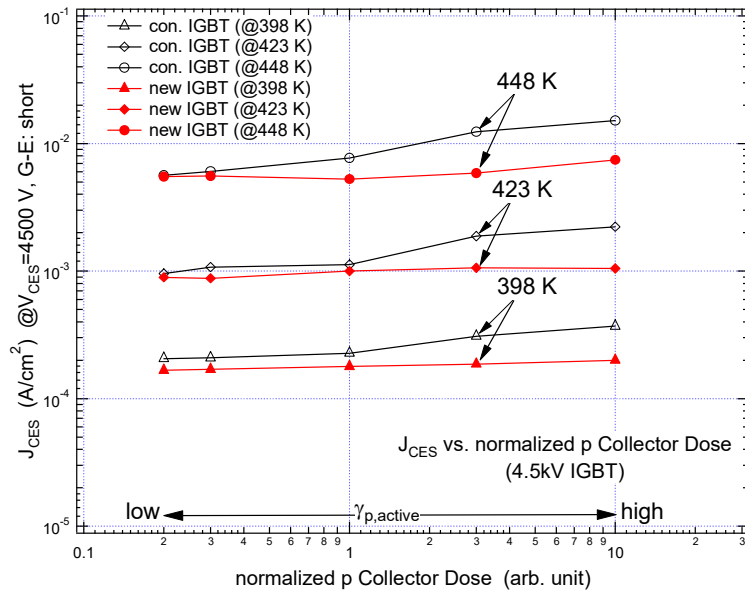


図 3.19. 種々の 4.5kV CSTBT™(III)における J_{CES} の p コレクタドーズ量依存性

Fig. 3.19. Measured J_{CES} vs. normalized p collector dose characteristics of various 4.5kV CSTBT™(III)s: @ $V_{CES} = 4500$ V, $V_G = 0.0$ V, G-E: short, 398-448 K.

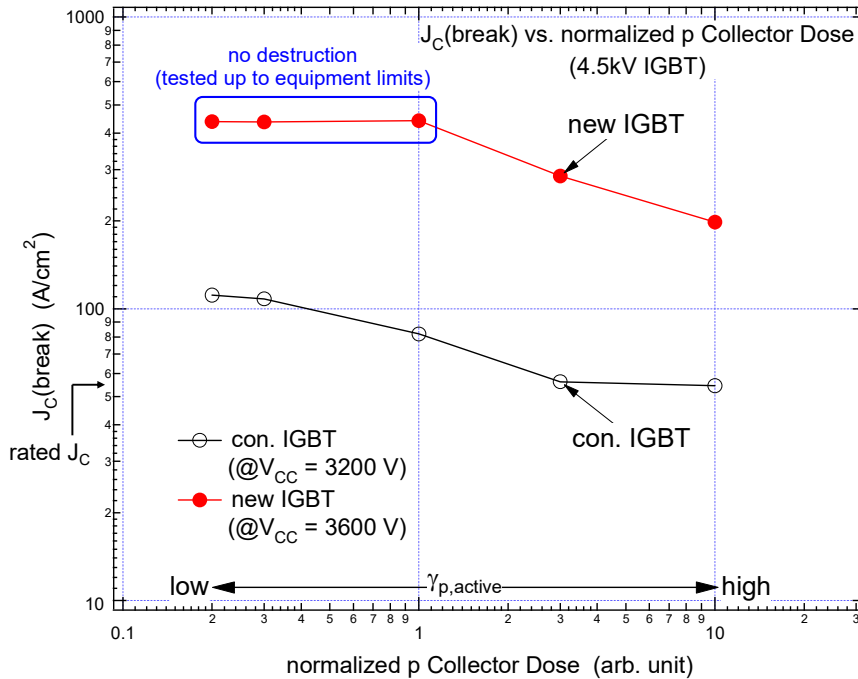


図 3.20. 種々の 4.5kV CSTBT™(III)における $J_C(\text{break})$ の p コレクタドーズ量依存性

Fig. 3.20. Measured $J_C(\text{break})$ vs. normalized p collector dose characteristics of various 4.5kV CSTBT™(III)s: @ $V_{CC} = 3200$ V (conventional IGBT) / 3600 V (new IGBT), $V_G = \pm 15.0$ V, $L_S = 2.47\mu\text{H}$, 423 K.

係は、コレクタ側のホール注入効率に依存性している[2], [8]。本章では、partial P collector を用

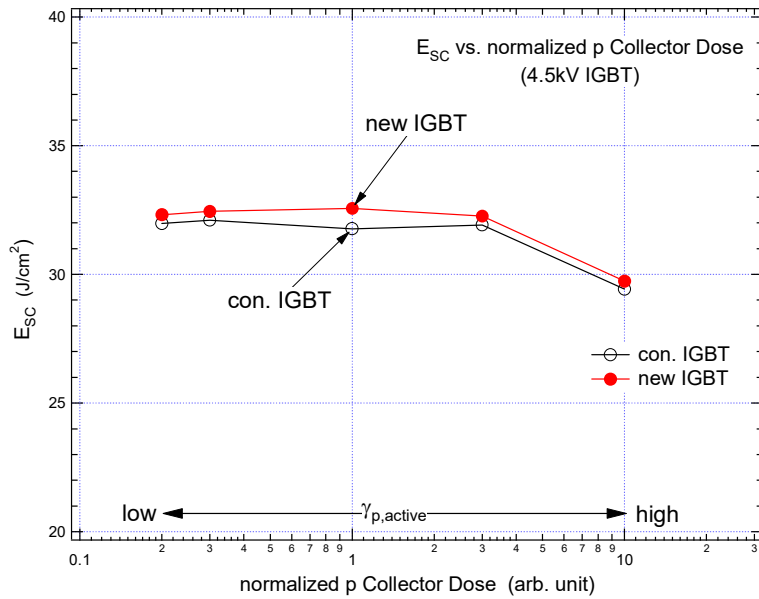


図 3.21. 種々の 4.5kV CSTBT™(III)における E_{sc} の p コレクタドーズ量依存

Fig. 3.21. Measured E_{sc} vs. normalized p collector dose characteristics of various 4.5kV CSTBT™(III)s: @V_{CC} = 3600 V, V_G = ±20.0 V, t_G > 10μs, 423 K.

いる IGBT のデバイス性能へのコレクタ側のホール注入効率の影響を紹介する。

図 3.19 は、398-448 K における J_{CES} の p コレクタ層ドーズ量依存性である。新規 IGBT は、従来の IGBT に比べ、J_{CES} の p コレクタ層ドーズ量依存性が緩やかでかつ、低リーク電流である。

図 3.20 は、比較する IGBT における J_{C(break)} の p コレクタ層ドーズ量依存性である。新規 IGBT のターンオフ遮断能力は、従来の IGBT に比べ p コレクタ層ドーズ量依存性が緩やかである。

図 3.21 は、比較する IGBT における E_{sc} の p コレクタ層ドーズ量依存性である。短絡状態での LPT(II)系 IGBT の破壊モードは、短絡条件でのターンオフ後の自己発熱による熱破壊である [2]。図 3.19 より、新規 IGBT は従来の IGBT よりも低 J_{CES} 特性のため、新規 IGBT の E_{sc} は従来の IGBT よりも大きくなる。つまり、提案する IGBT は、従来の IGBT に比べ、コレクタ側からのホール注入効率を適切に制御している結果、すぐれた SCSOA の能力を有することがわかる。図 3.19-3-21 より、新規 HV CSTBT™(III)は、新規エッジターミネーション設計を用いることで、すぐれた熱的安定性と高いダイナミックなロバスト性を兼ね備えている。

3.3.3 ロス性能

図 3.22 は、図 3.1 に示す 2 種類の IGBT の L 負荷スイッチング波形を比較した結果である。比較した IGBT は、同じ V_{CE(sat)} (@398 K) のサンプルである。新規 IGBT は、partial P collector 構造によりコレクタ側からのホール注入効率を適切に制御している結果、従来の IGBT に比べ、V_{CE} ピーク領域の dv/dt が大きくかつテール電流領域が低減している。その結果、新規 IGBT は

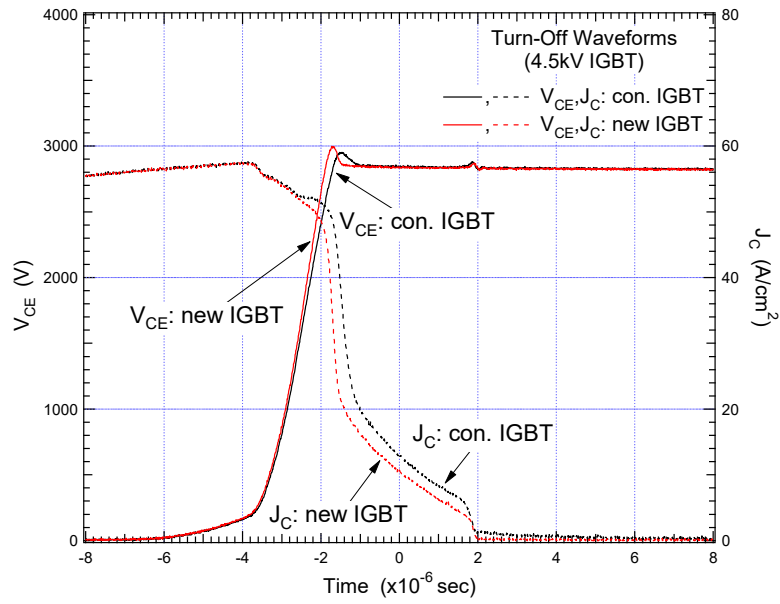


図 3.22. 種々の 4.5kV CSTBT™(III)における L 負荷スイッチングでのターンオフ波形

Fig. 3.22. Measured turn-off waveforms of various 4.5kV CSTBT™(III)s under L-load condition: @ $V_{CC} = 2800$ V, $J_C = 56$ A/cm², $V_G = \pm 15.0$ V, $dv/dt = 1800$ V/ μ s, $L_S = 2.47$ μ H, 398 K.

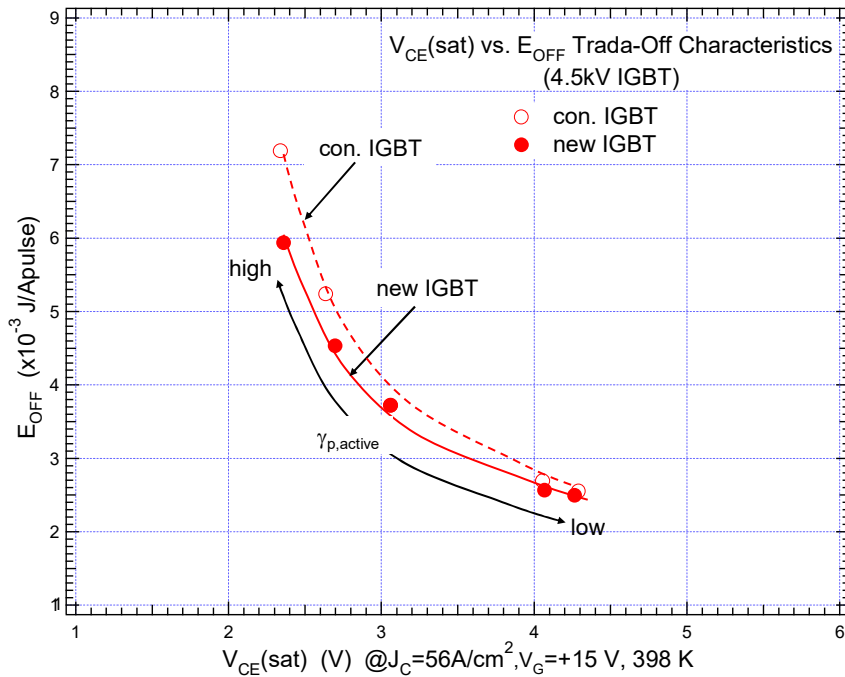


図 3.23. 種々の 4.5kV CSTBT™(III)における $V_{CE}(\text{sat})$ vs. E_{OFF} トレードオフ特性 (@398 K)

Fig. 3.23. Experimental trade-off characteristics between $V_{CE}(\text{sat})$ vs. E_{OFF} of various 4.5kV CSTBT™(III)s. Switching condition: $V_{CC} = 2800$ V, $J_C = 56$ A/cm², $V_G = \pm 15.0$ V, $L_S = 2.47$ μ H, 398 K.

従来の IGBT よりも 13%程度 の低 E_{OFF} を実現する。

図 3.23 は、図 3.1 に示す 2 種類の IGBT に関する $V_{CE(sat)}$ vs. E_{OFF} トレードオフ特性を比較したグラフである。比較した 2 種類の IGBT は、 t_n 一定に設定する。新規 HV CSTBT™(III)は、従来の構造よりも優れたトレードオフ特性を示している。図 3.19 と 3.23 より、partial P collector を有する CSTBT™(III)は、従来の IGBT に比べ低トータルロス性能を実現可能である。

3.4 まとめ

第 3 章では、HV-IGBT のターンオフ動作中の破壊モードに関して、シミュレーションを活用した HV-IGBT の内部状態の解析によりそのメカニズムを明らかにした。その結果、ダイナミック動作下でのロバスト性向上の観点から、目標とする IGBT の構成要素ごとの内部状態を明確化し、高い耐圧保持能力と低トータルロス性能を保持しながら、IGBT のダイナミックなロバスト性向上を実現する partial P collector 構造の提案とその優れた性能の実証結果を示した。

L 負荷スイッチング動作中の HV-IGBT のターンオフモードでの破壊現象は、

- 1) インターフェース領域とエッジターミネーション領域の境界に存在する pn 接合部付近にてホール電流集中とインパクトイオン化が、2 つの hot spot 形成に寄与する
 - 2) 2 つの hot spot は 1 つの高温の”hot spot”を形成し、局所的な発熱の原因となる
- 結果、インターフェース領域とエッジターミネーション領域の境界での熱破壊である。

上記 HV-IGBT の抱える技術課題の解決手段は、ダイナミック動作中上記 pn 接合部付近のキャリア濃度を最小化することによる電界強度の緩和を実現可能にするデバイス構造である。新規エッジターミネーション構造である partial P collector 構造を有する HV-IGBT は、HV-IGBT の ON 状態およびターンオフ動作中のインターフェース領域とエッジターミネーション領域にかけてのコレクタ側のホール注入効率を制御することで、目標とする IGBT の内部状態を実現する。また、新規 HV-IGBT の破壊モードは、活性領域内部での current filament 現象にて決定される。partial P collector を有する HV CSTBT™(III)は、熱的な安定性と低トータルロス性能を持ちながら優れたダイナミックなロバスト性を併せ持つ IGBT 技術である。このように partial P collector 技術は、IGBT の直面する技術課題に対してブレイクスルーするコア技術であり、Si-IGBT の今後の飛躍的な発展を支える有望な技術である。

第 3 章の参考文献

- [1] K. Nakamura, K. Sadamatsu, D. Oya, H. Shigeoka, and K. Hatade, “Wide Cell Pitch LPT(II)-CSTBT™(III) Technology Rating up to 6500 V for Low Loss,” in *Proc. ISPSD*, Hiroshima, Japan, Jun. 2010, pp. 387–390.
- [2] K. Nakamura, D. Oya, S. Saito, H. Okabe and K. Hatade, “Impact of an LPT(II) Concept with Thin Wafer Process Technology for IGBT’s Vertical Structure,” in *Proc. ISPSD*, Barcelona, Spain, Jun, 2009, pp. 295–298.
- [3] Z. Chen and K. Nakamura, “Semiconductor Device,” U.S. Patent 9 041 051, May 26, 2015.
- [4] H. Nakamura, K. Nakamura, S. Kusunoki, H. Takahashi, Y. Tomomatsu and M. Harada, “Wide Cell Pitch 1200V NPT CSTBTs with Short Circuit Ruggedness,” in *Proc. ISPSD*, Osaka, Japan, Jun. 2001, pp.299–302.

- [5] K. Nakamura, "Power Semiconductor Device Including Well Extension Region and Field-Limiting Rings," U.S. Patent 9 941 269, Apr. 10, 2018.
- [6] J. Lutz, "Freewheeling Diodes – Reverse Recovery, Ruggedness, Future Trends," in *Short Course Lecture Notes of ISPSD*, Bruges, Belgium, Jun. 2012, pp. 1-27.
- [7] K. Nakamura, "Method for Manufacturing Semiconductor Device," JP Patent 6065067, Jan. 25, 2017.
- [8] M. Rahimo, A. Kopta, S. Eicher, U. Schlapbach, and S. Linder, "A Study of Switching-Self-Clamping-mode SSCM as an Over-voltage Protection Feature in High Voltage IGBTs," in *Proc. ISPSD*, Santa Barbara, CA, USA, May 2005, pp. 67–70

第 4 章 FWD の高性能化に向けた n バッファ層設計

本章では、第 1.3.3-(1)章にて述べた IGBT, FWD 技術の共通課題に関する研究結果を示す。

4.1 n バッファ構造およびコンセプト

図 4.1(b)には、今回提案する n バッファ層を有する RFC diode を示す。表 4.1 は、従来の RFC diode と提案する縦構造を有する RFC diode のデバイス構造パラメータに関し比較した一覧表である。提案する RFC diode は、第 2 章に記述するシャローな n⁺層と p 層とが交互に一定の幅にて配置するカソード構造[1]と LPT(II) n バッファ層[2]と controlling carrier-plasma layer (CPL)領域[3]からなる新規 n バッファ構造からなる diode である。n⁺層と p 層から成るカソード構造は、ON 状態からのカソード側の電子注入効率を制御し、ダイナミック状態でのカソード側の電界強度緩和を実現する[4]。

提案する RFC diode は、カソード側に下記役割を担う新規 n バッファ構造を有するデバイス構造である。

- LPT(II) n バッファ構造:

diode の逆バイアス条件の動作時にカソード側へ伸びる空乏層を止める役割を担う層である。

- CPL 領域:

diode のダイナミック動作時にカソード側の蓄積したキャリアプラズマ層を制御し電界強度の

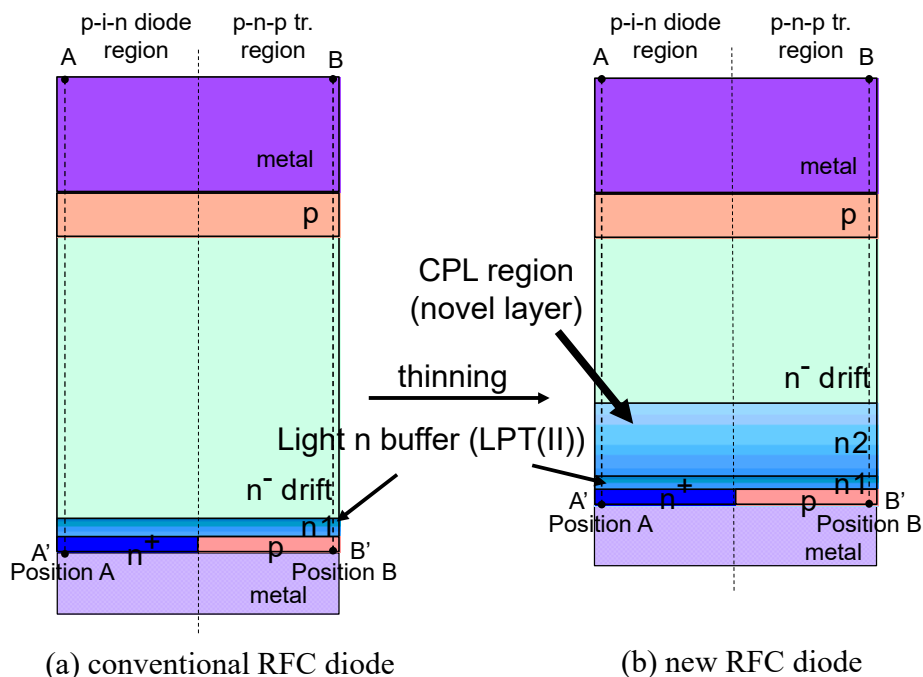


図 4.1. 種々の RFC diode 断面構造図

Fig. 4.1. Schematic cross-sectional view of various RFC diode.

表 4.1. 技術検討に持たしたデバイスに関するデバイスパラメータ比較一覧表

TABLE 4.1. COMPARISON WITH DEVICE PARAMETERS FOR THIS STUDY

Item			diode type	
			conventional RFC diode	new RFC diode
resistivity of n ⁻ drift layer (arb. unit)			1	≈1.2
device thickness: t _n (arb. unit)			1 (thin)	0.9 (thinning)
n layer (backside)	n1 layer (LPT(II)) [2]	doping	low	low
		depth	shallow	shallow
		carrier lifetime	long	long
	n2 layer (CPL) [3]	doping	-	lower and gradual
		depth	-	deep
		carrier lifetime	-	medium
cathode			shallow n+/p alternating layer [1]	shallow n+/p alternating layer [1]
lifetime control			anode side: electron beam	anode side: electron beam

勾配を緩やかにする役割を担う領域である。

CPL は、イオン種として荷電粒子を用い、高エネルギーイオン注入技術と、MOS ゲート部やアルミ配線へ悪影響を及ぼさない低温アニーリング技術という TWP 技術にマッチングするプロセス技術を用いて形成する。CPL のドーピング濃度は、LPT(II) n バッファ層よりも一桁低濃度である。

図 4.2 は、新規 RFC diode の n バッファ構造である LPT(II) と CPL それぞれに関する 30 K での photoluminescence (PL) 法によるスペクトル結果である。PL 法は、半導体へ光を照射し、欠陥準位を経由して電子-ホール対が再結合する際に放出される光を観察し、Si のバンド中の欠陥を解析する手法である。図 4.2 の縦軸は、各層のバンド端の PL 強度にて規格化した PL 強度である。CPL 領域には、LPT(II) 層に比べ 2 つのホールトラップ(即ち、W-center (1.0182 eV) と X-center (1.0398 eV)) に関係した特徴的なピーク準位が存在する[5], [6]。これらホールトラップは、CPL 領域内部でのキャリア再結合現象の促進に寄与する。観察した W-center と X-center は、Si 結晶を構成する格子構造から格子間 Si 対のため[6]、パワー半導体のデバイス性能面から注目される Si 材料中の不純物(例えば、炭素や酸素[7])との置換反応による Si バンド中の不純物欠陥形成への寄与は無いと考える。特に、Si バンド中の不純物欠陥は、荷電粒子をキャリアライフタイム制御として用いる場合にその挙動に注意する必要がある[8]。よって、CPL 技術は、Si ウエハの大口径化に伴う種々のウエハ材料を活用するにあたり、Si ウエハ中の不純物による悪影響を最小限化できる可能性がある。

図 4.3 は、表 4.1 に示す 2 種類の diode 構造に関する 1200 V クラスでのリカバリー特性に関

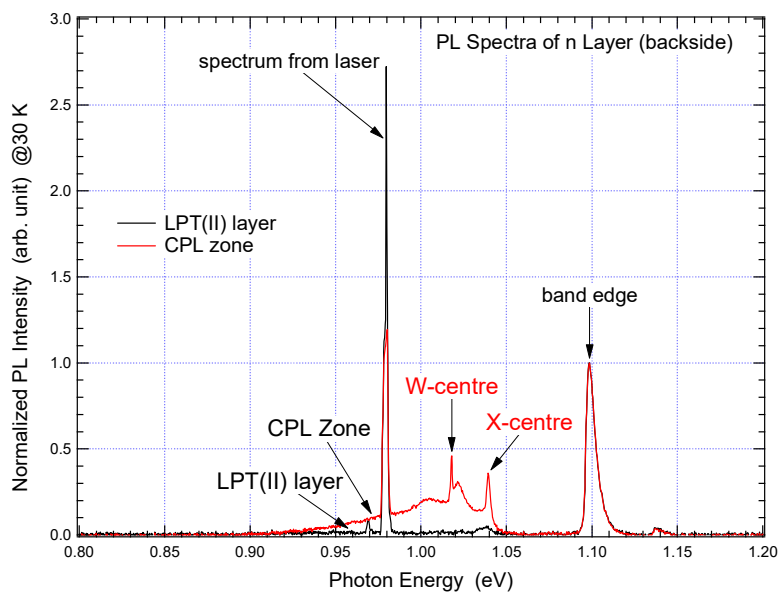


図 4.2. RFC diode の新規 n バッファ層に関する PL スペクトル

Fig. 4.2. PL spectra of the novel n buffer for RFC diode: @30K.

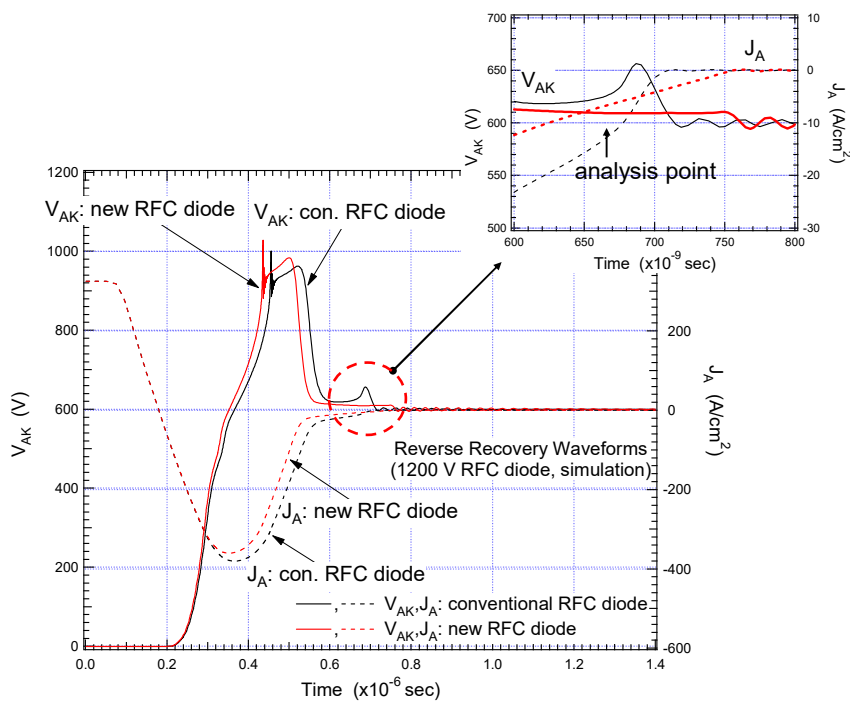


図 4.3. シミュレーションによる種々の 1200 V RFC diode のノーマルリカバリー波形

Fig. 4.3. Simulated normal reverse recovery waveforms of various 1200 V RFC diodes: @ $V_{CC} = 600$ V, $J_F = 337$ A/cm², $L_S = 200$ nH, 423 K. Insert: expanded view for the inside of the dashed circle.

するシミュレーション結果である。比較したデバイスの n ドリフト層パラメータは、表 4.1 の新規 RFC diode のパラメータに設定する。図 4.4 は、図 4.3 中の snap-off 現象直前(図 4.3 中の analysis

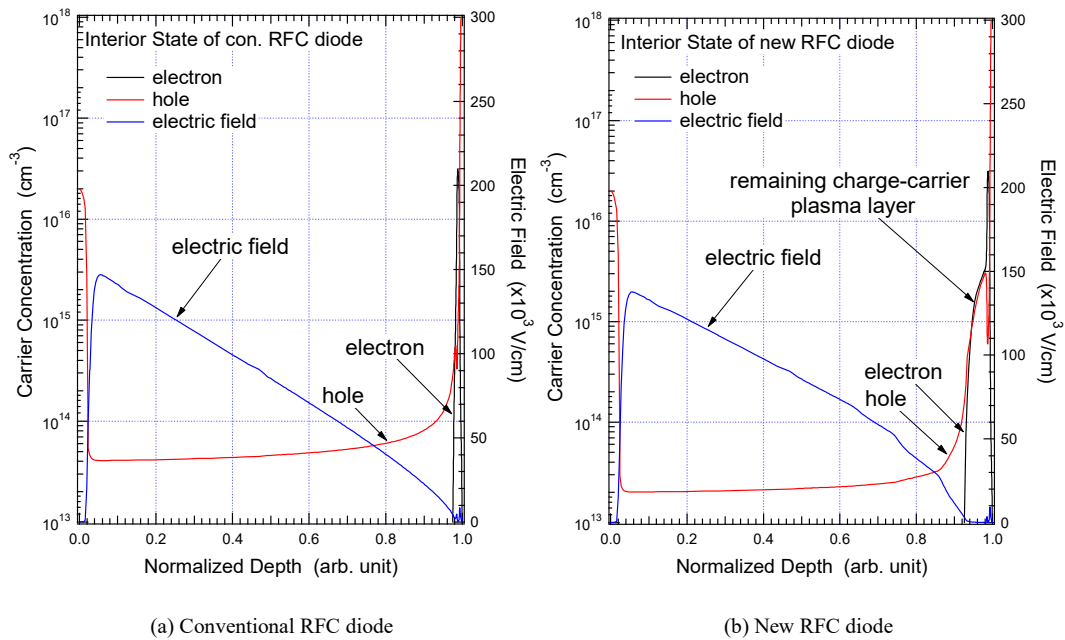


図 4.4. シミュレーションによる図 4.3 中の analysis point における種々の 1200 V RFC diode に関する図 4.1 の A-A 線に沿ったキャリア濃度分布と電界強度分布のデバイス内部状態

Fig. 4.4. Simulated carrier distribution and electric field strength for various 1200 V RFC diodes at analysis point shown in Fig. 3 for Position B (line B-B) in Fig. 1. (a) Conventional RFC diode. (b) New RFC diode

point)での図 4.1 中の Position B でのキャリア濃度分布と電界強度分布である。図 4.4 より、提案する n バッファ構造を有する RFC diode は、LPT(II) n バッファ層のみの従来構造よりも、カソード側に高濃度の残留キャリアプラズマ層が存在する。このカソード側の残留キャリアプラズマ層は、リカバリー動作後半でのカソード側への空乏層の伸びを緩やかにし、リカバリー動作終了時のテール電流領域の終わりの dj_R/dt を小さくする。その結果、図 4.3 に示しように、CPL 領域はノーマルリカバリー動作にて snap-off 現象を抑制し、ソフトスイッチングの挙動を可能にする。

4.2 RFC diode のハードスイッチング動作下での破壊メカニズム

4.2.1 ハードスイッチング動作下での破壊現象

図 4.5 は、従来の 4.5kV RFC diode(図 4.1 のデバイス構造(a))にて、低 J_F で低 T_J な snappy リカバリー条件にて観察した破壊波形と破壊箇所の観察結果である。図 4.5(a)から、ハードスイッチング条件下での RFC diode の破壊は、巨大なテール電流中に発生する。また、図 4.5(b)から、この特徴的な破壊時の破壊箇所は、第 2-2-1 章にて述べた破壊箇所の特徴と異なり、突き刺したような形状でかつ、アノードからカソードへ貫通している。

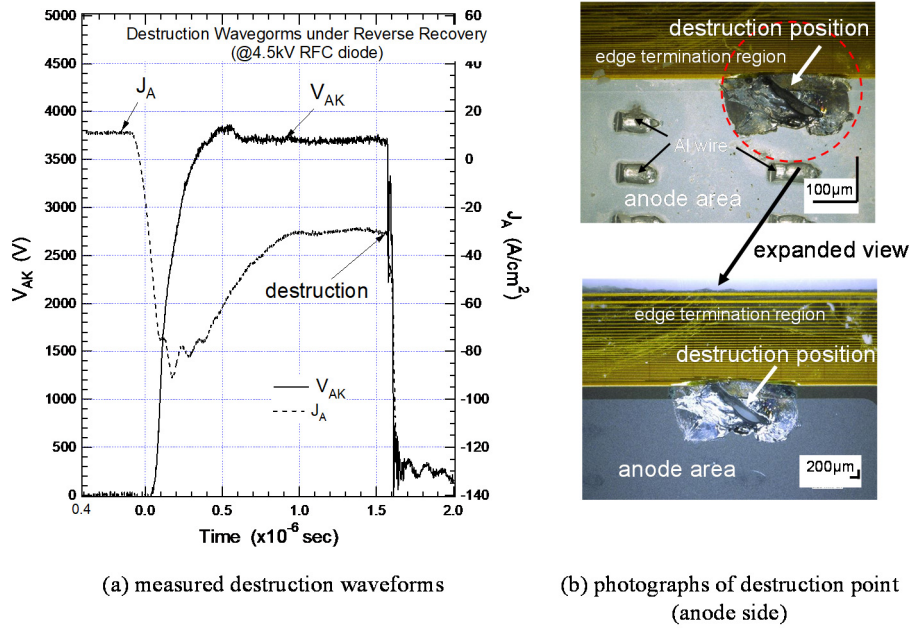


図 4.5. リカバリー動作中における従来の 4.5kV RFC diode における破壊波形および破壊書

Fig. 4.5. Observed destruction phenomenon of a conventional 4.5kV RFC diode during reverse recovery. (a) Measured destruction waveforms: @ $V_{CC} = 3600$ V, $J_F = 10$ A/cm² (x0.1 J_A), $dj_A/dt = 590$ A/cm²µs, $L_S = 2.0$ µH, 253 K. (b) Photographs of destruction point point for anode side.

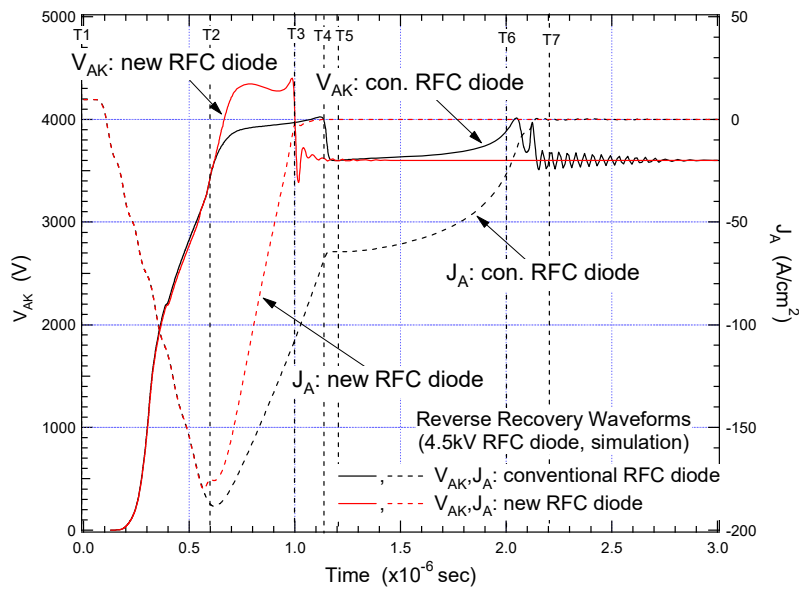


図 4.6. シミュレーションによる snappy リカバリー動作条件下での種々の 4.5kV RFC diode のリカバリー波形

Fig. 4.6. Simulated reverse recovery waveforms of various 4.5kV RFC diodes under worst case conditions in terms of snappy recovery: @ $V_{CC} = 3600$ V, $J_F = 10$ A/cm² (x0.1 J_A), $L_S = 2.0$ µH, 298 K.

4.2.2 破壊現象へのシミュレーションによる解析

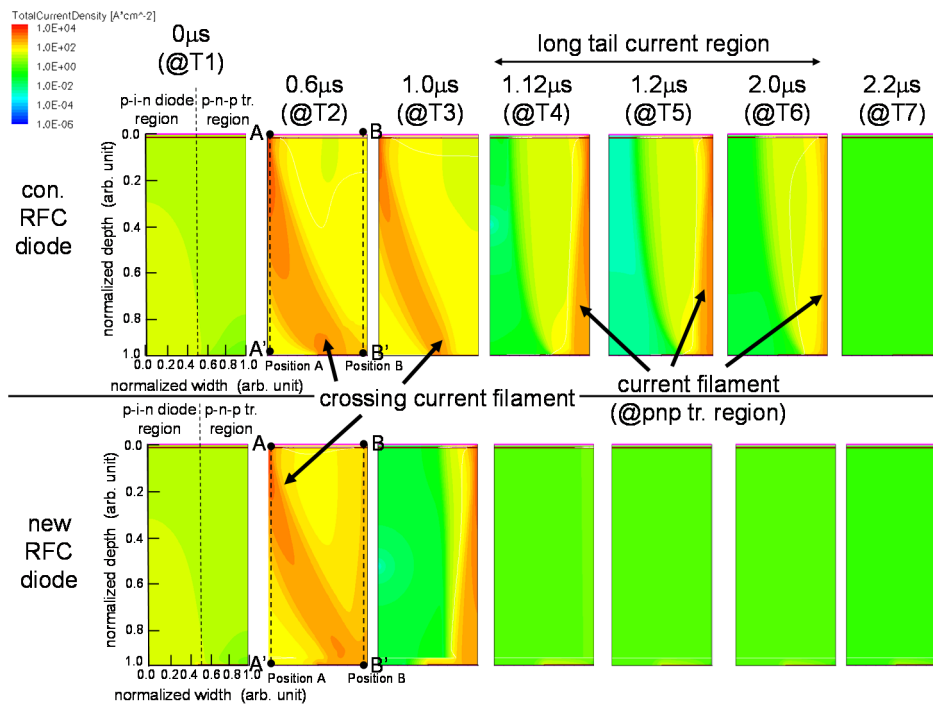


図 4.7. シミュレーションによる種々の 4.5kV RFC diode における図 4.6 中の解析ポイント(T1-T7)における電流密度分布
 Fig. 4.7. Simulated current density distribution for various 4.5kV RFC diodes from T1 to T7 shown in Fig. 4.6. Vertical and horizontal axes: normalized by device thickness and device structure width.

図 4.6 は、表 4.1 に示す 2 種類の 4.5kV RFC diode における、snappy リカバリー動作の観点からワーストケースの条件でのリカバリー特性に関するシミュレーション結果である。比較したデバイスの n ドリフト層パラメータは、表 4.1 の新規 RFC diode のパラメータに設定する。従来の diode は、新規 diode よりテール電流が長くなる挙動を示す。本挙動は、耐圧クラスに関係なく観察される挙動である。

図 4.7 は、図 4.6 中の T1 から T7 の解析ポイントでの電流密度分布の変化を示す。図中の Position A と Position B は、それぞれ図 4.1 中の Position A と Position B と同じポジションである。従来の n バッファ構造の RFC diode は、提案する n バッファ構造を有する RFC diode よりも、リカバリー動作中にデバイス内部に発生する current filament が長時間発生している。この注目する current filament は、リカバリー動作中に RFC diode 内部の p-i-n diode 領域から寄生の p-n-p トランジスタ領域をクロスするという特徴的な挙動を示す。図 4.8(a)と 4.8(b)は、図 4.6 中の T1 から T7 の解析ポイントでの、それぞれ図 4.1 中の Position A(p-i-n diode 領域)と Position B(p-n-p トランジスタ領域)に沿った縦方向のキャリア濃度分布と電界強度分布の変化を示す。図 4.8 から、従来の RFC diode では、p アノード/n ドリフト層接合部(pn 接合部)での高い電界強度($> 2.0 \times 10^5$ V/cm)となっている期間が長く、テール電流領域直前(@T4)に、RFC diode 内部の p-i-n diode 領域から寄生の p-n-p トランジスタ領域へ移動する。この挙動が、ダイナミック動作下でのアノード側での pn 接合部にてインパクトイオン化を促進する。

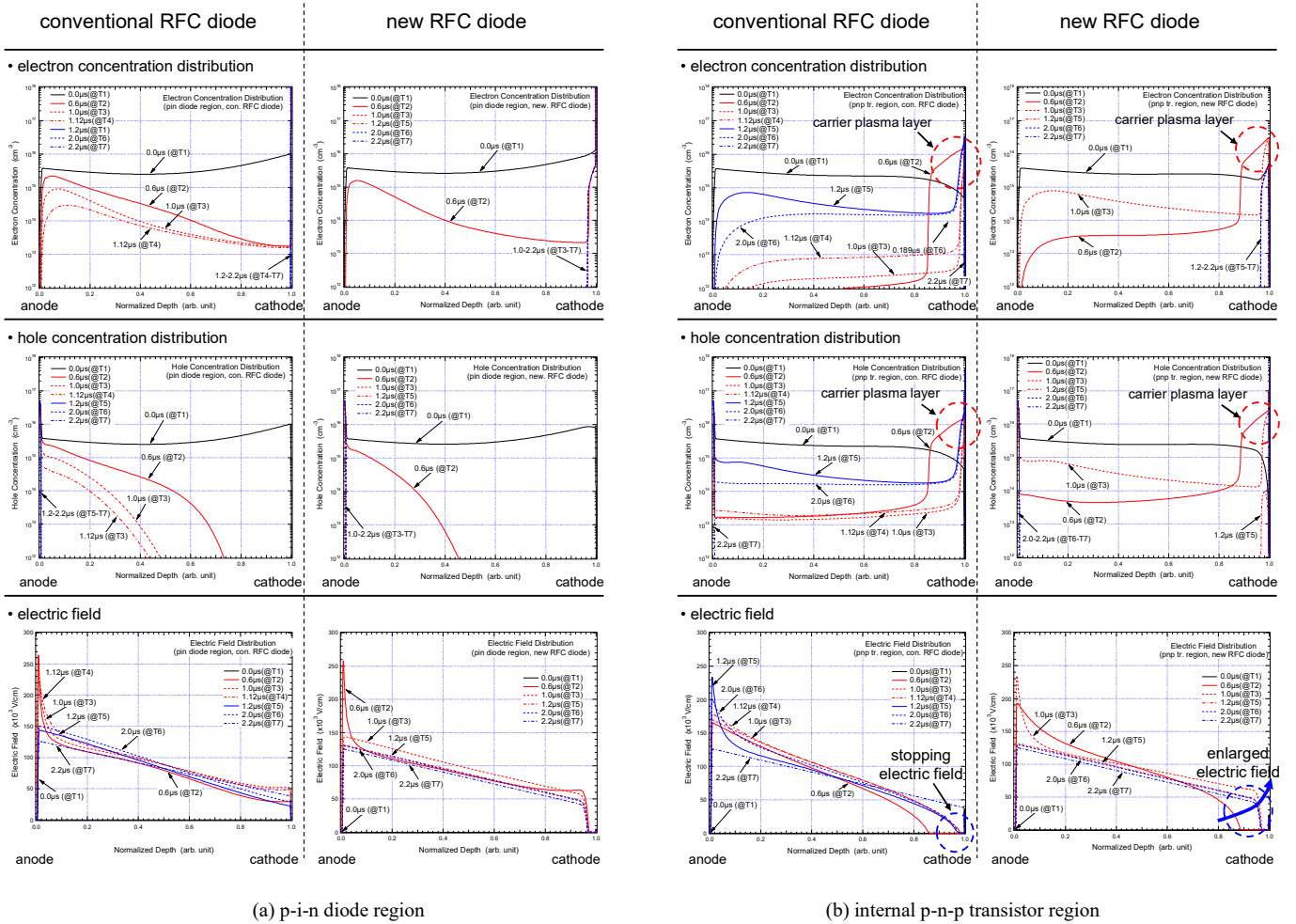


図 4.8. シミュレーションによる種々の 4.5kV RFC diode での図 4.6 中の解析ポイント(T1-T7)におけるキャリア濃度分布および電界強度奉納
 Fig. 4.8. Simulated carrier concentration and electric field strength for various 4.5kV RFC diodes from T1 to T7 shown in Fig. 4.6. (a) p-i-n diode region at Position A (line A-A') shown in Fig. 7. (b) Internal p-n-p transistor region at Position B (line B-B') in Fig. 7.

以上から、ハードスイッチング条件下で巨大なテール電流領域での RFC diode の破壊現象は、以下のメカニズムにて発生する。

- 1) step 1: リカバリー動作初期では p-i-n diode 領域のアノード側のキャリア濃度が高く、pn 接合部の電界強度上昇しインパクトイオン化を促進する(@T2-T3);
- 2) step 2: キャリアプラズマ層が、寄生の p-n-p トランジスタ領域のカソード側に、残留電子とカソード側から注入したホールにより長時間存在する(@T2-T6);
- 3) step 3: 長時間存在するキャリアプラズマ層によりカソード側への space-charge region の伸びが妨げられ、寄生の p-n-p トランジスタ領域のアノード側の pn 接合部でのインパクトイオン化の促進が継続する(ダイナミックアバランシェ現象, @T3-T6);
- 4) step 4: インパクトイオン化現象にて生成した電子が、アノード側の pn 接合部から n ドリフト層へ注入される(@T3-T6)
- 5) step 5: current filament の p-i-n diode 領域から寄生の p-n-p トランジスタ領域をクロスする特徴的な現象が発生し(@T2-T3), アノード側の pn 接合部でのインパクトイオン化ポイントのシフトに追従して寄生の p-n-p トランジスタ領域内部を移動する(@T4-T6);

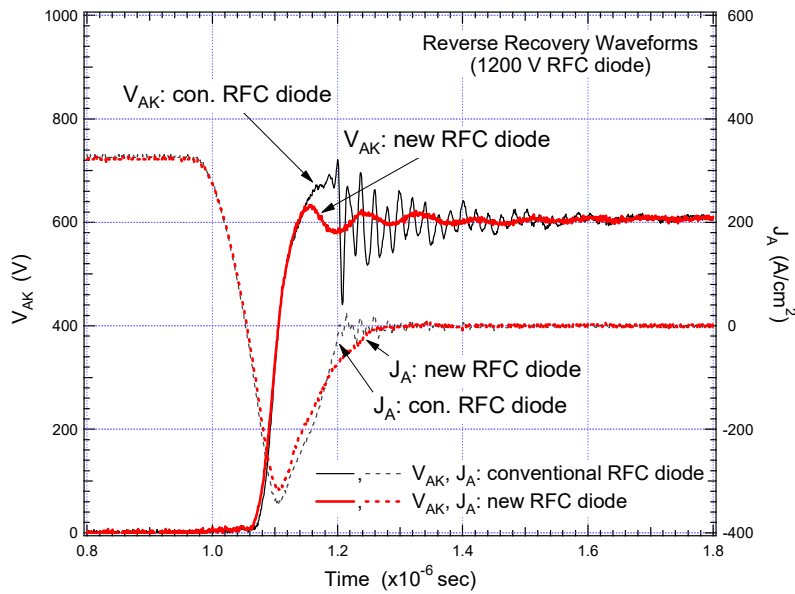


図 4.9. 種々の 1200 V RFC diode のリカバリー波形

Fig. 4.9. Measured reverse recovery waveforms of various 1200 V RFC diodes with the same high resistivity and thin t_n under normal conditions: $V_{CC} = 600$ V, $J_F = 337$ A/cm², $dj_A/dt = 6200$ A/cm²μs, $dv/dt = 12000$ V/μs, $L_S = 200$ nH, 298 K.

6) step 6: このような RFC diode に存在する寄生の p-n-p トランジスタ領域の挙動が巨大なテール電流の原因となる(@T3-T6)。

この RFC diode 内部の寄生の p-n-p トランジスタ領域の動作が、リカバリー動作中の不安定性を引き起こし、図 4.5(a)のようなハードスイッチング条件下での破壊の原因となる。つまり、図 4.5(a)の破壊現象は、寄生の p-n-p トランジスタ領域のアノード側の pn 接合部でのダイナミックアバランシェに起因した現象である。この破壊は、RFC diode の活性領域からエッジターミネーション領域にかけてのカソード側パターン[4]に依存せず、図 4.5(b)のように活性領域にて発生する。シミュレーションによる解析結果から、新規 RFC diode は、リカバリー動作中に CPL 領域にてキャリア再結合の促進に基づいたキャリアプラズマ層を制御することで、上記破壊現象を抑制する。以上から、提案する FWD は、高いダイナミックな耐久性を実現する可能性を秘めている。

4.3 試作結果

本章では、提案する n バッファ構造が RFC diode のデバイス性能への有効な効果を明らかにする。すべてのデータは、Si ウエハとして FZ ウエハを用い、ロングキャリアライフタイムプロセス技術[9]を適用して試作した 1200 V および 4.5kV RFC diode の試作結果である。評価した 1200 V および 4.5kV RFC diode の定格電流密度(J_A)は、それぞれ 337 A/cm² および 95,6 A/cm² である。

4.3.1 ハードスイッチング動作下でのダイナミックな挙動

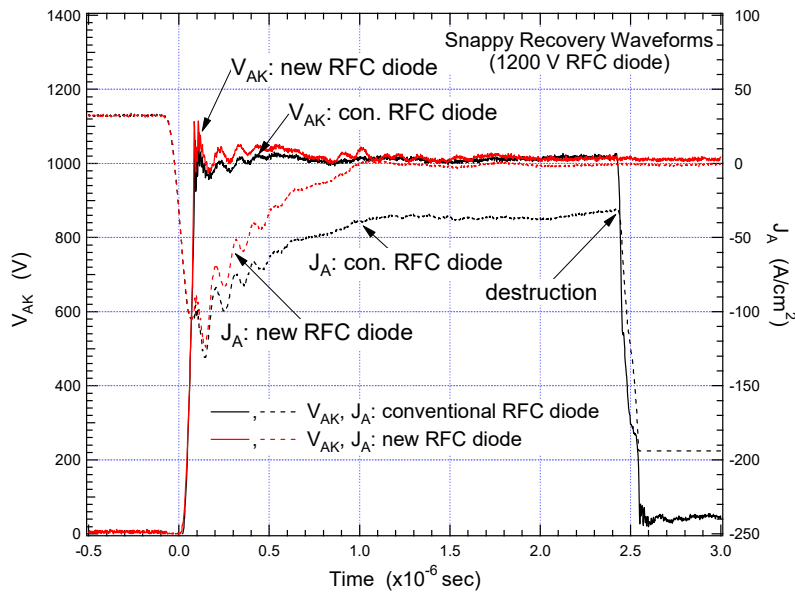


図 4.10. 種々の 1200 V RFC diode の snappy リカバリー動作条件下でのリカバリー波形

Fig. 4.10. Measured reverse recovery waveforms of various 1200 V RFC diodes under worst case condition in terms of snappy conditions: $V_{CC} = 1000$ V, $J_F = 33.7$ A/cm² ($\times 0.1J_A$), $dj_A/dt = 1200$ A/cm² μ s, $dv/dt = 13000$ V/ μ s, $L_S = 2.0\mu$ H, 253 K.

本章の図 4.9 と 4.13 にて比較したデバイスの n ドリフト層パラメータは、表 4.1 の新規 RFC diode のパラメータに設定する。

図 4.9 は、種々の 1200 V RFC diode でのノーマルリカバリー条件下でのリカバリー波形である。t_nのシュリンク化(薄厚化)した新規 RFC diode は、従来の RFC diode に比べリカバリー動作終了時の snap-off 現象およびその後の発振現象抑制し、ソフトリカバリー挙動を示すことがわかる。

図 4.10 は、表 4.1 に示す 2 種類の diode に関する snappy リカバリー動作に着目したスイッチング条件下でのリカバリー波形である。図 4.10 より、新規 RFC diode は、従来の RFC diode よりも縦方向シュリンクしているものの、巨大なテール電流を抑制し厳しいリカバリー条件下でも遮断可能である。図 4.11 には、図 4.10 の巨大なテール電流による破壊現象の着目し、リカバリー動作中の逆回復電荷量(Q_{RR})の回路条件依存性を示す。低温での Q_{RR} の挙動は、第 4.2.2 章にて述べたリカバリー動作中のダイナミックアバランシェ動作に依存する。図 4.11 から、新規 n バッファ構造を有する RFC diode は、従来の RFC diode よりもダイナミックアバランシェ動作が引き起しやすい条件下でも Q_{RR} の回路パラメータ依存性が鈍感であり、巨大なテール電流発生後の破壊モードを抑制し、ダイナミック動作時の耐久性に優れている。この挙動は、リカバリー動作後半での CPL 領域におけるキャリアの再結合を促進することによるものと考えられる。図 4.12 には、表 4.1 に示す 2 種類の diode に関する nappy リカバリー動作時の安全動作温度範囲を示す。新規 RFC diode は、従来の RFC diode よりも 253 K 以下の低温側にて高 V_{CC} 側に SOA を拡大させる。

図 4.13 は、表 4.1 に示す 2 種類の 4.5kV RFC diode におけるハードスイッチング条件下でのリ

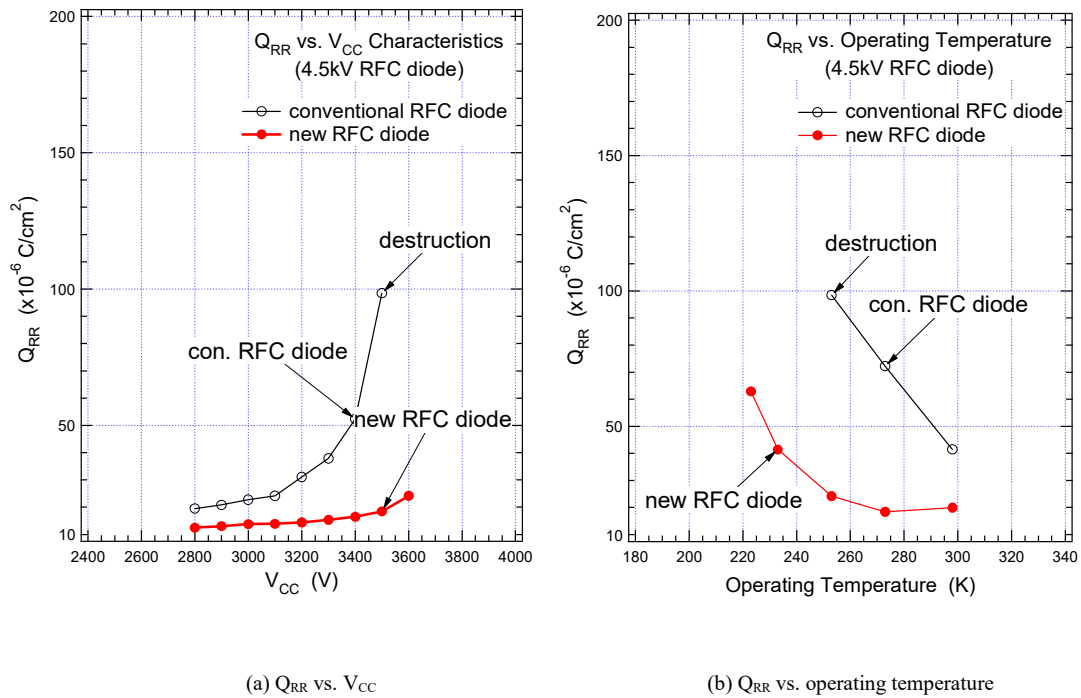


図 4.11. 種々の 1200 V RFC diode における (a) Q_{RR} vs. V_{CC} 特性および (b) Q_{RR} vs. 動作温度特性

Fig. 4.11. Measured 1200 V diode snappy recovery capability results at 33.7 A/cm^2 ($\times 0.1 \text{ J}_A$) showing Q_{RR} as function (a) V_{CC} and (b) operation temperature. Switching condition: (a) $dj_A/dt = 1200 \text{ A/cm}^2\mu\text{s}$, $dv/dt = 13000 \text{ V}/\mu\text{s}$, $L_S = 2.0\mu\text{H}$, 253 K; (b) $V_{CC} = 1000 \text{ V}$, $dj_A/dt = 1200 \text{ A/cm}^2\mu\text{s}$, $dv/dt = 13000 \text{ V}/\mu\text{s}$, $L_S = 2.0\mu\text{H}$.

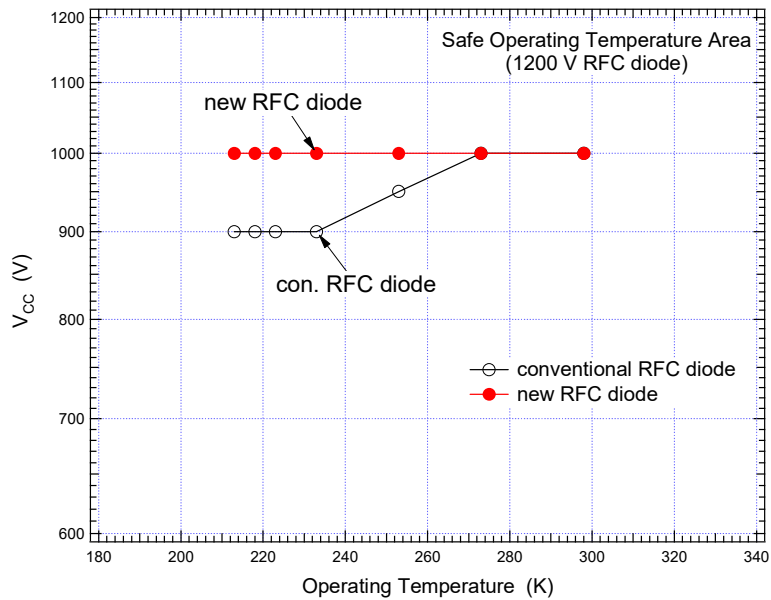


図 4.12. 種々の 1200 V RFC diode における snappy リカバリー動作条件下での安全動作温度範囲

Fig. 4.12. Measured safe operating temperature area of various 1200 V RFC diodes under snappy conditions: $J_F = 33.7 \text{ A/cm}^2$ ($\times 0.1 \text{ J}_A$), $dj_A/dt = 1200 \text{ A/cm}^2\mu\text{s}$, $dv/dt = 13000 \text{ V}/\mu\text{s}$, $L_S = 2.0\mu\text{H}$.

カバリー波形を比較した結果である。図中の従来の diode の波形は、図 4.5(a)と同じである。図

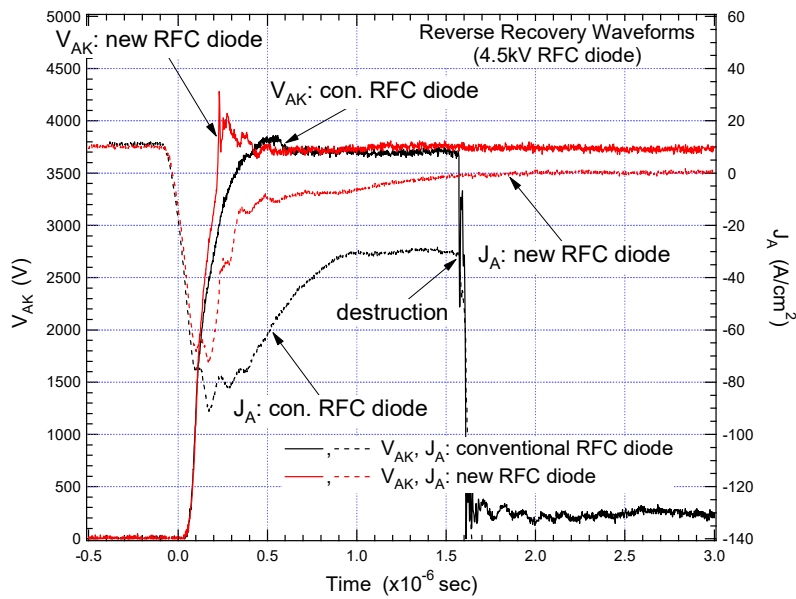


図 4.13. 種々の 4.5kV RFC diode の snappy リカバリー動作条件下でのリカバリー波形

Fig. 4.13. Measured reverse recovery waveforms of various 4.5kV RFC diodes with the same high resistivity and thin t_n under hard switching conditions: $V_{CC} = 3600$ V, $J_F = 10$ A/cm² ($\times 0.1J_A$), $dj_A/dt = 590$ A/cm² μ s, $dv/dt = 32000$ V/ μ s, $L_S = 2.0\mu$ H, 253 K.

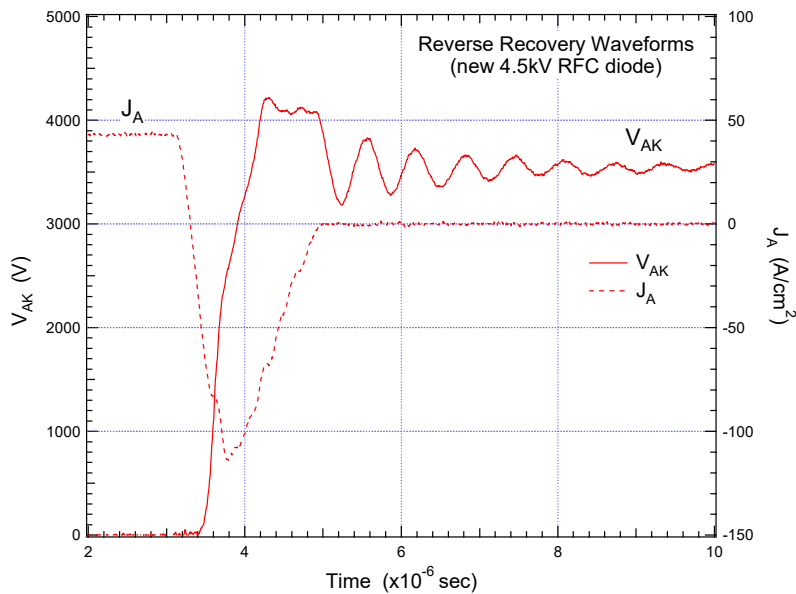


図 4.14. 新規 4.5kV RFC diode の高 L_S 条件下での snappy リカバリー遮断能力

Fig. 14. Measured snappy recovery capability of new 4.5kV RFC diode under higher L_S conditions: $V_{CC} = 3600$ V, $J_F = 40$ A/cm² ($\times 0.4J_A$), $dj_A/dt = 310$ A/cm² μ s, $dv/dt = 10800$ V/ μ s, $L_S = 6.8\mu$ H, 298 K.

4.14 には、新規 4.5kV RFC diode に関する高 L_S (6.8 μ H)下での snappy モードでのターンオフ遮断能力を示す。図 4.13 および 4.14 から、新規 n パック構造を有する FWD は、ターンオフ遮断能力を犠牲にすることなく、高 L_S な HV アプリケーションに適用可能であることを示唆してい

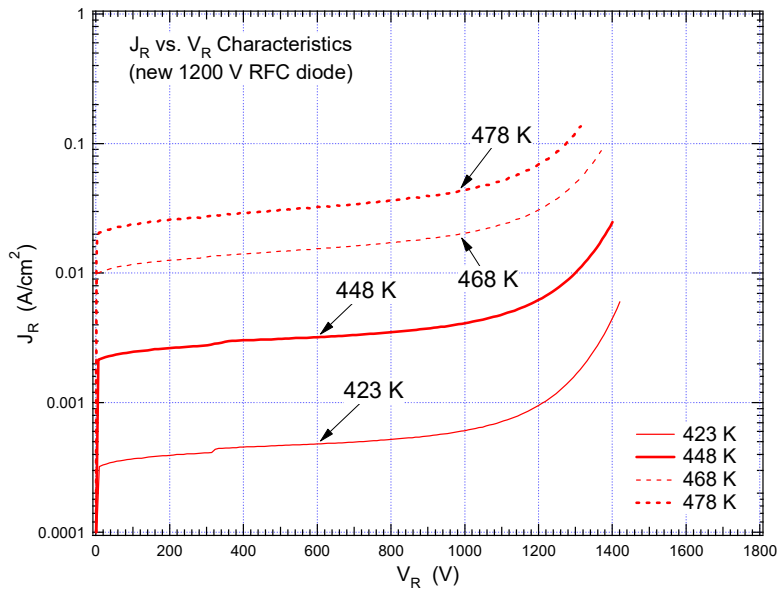


図 4.15. 新規 1200 V RFC diode の J_R vs. V_R 特性 (@423-448 K)

Fig. 4.15. Measured junction leakage current characteristics of new 1200 V RFC diode: @423–478 K.

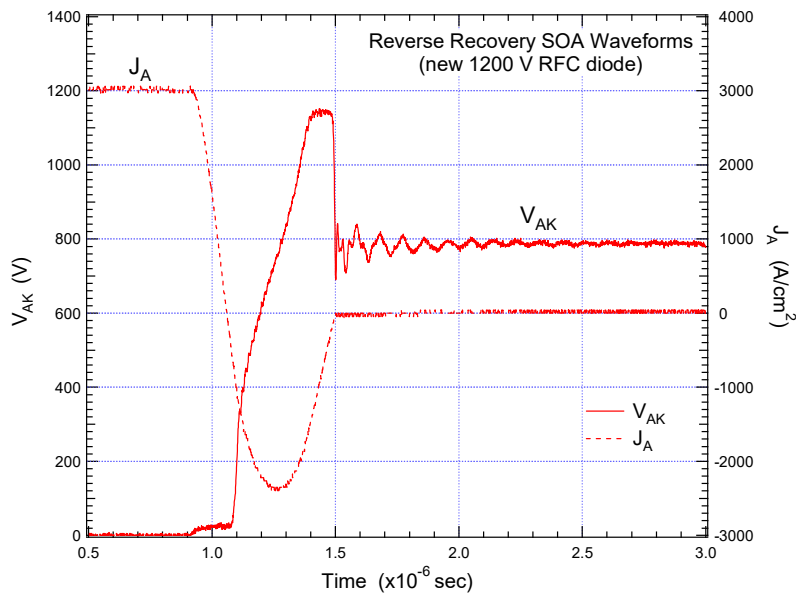


図 4.16. 新規 1200 V RFC diode のリカバリー遮断能力 (@473 K)

Fig. 4.16. Reverse recovery capability of new 1200 V RFC diode: @V_{CC} = 800 V, J_F = 3000 A/cm² (≈x10.0J_A), dj_A/dt = 31000 A/cm²μs, dv/dt = 15000 V/μs, L_S = 200nH, 473 K.

る。

4.3.2 高温動作

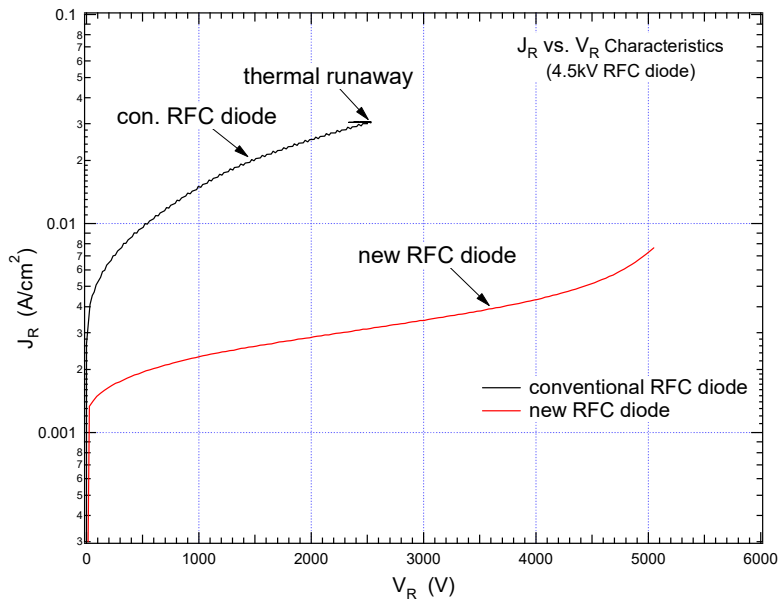


図 4.17. 種々の 4.5kV RFC diode の J_R vs. V_R 特性 (@448 K)

Fig. 4.17. Measured reverse bias blocking current characteristics of various 4.5 kV RFC diodes with the same high resistivity and thin t_n : @448 K.

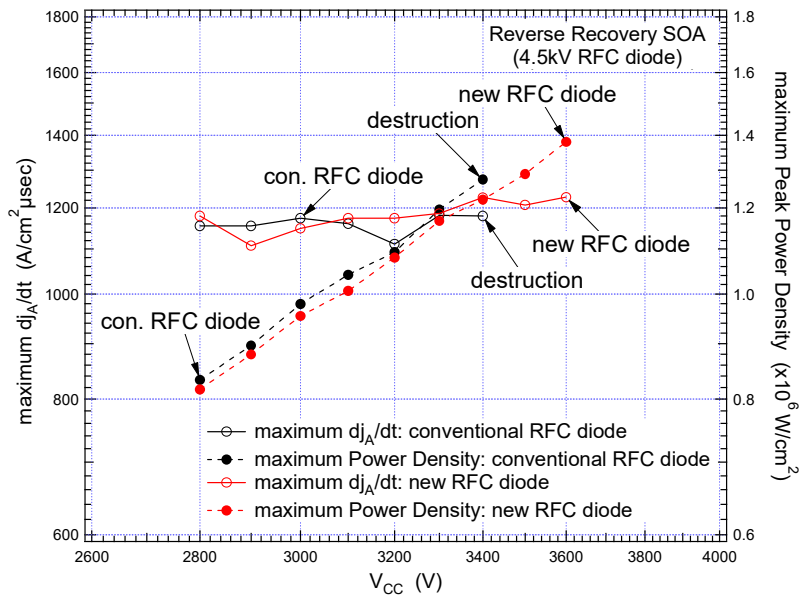


図 4.18. 種々の 4.5kV RFC diode のリカバリーSOA

Fig. 4.18. Measured 4.5kV diode reverse recovery SOA results at 214 A/cm^2 ($\times 2.2 J_A$) showing maximum dj_A/dt and maximum power density as function V_{CC} : @ $dv/dt = 10000 \text{ V}/\mu\text{s}$, $L_S = 2.0 \mu\text{H}$, 423 K. The compared devices are of the same high resistivity and thin t_n .

本章の図 4.17 と 4.18 にて比較したデバイスの n -ドリフト層パラメータは、表 4.1 の新規 RFC diode のパラメータに設定する。

図 4.15 は、新規 1200 V RFC diode の J_R vs. V_R 特性の測定温度依存性である。新規 diode は、

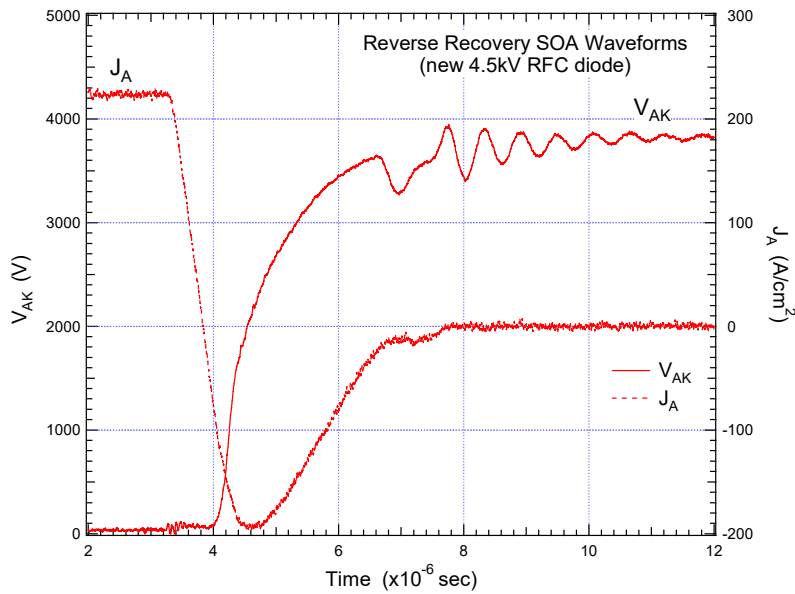


図 4.19. 新規 4.5kV RFC diode の高 L_s 条件下でのリカバリ遮断能力 (@448 K)

Fig. 4.19. Reverse recovery capability of new 4.5kV RFC diode under hard-switching conditions: $V_{CC} = 4000$ V, $J_F = 240$ A/cm² (x2.5 J_A), $dj_A/dt = 470$ A/cm² μ s, $dv/dt = 5200$ V/ μ s, $L_s = 6.8\mu$ H, 448 K.

熱暴走無く 473 K でもオペレーション可能であり、温度上昇しても低 OFF ロス性能を示す。新規 n バッファ構造を有する 1200 V RFC diode の高温下(473 K)でのリカバリ動作時の遮断能力を、図 4.16 に示す。提案する RFC diode は、473 K という高温下でも 2,3 MW/cm² 以上のピークパワーエネルギー密度を遮断可能である。この数値は、1200 V クラスとしてこれまでに報告の例を見ない優れた値である。

図 4.17 は、表 4.1 に示す 2 種類の 4.5kV RFC diode における 448 K での J_R vs. V_R 特性である。新規 RFC diode は、高い静耐圧能力を示しながら 448 K という高温でも従来の diode にて観察される熱暴走現象無く遮断可能である。図 4.18 は、種々の 4.5kV RFC diode におけるリカバリ SOA である。ここで、maximum dj_A/dt は、リカバリ動作時の破壊無く遮断可能な最大の dj_A/dt である。図 4.18 から、新規 RFC diode は従来の RFC diode よりも明らかに広いリカバリ SOA を示す。図 4.19 は、新規 n バッファ構造を有する 4.5kV RFC diode に関する $L_s = 6.8\mu$ H という高 L_s 条件下でのターンオフ遮断能力である。新規 RFC diode は、 $V_{CC} = 4000$ V, $J_F \geq 240$ A/cm² (x2.5 J_A), $L_s = 6.8\mu$ H, 448 K という厳しいリカバリ条件でも遮断可能である。

以上から、提案する n バッファ構造を有する RFC diode は、ホールトラップとして作用する格子間 Si 対が存在する CPL 領域が存在するものの、熱的に安定のため 448 K 以上の高温動作を保証可能である。つまり、この結果は、Si-power diode の 473 K(200 °C)動作の可能性を示唆する結果である。

4.3.3 ロス性能

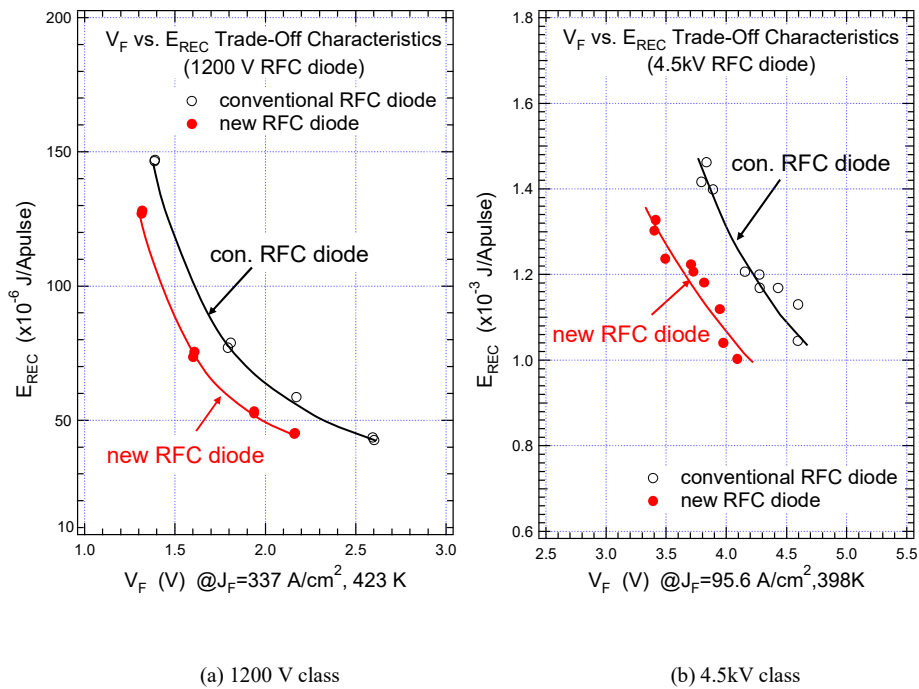


図 4.20. 種々の(a) 1200 V RFC diode および(b) 4.5kV RFC diode における V_F vs. E_{REC} トレードオフ特性

Fig. 4.20. Experimental trade-off characteristics between V_F and E_{REC} of various RFC diodes. Switching condition: (a) $V_{CC} = 600$ V, $J_F = 337$ A/cm 2 , $dj_A/dt = 6200$ A/cm $^2\mu$ s, $L_S = 200$ nH, 423 K (@1200 V class); (b) $V_{CC} = 2800$ V, $J_F = 95.6$ A/cm 2 , $dj_A/dt = 286$ A/cm $^2\mu$ s, $L_S = 2.0\mu$ H, 398 K (@4.5kV class).

図 4.20 は、表 4.1 に示す 2 種類の 1200 V/4.5 kV diode の V_F vs. E_{REC} トレードオフ特性である。図中のトレードオフ特性は、表 4.1 に示すように電子線を使ったライフタイム制御を用いて制御した結果である。薄厚化した新規 RFC diode は、従来の diode に比べ優れたトレードオフ特性を示す。その上、提案する FWD は、図 4.15,4.17 および 4.20 より、どの耐圧クラスでも低トータルロス性能を示す。

4.4 IGBT への応用

4.4.1 短絡動作への寄与[11]–[13]

第 1.2 章では、ターンオフ動作中のデバイス内部状態から IGBT と diode の動作の類似性を述べた。ただし、IGBT の動作の中で FWD の動作と大きく異なるのは、短絡状態である。短絡状態は、 n ドリフト層中の電界強度分布がアンバランスにならないようにキャリアプラズマ層と電界強度分布を制御する必要がある[10]。本章にて、従来の IGBT と新規 IGBT は、 n バッファ層としてそれぞれ LPT(II) n バッファ構造のみの n バッファ層および、LPT(II) n バッファ構造と CPL 領域からなる n バッファ層を有する IGBT である。

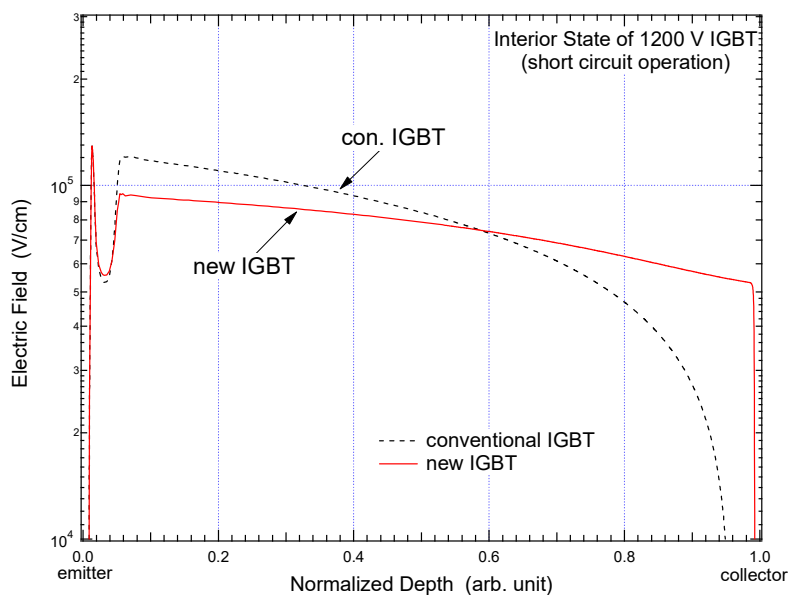


図 4.21. シミュレーションによる種々の 1200 V CSTBT™における短絡状態での縦方向の電界強度分布

Fig. 4.21. Simulated electric field distribution of various 1200 V CSTBT™s under short-circuit condition. Short-circuit condition: $V_{CC} = 800$ V, $V_G = \pm 15$ V, 298 K. Conventional IGBT: LPT(II) n buffer only; New IGBT: novel n buffer combining LPT(II) n buffer and CPL zone.

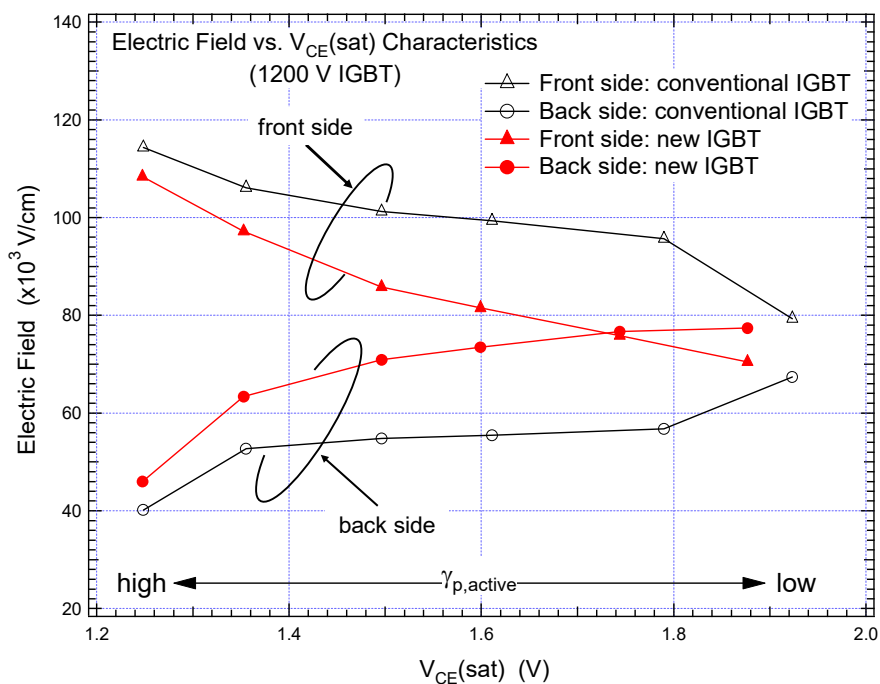


図 4.22. シミュレーションによる種々の 1200 V CSTBT™における短絡状態での電界強度と $V_{CE(sat)}$ との関係

Fig. 4.22. Simulated electric field at front side and backside in device of various 1200 V CSTBT™s during short-circuit condition as function of $V_{CE(sat)}$. Short-circuit condition: $V_{CC} = 800$ V, $V_G = \pm 15$ V, $T_G = 5.0 \mu s$, 298 K. $V_{CE(sat)}$: $J_C = 183$ A/cm², $V_G = +15.0$ V, 298K.

図 4.21 は、1200 V IGBT の短絡状態での電界強度分布のシミュレーション結果である。図 4.21

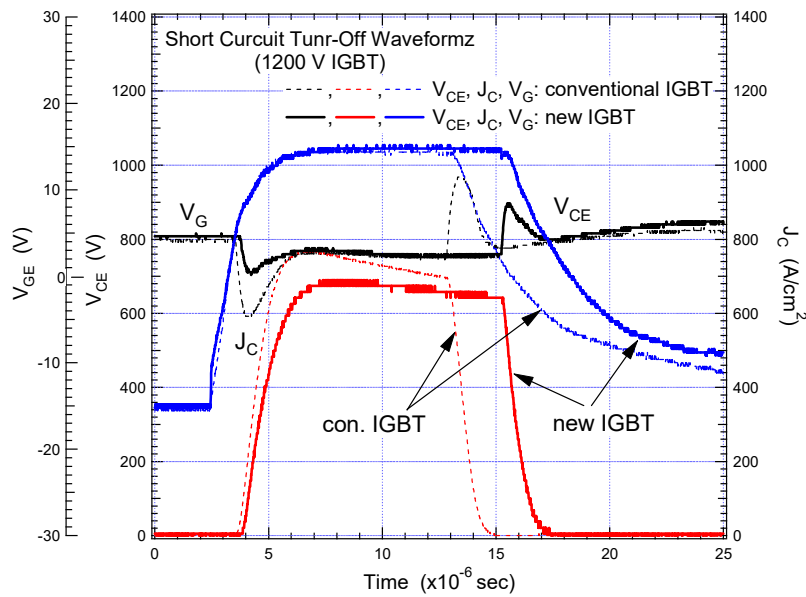


図 4.23. 種々の 1200 V CSTBT™ における短絡波形

Fig. 4.23. Short-circuit capability of various 1200 V CSTBT™s. Short-circuit condition: $V_{CC} = 800$ V, $V_G = \pm 15.0$ V, 423 K.

から、従来構造では主接合の電界強度上昇による温度上昇を招き、短絡耐量が低下する可能性がある。CPL 領域を有する IGBT では、短絡動作中に CPL 領域に存在する 2 種類のホールトラップが裏面側キャリアプラズマ層制御に寄与し、裏面側へ空乏層が伸びやすくなる。その結果、新規 IGBT は、従来の IGBT に比べ、バランスの取れた電界強度分布を実現し、従来構造よりも短絡耐量が向上することが見込める。図 4.22 は、シミュレーションによる 1200 V CSTBT™(III)での短絡状態での表面(エミッタ側)および裏面(コレクタ側)の電界強度と $V_{CE(sat)}$ との関係である。図 4.22 より、新規 IGBT では、従来の IGBT よりも、広い $V_{CE(sat)}$ 範囲で図 4.21 に示したような表面と裏面との電界強度の差が小さい電界強度分布を実現できる。

4.4.2 ダイナミックな挙動

図 4.23 は、種々の 1200 V CSTBT™(III)の短絡波形である。図 4.24 は、1200 V CSTBT™(III)における E_{sc} と t_n との関係の n バッファ構造依存性である。図 4.23 および 4.24 から、新規 IGBT は、従来構造よりも SCSOA が向上し、十分な SCSOA 保証しながら、デバイス厚みのシュリンク化が可能である。図 4.25 は、1200 V CSTBT™(III)のターンオフ波形の n バッファ構造依存性である。新規 n バッファ構造を有する IGBT は、第 4.1 章にて述べた FWD のリカバリ動作終了時のカソード側のように、IGBT のターンオフ動作後半にコレクタ側に残留キャリアプラズマ層が存在する。その結果、新規 CSTBT™では、ターンオフ動作時のコレクタ側電界強度緩和し、従来構造のような snap-off 現象およびその後の発振現象を抑制し、優れたターンオフ動作を示す。よって、新規 CSTBT™は従来の CSTBT™に比べ、幅広いアプリケーションへ適用可能である。

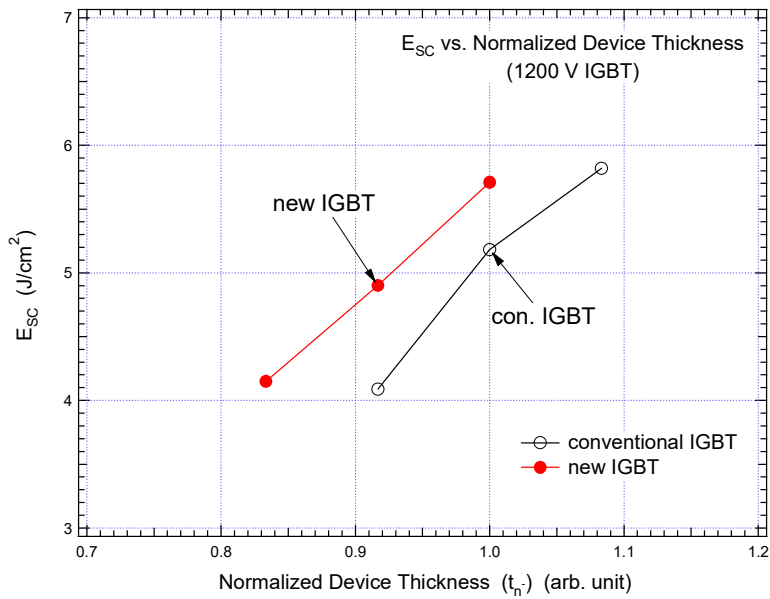


図 4.24. 種々の 1200 V CSTBT™ における短絡エネルギーとデバイス厚みとの関係

Fig. 4.24. Measured 1200 V CSTBT™ short-circuit capability result at $V_{CC} = 800$ V showing E_{sc} as function of device parameter (tn-): $V_G = \pm 15.0$ V, 423 K

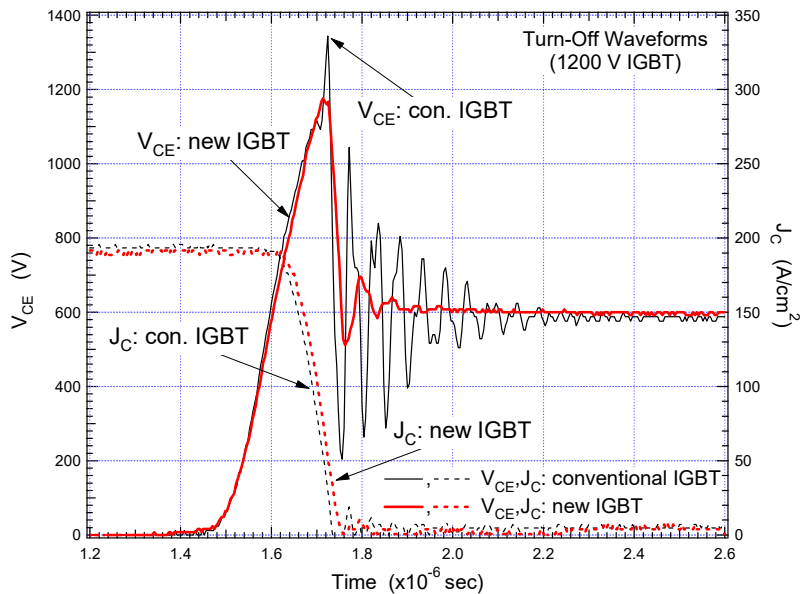


図 4.25. 種々の 1200 V CSTBT™ におけるノーマルターンオフ波形 (@298 K)

Fig. 4.23. Measured normal turnoff waveforms of various 1200 CSTBT™: $V_{CC} = 600$ V, $J_c = 183$ A/cm², $V_G = \pm 15.0$ V, $dv/dt = 5000$ V/ μ s, $L_S = 200$ nH, 298 K

図 4.26 は、薄厚化した新規 CSTBT™ の L 負荷スイッチング条件下での遮断能力を示す。図 4.26 より、新規 CSTBT™ は、 $V_{CC} = 800$ V, $J_c = 1300$ A/cm² ($\times 7.2 J_c(\text{rated})$), 448 K という厳しい条件

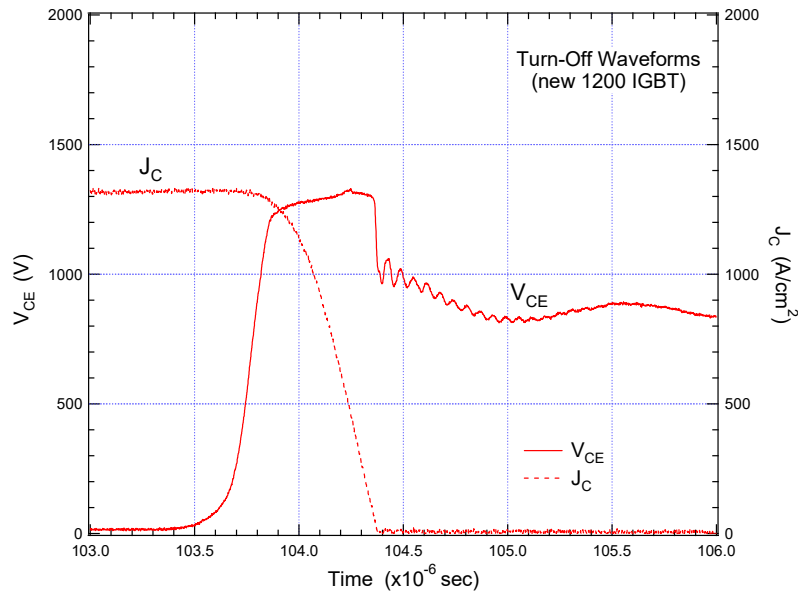


図 4.26. 新規 1200 V CSTBT™ のターンオフ遮断能力

Fig. 4.26. Measured turn-off capability of new 1200 CSTBT™: $V_{CC} = 800$ V, $J_C = 1300$ A/cm² ($\times 7.3J_C(\text{rated})$), $V_G = +20.0/-15.0$ V, $dv/dt = 6200$ V/ μ s, $L_S = 20$ nH, 448 K

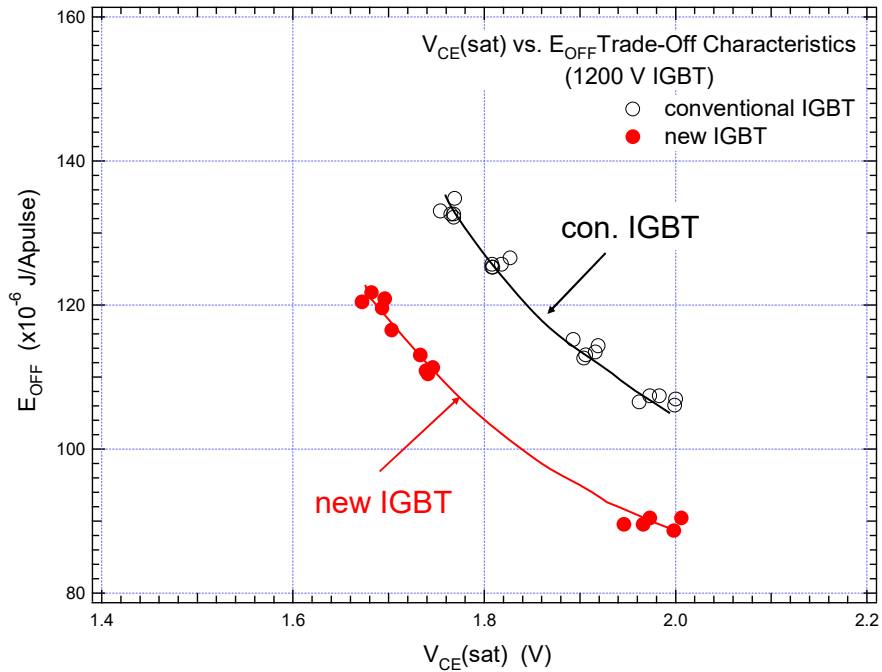


図 4.27. 種々の 1200 V CSTBT™ における $V_{CE}(\text{sat})$ vs. E_{OFF} トレードオフ特性

Fig. 4.27. Experimental trade-off characteristics between $V_{CS}(\text{sat})$ and E_{OFF} of various 1200 V CSTBT™. Switching condition: $V_{CC} = 600$ V, $J_C = 181$ A/cm², $V_G = \pm 15$ V, $dv/dt = 3600$ V/ μ s, $L_S = 70$ nH, 423 K. $V_{CE}(\text{sat})$: $J_C = 181$ A/cm², $V_G = +15.0$ V, 423 K.

でも破壊せずに遮断可能である。また、図 4.24 より新規 n バッファ層を有する IGBT は、 t_n の薄

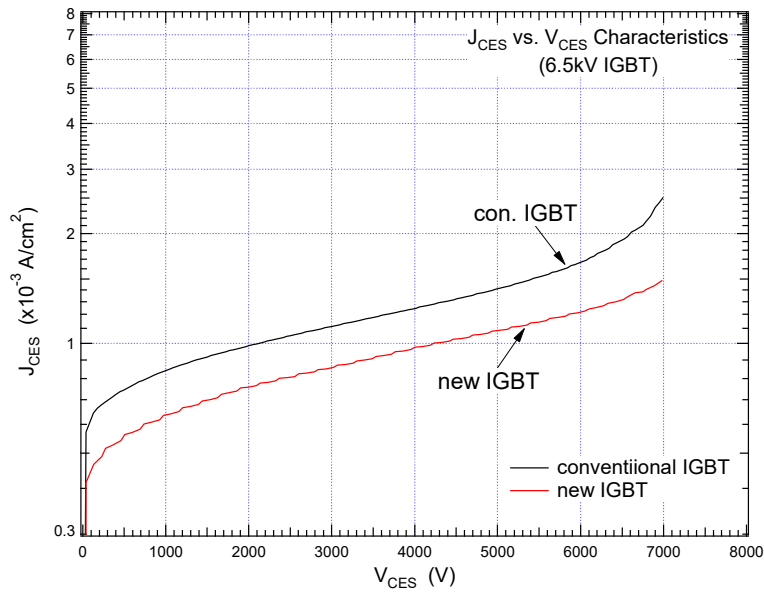


図 4.28. 種々の 6.5kV CSTBTTM(III)の J_{CES} vs. V_{CES} 特性 (@423 K)

Fig. 4.28. Measured junction leakage current characteristics of various 6.5kV CSTBTTM(III)s: @ $V_G = 0$ V, G-E: short, 423 K.

厚化を実現し、図 4.27 に示すように $V_{CE(sat)}$ vs. E_{OFF} トレードオフ特性の向上を可能にする。

4.4.3 HV-IGBT への応用

図 4.28 には、種々の 6.5kV CSTBTTM(III)の 423 K での J_{CES} vs. V_{CES} 特性を示す。提案する n バッファ構造中の CPL 領域が、IGBT に存在する寄生の p-n-p トランジスタの増幅率制御の作用があり、リーク電流低減による低 OFF ロスを実現可能であることがわかる。

図 4.29 は、種々の 6.5kV CSTBTTM(III)の低温(213 K)下でのターンオフ波形の n バッファ構造依存性である。HV アプリケーション用 IGBT では、低温動作が求められる。図 4.28 より、新規 n バッファ構造を有する IGBT は、低温下でも LPT(II) n バッファ層のみの従来の IGBT に比べ、snap-off 現象およびその後の発振現象を抑制し、優れたターンオフ動作を示す。このように、新規 n バッファ技術を IGBT へ応用することで、IGBT のターンオフ動作のソフトスイッチング性能やダイナミックな耐久性向上を実現する。

4.5 まとめ

第 4 章では、最新の power diode のハードスイッチングプロセスでの破壊モードに関して、シミュレーションを活用した power diode の内部状態の解析によりそのメカニズムを明らかにした。その結果、ダイナミック動作下でのロバスト性向上の観点から、n バッファ層中のキャリアプラズマ層制御に着目し、高い耐圧保持能力と低トータルロス性能を保持しながら diode のダイナミックなロバスト性向上を実現する、LPT(II) n バッファ層と CPL 領域からなる新規 n バッファ構造

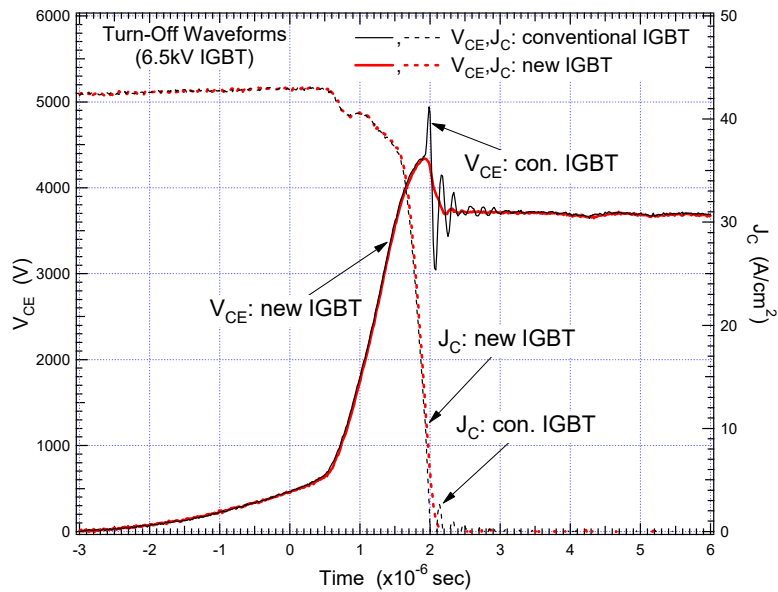


図 4.29. 種々の 6.5kV CSTBT™(III)におけるノーマルターンオフ波形 (@213 K)

Fig. 4.29. Measured normal turnoff waveforms of various 6.5kV CSTBT™(III)s: $V_{CC} = 3600$ V, $J_C = 41.6$ A/cm², $V_G = \pm 15.0$ V, $dv/dt = 3500$ V/ μ s, $L_S = 2.47$ μ H, 213 K.

の提案とその優れた性能の実証結果を示した。

ハードスイッチング動作中の RFC diode の破壊現象は、寄生の p-n-p トランジスタ領域のアノード側の pn 接合部でのインパクトイオン化の促進(pn 接合部でのダイナミックアバランシェ現象発生)と current filament の挙動に起因した破壊である。

上記 FWD の抱える技術課題の解決手段は、リカバリー動作中のカソード側でのキャリアプラズマ層およびキャリアプラズマ層と電界強度の相互作用の制御を実現するデバイス構造である。提案する n バッファ構造は、n バッファ構造を構成する CPL 領域に存在する 2 種類のホールトラップによりキャリア再結合を促進することで、目標とする diode の内部状態を実現する。新規 n バッファ構造を有する RFC diode は、低トータルロス性能を持ちながら優れたソフトスイッチング性能とダイナミックなロバスタ性を併せ持つ diode 技術である。新規 n バッファ技術は、ホールトラップが存在する CPL 領域が存在するものの熱的安定性があり、power diode の 448 K 以上の高温動作を可能にする。提案する技術は、IGBT へ適用してもターンオフ動作時のソフトスイッチング動作や低トータルロス性能という類似な有効性を示しながら、IGBT 動作上特有な短絡動作時の耐久性向上にも寄与する。

以上から、提案する n バッファ技術は、a) 耐圧クラスに関係なく FWD および IGBT 性能の大幅な改善、b) 低温アニーリング技術を用いて形成できるため大口径(≥ 200 mm)な Si ウエハでの製造技術への高いマッチング性および、c) 種々のウエハ材料の有効活用阻害要因最小限化の観点から、Si 系パワー半導体の今後の飛躍的な発展を支える有望なコア技術である。

第 4 章の参考文献

- [1] K. Nakamura, F. Masuoka, A. Nishii, K. Sadamatsu, S. Kitajima and K. Hatade, "Advanced RFC Technology with New Cathode Structure of Field Limiting Rings for High Voltage Planar Diode," in *Proc. ISPSD*, Hiroshima, Japan, Jun. 2010, pp. 133–136.
- [2] K. Nakamura, Y. Hisamoto, T. Matsumura, T. Minato, and J. Moritani, "The Second State of a Thin Wafer IGBT — Low Loss 1200 V LPT-CSTBT™ with Backside Doping Optimization Process —," in *Proc. ISPSD*, Naples, Italy, Jun. 2006, pp. 133–136.
- [3] K. Nakamura and K. Shimizu, "Advanced RFC diode utilizing a Novel Vertical Structure for Softness and High Dynamic Ruggedness," in *Proc. ISPSD*, Sapporo, Japan, May 2017, pp. 117–120.
- [4] K. Nakamura, F. Masuoka, A. Nishii, S. Nishizawa and A. Furukawa, "Freewheeling Diode Technology with Low Loss and High Dynamic Ruggedness in High-Speed IGBT Application," *IEEE Trans. Electron Devices*, vol. 66, no. 11, pp. 4842–4849, Nov. 2019, doi: 10.1109/TED.2019.2941710.
- [5] B.J. Coommer, J.P. Goss, R. Jones, S. Öberg and P.R. Briddon, "Identification of the Tetra-Interstitial in Silicon," *J. Phys. Condens. Matter*, vol. 13, no. 1, pp. L1–L7, Jan. 2001, doi: 10.1088/0953-8984/13/1/101.
- [6] R. Jones, T.A.G. Eberlein, N. Pinho, B.J. Coomer, J.P. Gross, P.R. Briddon and S. Öberg, "Self-Interstitial Clusters in Silicon," *Nucl. Instrum. Methods Phys. Res. B*, vol. 186, pp. 10–18, Jan. 2002, doi: 10.1016/S0168-583X(01)00872-2.
- [7] H.-J. Schulze, H. Öfner, F.-J. Niedernostheide, F. Lükermann and A. Schulz, "Fabrication of IGBTs using 300mm Magnetic Czochralski Substrate," *IET Power Electronics*, vol. 12, issue 15, pp. 3870–3873, Dec. 2019, doi: 10.1049/iet-pel.2019.0444.
- [8] K. Takano, A. Kiyoi and T. Minato, "Study about Si Wafer (Mother) Materials for High Speed LPT-CSTBT™ Based on Electrical and Physical Analysis," in *Proc. ISPSD*, Kowloon Shangri-La, Hong Kong, May 2015, pp. 129–132.
- [9] K. Nakamura, "Method for Manufacturing Semiconductor Device," Japan Patent 6065067, Jan. 25, 2017.
- [10] K. Nakamura, D. Oya, S. Saito, H. Okabe and K. Hatade, "Impact of an LPT(II) Concept with Thin Wafer Process Technology for IGBT's Vertical Structure," in *Proc. ISPSD*, Barcelona, Spain, Jun, 2009, pp. 295–298.
- [11] K. Suzuki, K. Nishi, M. Kaneda and A. Furukawa, "N-buffer Design Optimization for Short Circuit SOA Ruggedness in 1200 V class IGBT," in *Proc. ISPSD*, Chicago, IL, USA, May 2018, pp. 128–131.
- [12] K. Nakamura, K. Suzuki and K. Nishi, "Advanced Si Power Semiconductor with High Dynamic Ruggedness utilizing Novel Vertical Structure," in *Proc. JSAP Spring Meeting*, Tokyo, Japan, Mar. 2019, p. 10000001-135.
- [13] 中村, 鈴木, 西, 金田, 川瀬, "低ロスと高いダイナミックな耐久性を兼ね備えた次世代パワー半導体技術," *三菱電機技報*, vol. 94, no. 3, pp. 11–14, Mar. 2020.

第5章 ロバスト性からのエッジターミネーション設計

本章では、第 1.3.3-(2)章にて述べた IGBT, FWD 技術の共通課題に関する研究結果を示す。

5.1 Linearly-Narrowed Field Limiting Ring (LNFLR)構造およびコンセプト

図 5.1(b)には、今回提案する LNFLR 構造を有する IGBT 構造を示す。表 5.1 は、従来の HV-IGBT と提案する HV-IGBT のデバイス構造パラメータに関し比較した一覧表である。本章の技術検証に用いた HV-IGBT のセル構造および n バッファ構造は、第 3 章での研究に用いた HV-IGBT と同じくそれぞれ Wide Cell Pitch CSTBTTM(III)[1]および LPT(II) n バッファ構造[2], [3]である。表 5.1 に示すように、本章にて比較した HV-IGBT の p コレクタ構造は、第 3 章と同じ構造を用いている。

図 5.1(b)に示す新規エッジターミネーション構造である LNFLR は、以下の特徴を有する構造である。

- エッジターミネーションの横方向(チップ端方向)へ擬似的に濃度勾配が線形的に変化するよう
に p⁻リングを一定ピッチで配置する構造
- p⁻リングのピッチ,幅およびドーピング濃度は、エッジターミネーション領域幅(W_{edge})をシ
ュリンクしながら高い静耐圧(BV_{CES})性能、耐圧特性の安定性および、ターンオフ遮断耐量面か
ら設計

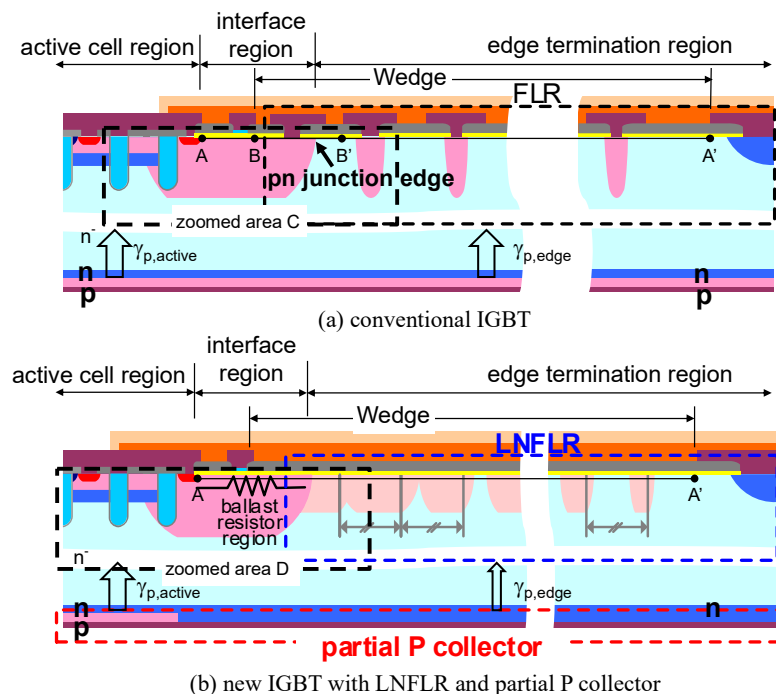


図 5.1. 種々の HV-IGBT 断面構造図

Fig. 5.1. Schematic cross sectional view of various HV-IGBTs.

表 5.1. 技術検証に持ったデバイスに関するデバイスパラメータ比較一覧表

TABLE 5.1. COMPARISON WITH DEVICE PARAMETERS FOR THIS STUDY

device		conventional IGBT	new IGBT
MOS gate cell structure		wide cell pitch CSTBT TM (III) [1]	wide cell pitch CSTBT TM (III) [1]
n ⁻ drift layer thickness		1	1
n buffer		LPT(II) n buffer [2], [3] lightly and gradient thin	LPT(II) n buffer [2], [3] lightly and gradient thin
p collector	active cell region	lower and shallow	lower and shallow
	from Interface region to edge termination region		without [5] (LPT(II) n buffer only)
edge termination region	structure	Field Limiting Ring (FLR)	LNFLR [6], [7]
hole injection efficiency	$\gamma_{p,active}$	0.24–0.26	0.24–0.26
	$\gamma_{p,edge}$	0.24–0.26	≈0.0

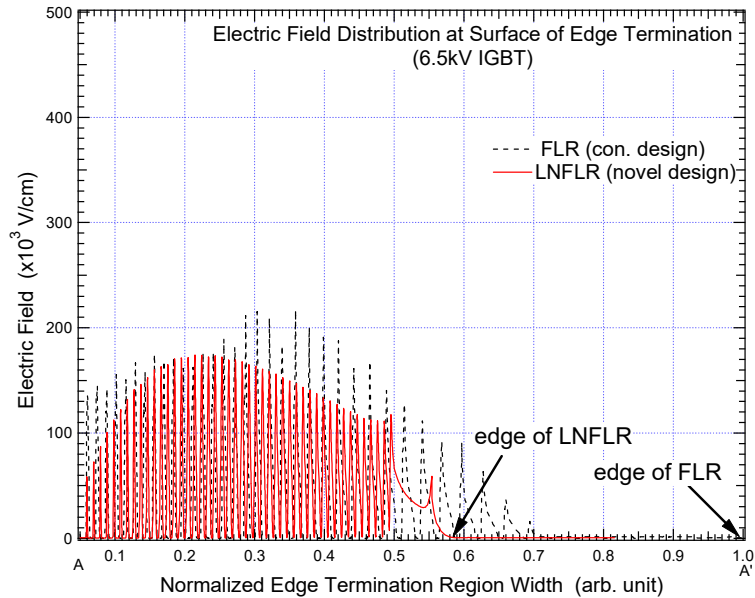


図 5.2. シミュレーションによる種々のエッジターミネーションを有する 6.5kV CSTBTTM(III)の静的状態での図 5.1(1)の A-A'線に沿った電界強度分布 (@V_{CES} = 6500 V, 398 K)

Fig. 5.2. Simulated electric field distribution of various 6.5 kV CSTBTTM(III)s under static state at line A-A' in Fig. 5.1(a). Static state: V_{CES} = 6500 V, V_G = 0.0 V, 398 K. Horizontal axis: normalized by W_{edge} of FLR structure as 1.

図 5.2 は、表 5.1 に示す 2 種類の 6.5kV IGBT に関する、V_{CES} = 6500 V, 398 K における図 5.1 中

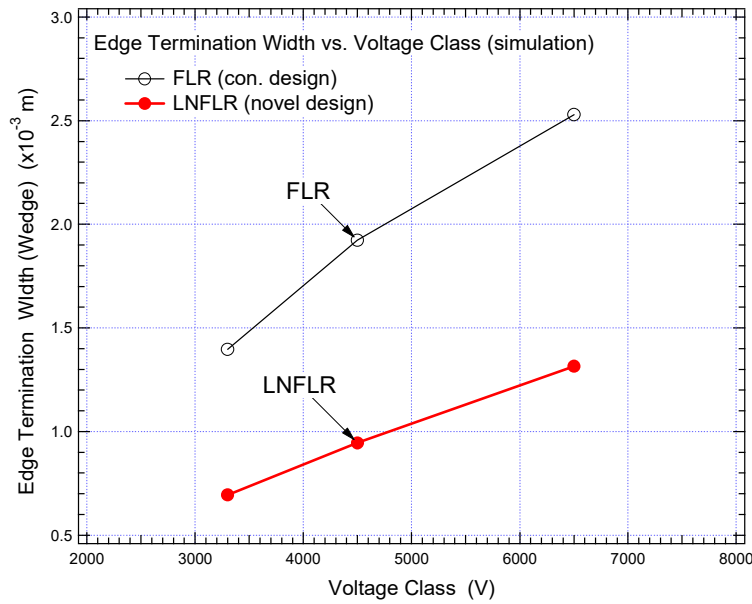


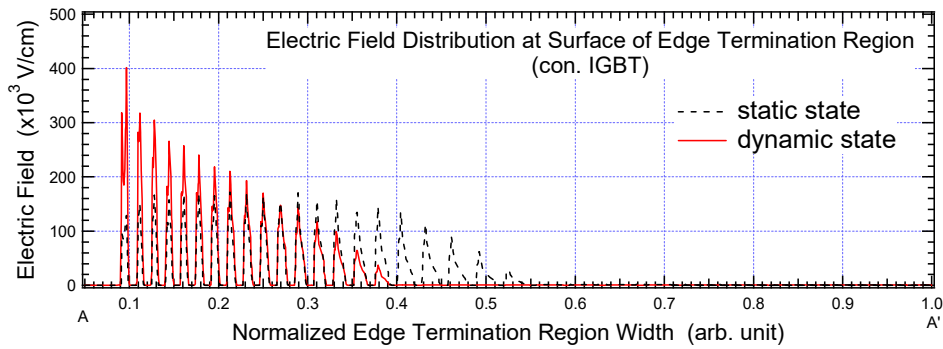
図 5.3. シミュレーションによる W_{edge} と耐圧クラスとの関係に関するエッジターミネーション構造依存性

Fig. 5.3. Simulated result on comparison of FLR and LNFLR designs for W_{edge} .

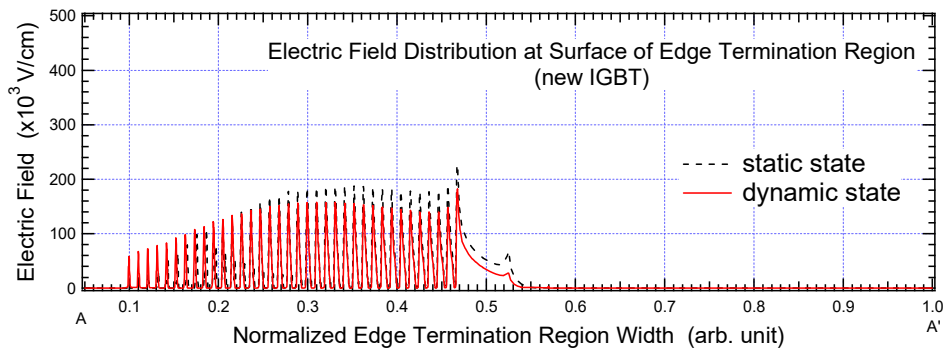
の A-A'線に沿った Si 表面の電界強度分布のエッジターミネーション設計依存性である。図 5.2 より、LNFLR 構造にて静的状態で電圧保持時は、a) エッジターミネーション領域のほぼ中央付近にて最大電界強度となる電界強度分布を形成することおよび、b) 同じ電圧保持時は従来の FLR 構造よりもエッジターミネーション領域の最大電界強度が低くなるという特徴がある。

図 5.3 は、シミュレーションにて図 5.1 の構造を用い、3.3–6.5kV クラスにおける W_{edge} のエッジターミネーション構造依存性である。図中の W_{edge} は、各耐圧クラスにて t_n および n ドリフト層の比抵抗を一定とし、比較するエッジターミネーション構造にて 298 K の BV_{CES} が同じ値となる W_{edge} 値をプロットする。図 5.3 より、LNFLR 技術は、従来の FLR 構造に比べ約 50% もの W_{edge} をシュリンクすることが可能であることがわかる。

図 5.4 は、表 5.1 に示す 2 種類の 4.5kV IGBT に関する、静的状態 (@ $V_{CES} = 4500$ V, 423 K) とダイナミック状態 (@ $V_{CC} = 3600$ V, $J_C = 224$ A/cm² ($\times 4.0 J_C(\text{rated})$), 423 K) における図 5.1 中の A-A'線に沿った Si 表面の電界強度分布のエッジターミネーション設計依存性である。図 5.4(b) より、提案するエッジターミネーション設計では、静的状態およびダイナミック状態いずれもほぼエッジターミネーション中央付近にて最大電界強度となる電界強度分布を実現する。特に、ダイナミック状態の結果は、第 3 章にて議論した partial P collector 構造によるインターフェース領域からエッジターミネーション領域での ON 状態からのコレクタ側のホール注入効率制御によるキャリア濃度分布制御効果がサポートしている結果である。従来のエッジターミネーション設計では、ダイナミック状態になると最大電界強度の位置が、活性領域側へ移動しかつ、静的状態より最大電界強度が高電界強度化する。この挙動は、静的状態とダイナミック状態にてエッジターミネーション領域のキャリア濃度分布が異なっているためである。このように、新規エッジターミ



(a) conventional edge termination design (FLR)



(b) novel edge terminatin design (LNFLR with partial P collector))

図 5.4. シミュレーションによる種々の 4.5kV CSTBTTM(III)における静的状態およびダイナミック状態での図 5.1(a)の A-A'線に沿った電界強度分布

Fig. 5.4. Simulated electric field distribution of various 4.5kV CSTBTTM(III)s under static and dynamic states at line A-A' in Fig. 51(a). Static state: $V_{CES}=4500$ V, $V_G=0.0$ V, 423 K. Dynamic state (L-load condition): $V_{CC} = 3600$ V, 224 A/cm² ($\times 4.0J_c(\text{rated})$), $V_G = \pm 15.0$ V, $L_s = 2.47\mu\text{H}$, 423 K. Vertical and horizontal axes: normalized by n' drift layer thickness and W_{edge} of FLR structure.

ネーション設計にて実現可能なエッジターミネーション領域中の理想的な電界強度分布は、高い BV_{CES} 性能と広い RBSOA 性能を両立可能であることを示唆している。

以上より、提案するエッジターミネーション設計によるエッジターミネーション領域のデバイス動作時の電界強度分布は、

- 静的状態では LNFLR 構造による電界強度分布制御
- ダイナミック状態では LNFLR 構造による電界強度分布制御を partial P collector 構造によるコレクタ側のホール注入効率制御のサポート

により、電界強度分布ピーク値が理想的なエッジターミネーション領域中央付近になるように制御する。

5.2 HV-IGBT のターンオフ遮断能力へのエッジターミネーション設計の影響

IGBT のターンオフ挙動へのエッジターミネーション設計の影響を検証するにあたり、表 5.2

表 5.2. HV-IGBT のターンオフ遮断能力検証デバイスのデバイスパラメータおよびシミュレーション結果比較一覧表

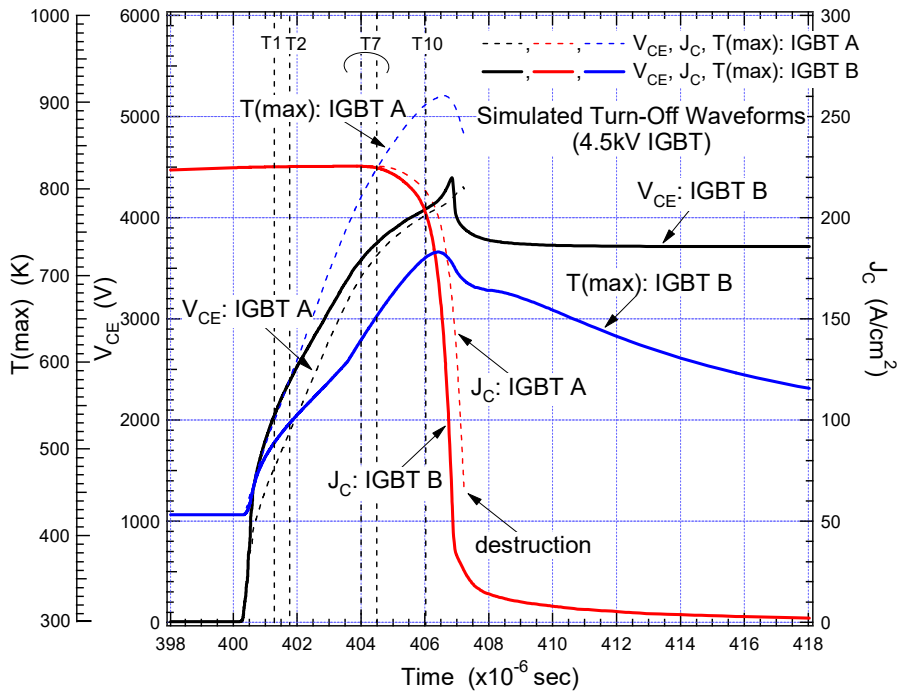
TABLE 5.2. COMPARISON WITH DEVICE PARAMETERS AND SIMULATION RESULTS

device	edge termination region design		simulated results			
			$V_{CE}=3600\text{ V (@T7)}$		during turn-off	
	edge termination	collector side	T(max) (K)	T(max) location	T(max) (K)	T(max) location
IGBT A (con. IGBT)	FLR (con. design)	no partial P collector (con. design)	824	boundary between interface region and edge termination region	906	boundary between interface region and edge termination region
IGBT B (novel design)	LNFLR (novel design)	no partial P collector (con. design)	624		727	
IGBT C	FLR (con. design)	partial P collector (novel design)	466	active cell region	487	active cell region
IGBT D (new IGBT)	LNFLR (novel design)	partial P collector (novel design)	464		493	

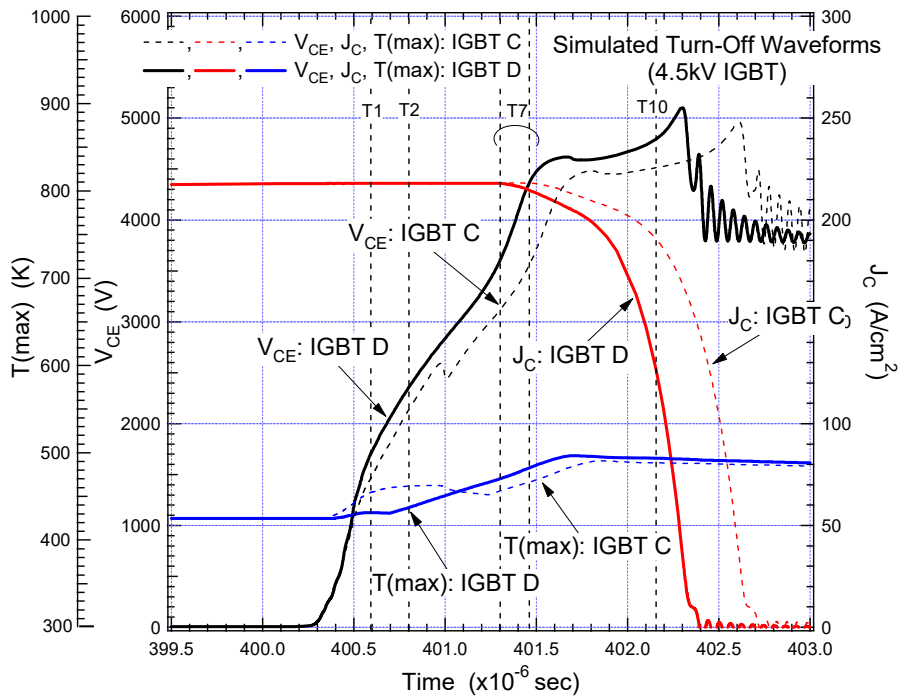
に示す 4 種類の 4.5kV IGBT 構造(IGBT A-D)に関してシミュレーションにて解析を行った。

図 5.5 は、表 5.2 に示す 4 種類の 4.5kV IGBT 構造に関するターンオフ波形とターンオフ動作中の IGBT 内部の T(max)に関するシミュレーション結果である。図 5.6(a)は、IGBT A および IGBT B に関する図 5.5(a)中の解析ポイント(T1, T2, T7 および T10)での、図 5.1(a)の領域 C における電界強度、電子電流密度および、温度のデバイス内部の変化である。図 5.6(a)より、IGBT A および IGBT B は、インターフェース領域とエッジターミネーション領域の境界に高温の hot spot が現れる(@T7)。ただし、IGBT B の方が IGBT A よりも、上記境界に存在する pn 接合部の電界強度がダイナミック状態でも LNFLR 構造により電界強度を緩和し、インパクトイオン化による電子電流密度を減少させるため、T(max)が低くなっている(@T7)。

図 5.6(b)は、IGBT C および IGBT D に関する図 5.5(b)中の解析ポイント(T1, T2, T7 および T10)での、図 5.1(b)の領域 D における電界強度、電子電流密度および、温度のデバイス内部の変化である。IGBT C および IGBT D は、partial P collector 構造を用いているため、エッジターミネーション構造の影響をキャンセルし、インターフェース領域とエッジターミネーション領域の境界に高温の hot spot 発生を抑制している。この 2 種類の IGBT の T(max)の場所は、いずれも活性領域内部である。T7 での T(max)は、比較する 2 種類の IGBT とほぼ同じ温度となっている。つまり、IGBT C および IGBT D では、partial P collector 構造を用いているため、インターフェース領域からエッジターミネーション領域にかけてのコレクタからのホール注入効率を抑制してダイナミック状態のキャリア濃度分布を制御することで、第 3.2.2 章にて述べた HV-IGBT のターンオフ遮断耐量を低下させる破壊モードを妨げていることがわかる。



(a) IGBT A and IGBT B (without partial P collector)

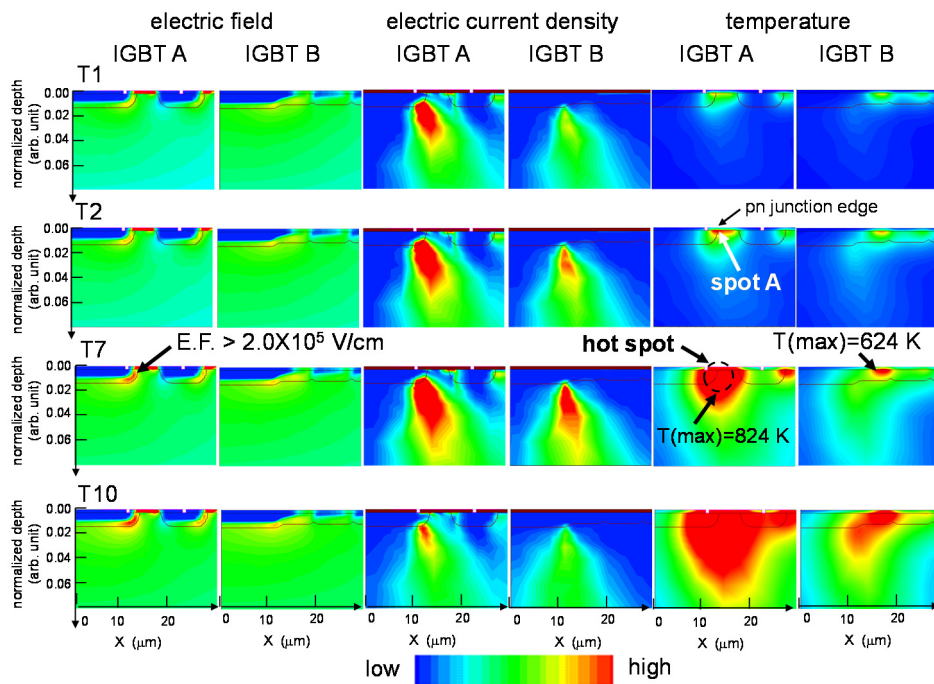


(b) IGBT C and IGBT D (with partial P collector)

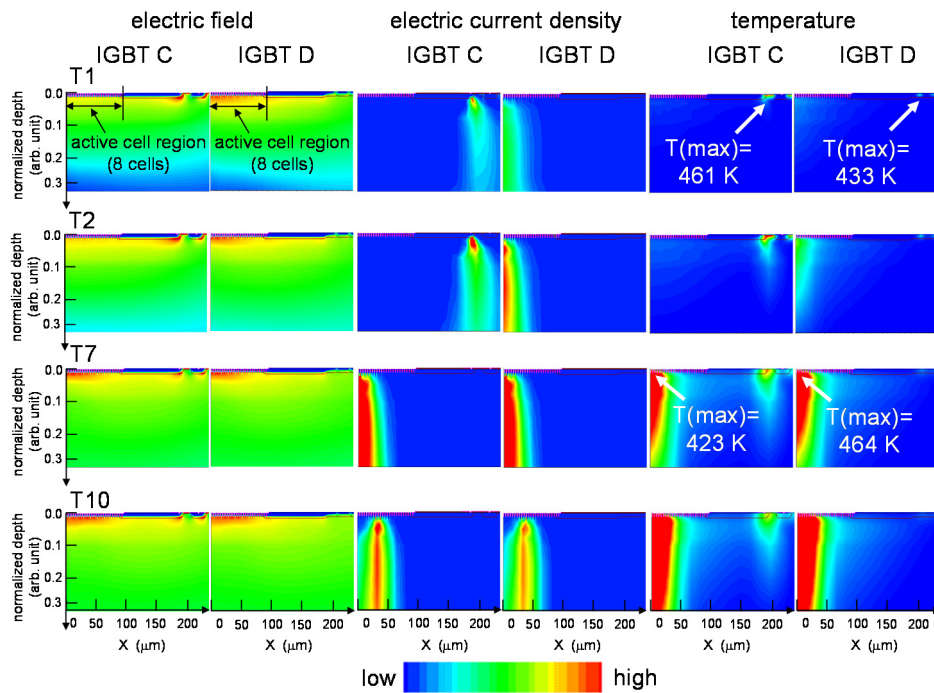
図 5.5. シミュレーションによる表 5.2 に示す IGBT A-D におけるターンオフ波形

Fig. 5.5. Simulated turn-off waveforms of IGBTs A-D shown in Table 5.2: @ $V_{CC} = 3600$ V, $J_C = 224$ A/cm² ($\times 4.0J_C(\text{rated})$), $V_G = \pm 15.0$ V, $L_S = 2.47\mu\text{H}$, 423 K.

表 5.2 は、検討した 4 種類の IGBT に関する T(max) 値とその位置をまとめた一覧表である。



(a) IGBT A and IGBT B (without partial P collector) in zoomed area C



(b) IGBT C and IGBT D (with partial P collector) in zoomed area D

図 5.6. シミュレーションによる図 5.5 に示す表 5.2 に示す解析ポイント(T1, T2, T7, T10)における図 5.1(a)の領域 C および図 5.1(b)の領域 D におけるデバイス内部状態

Fig. 5.6. Simulated electric field, electron current density, and temperature at T1, T2, T7, and T10 shown in Fig. 5.6 at zoomed areas C and D shown in Figs. 5.1(a) and (b). Vertical axis: normalized by n^- drift layer thickness.

従来の IGBT である IGBT A(図 5.1(a)構造)は、他の IGBT に比べ最も $T(\max)$ 値が大きく、ターン

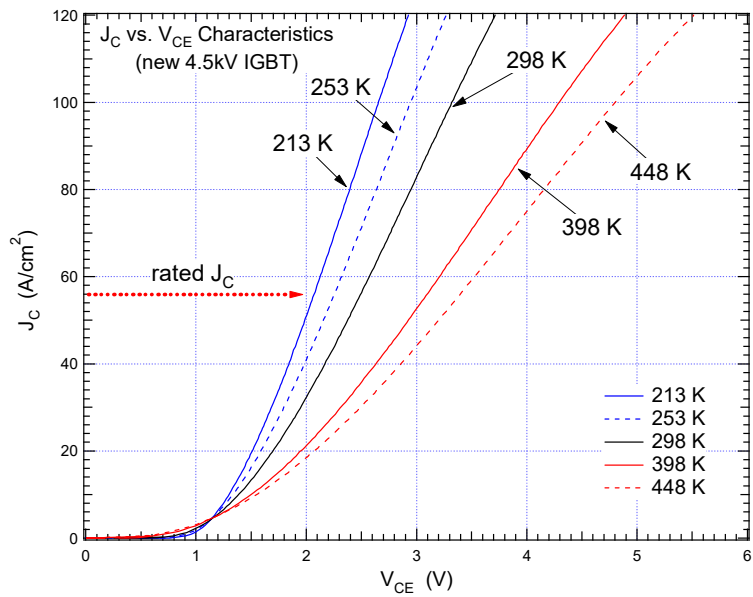


図 5.7. 新規 4.5kV CSTBT™(III)の J_C vs. V_{CE} 特性 (@213-448 K)

Fig. 5.7. Measured on-state characteristics of new 4.5kV CSTBT™(III): @ $V_G = +15.0$ V, 213-448 K.

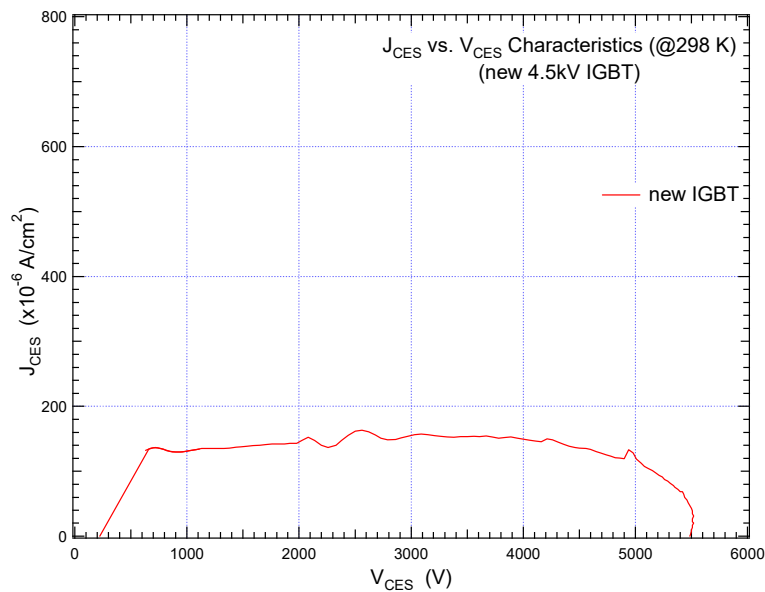


図 5.8. 新規 4.5kV CSTBT™(III)の AC モードにおける耐圧特性 (@298 K)

Fig. 5.8. Measured blocking characteristic of new 4.5kV CSTBT™(III) under AC-mode: @ $V_G = 0.0$ V, G-E: short, 298 K.

オフ動作中に Si 系 HV-IGBT の熱破壊の指標である臨界温度(≈ 800 K)[2]以上の高温となり、熱破壊に至る。今回検討した中では、提案するエッジターミネーション設計を用いる IGBT D がエッジターミネーション領域幅をシュリンクしながら高いターンオフ遮断能力を有していることがわかる。

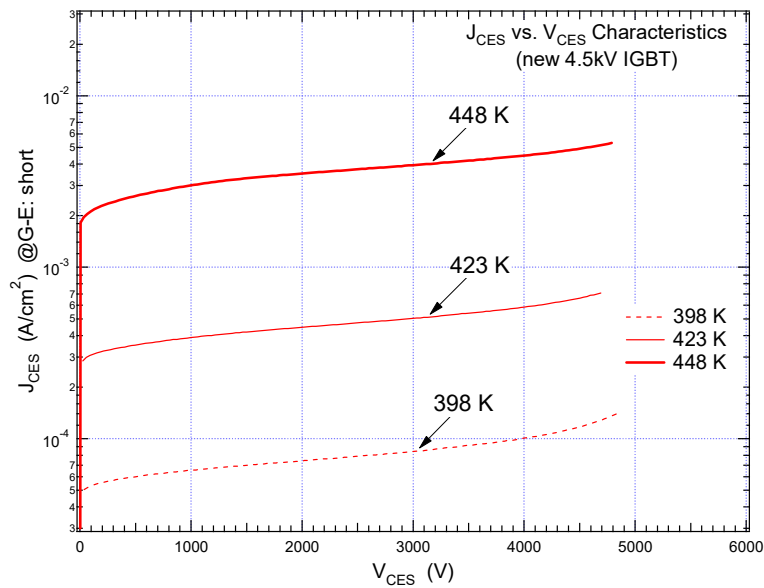


図 5.9. 新規 4.5kV CSTBT™(III)の J_{CES} vs. V_{CES} 特性 (@398-448 K)

Fig. 5.9. Measured junction leakage current characteristics of new 4.5kV CSTBT™(III): @ $V_G = 0$ V, G-E: short, 398-448 K.

5.3 試作結果

本章では、提案する HV CSTBT™(III)のデバイス性能と有効な効果を明らかにする。すべてのデータは、Si ウェハとして FZ ウェハを用い、ロングキャリアライフタイムプロセス技術[8]を適用して試作した 4.5kV IGBT の試作結果である。評価したデバイスの定格電流密度($J_C(\text{rated})$)は、56 A/cm²である。

5.3.1 静特性

図 5.7 は、新規 HV-IGBT の J_C vs. V_{CE} 特性の動作温度依存性(@213-448 K)を示す。新規 HV-IGBT の $V_{CW}(\text{sat})$ の温度係数は正でかつクロスポイントが定格電流密度よりかなり低いため、多数の並列チップで動作を行う HV パワーモジュールでは、チップ間の電流分担の観点から有効な性能である。新規 IGBT は、partial P collector 構造にてコレクタ側のホール注入効率を制御しているものの、213 K にて出力特性に snap-back 現象無く、低温下でも正常な IGBT の ON 動作を保証可能である。

図 5.8 は、約 50%の W_{edge} をシュリンクした新規 4.5kV CSTBT™(III)の 298 K での耐圧波形である。LNFLR 構造の BV_{CES} は、5500 V 以上(@298 K)であり、213 K でも 4900 V 以上の耐圧保持能力があるため、LNFLR 構造はエッジターミネーションシュリンクしながらも 4.5kV クラスとして十分な低温での電圧遮断能力を有する。図 5.9 は、新規 4.5kV IGBT の J_{CES} vs. V_{CES} 特性の動作温度依存性(@398-448 K)を示す。LNFLR 構造を有する IGBT は、448 K でも熱暴走せずに高温

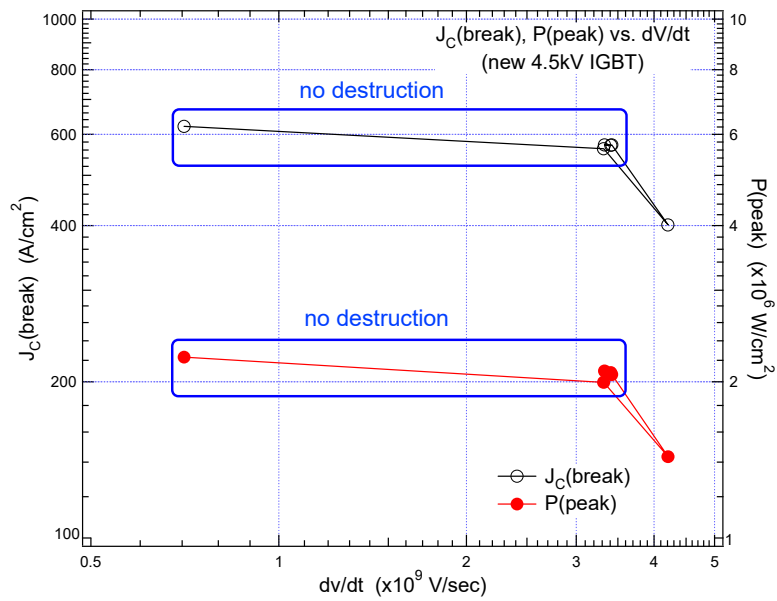


図 5.10. 新規 4.5kV CSTBT™(III)のターンオフ遮断能力の dv/dt 依存性

Fig. 5.10. Measured new 4.5kV CSTBT™(III) turn-off capability results at $V_{CC} = 3600$ V showing $J_C(\text{break})$ and $P(\text{peak})$ as function of dv/dt : @ $V_G = \pm 15$ V, $L_S = 2.47 \mu\text{H}$, 423 K.

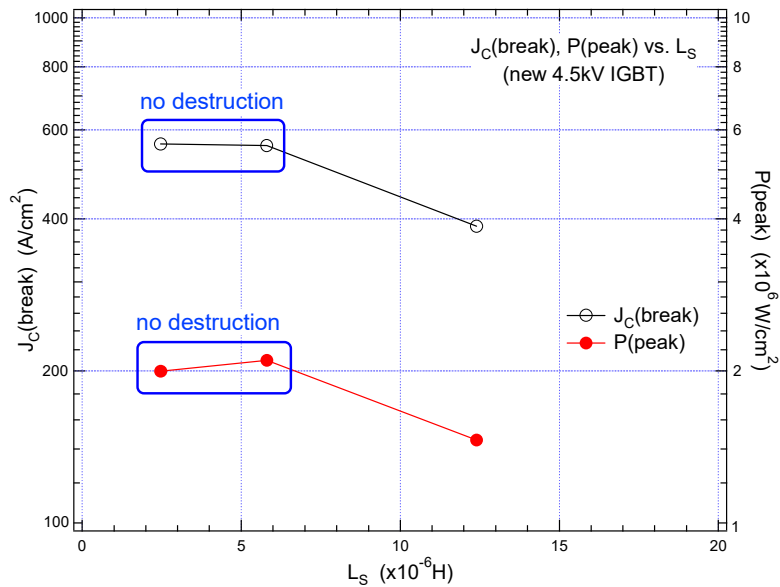


図 5.11. 新規 4.5kV CSTBT™(III)のターンオフ遮断能力の L_S 依存性

Fig. 5.11. Measured new 4.5kV CSTBT™(III) turn-off capability results at $V_{CC} = 3600$ V showing $J_C(\text{break})$ and $P(\text{peak})$ as function of circuit parameter (L_S): @ $V_G = \pm 15$ V, $dv/dt = 3300$ V/ μs , 423 K.

動作が可能であり、低い OFF ロス性能を示す。

5.3.2 ダイナミックな挙動

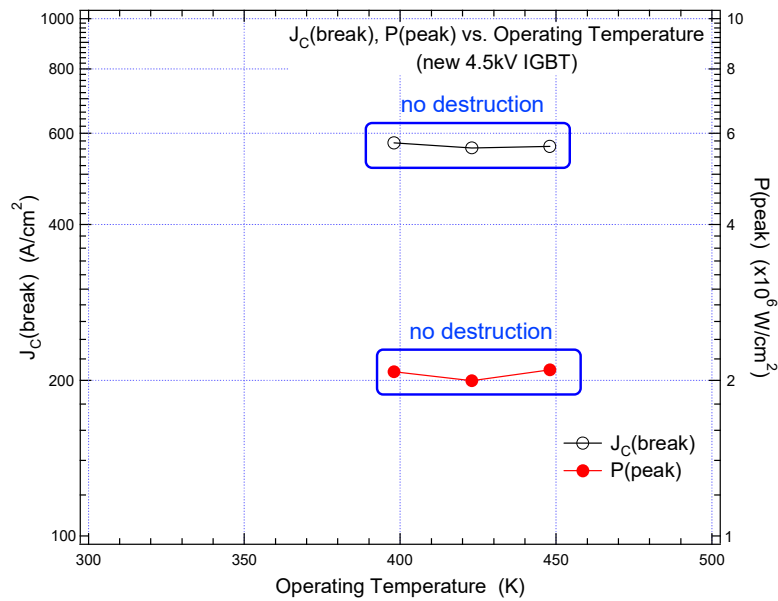


図 5.12. 新規 4.5kV CSTBT™(III)のターンオフ遮断能力の動作温度依存性

Fig. 5.12. Measured new 4.5kV CSTBT™(III) turn-off capability results at $V_{CC} = 3600$ V showing $J_c(\text{break})$ and $P(\text{peak})$ as function of operating temperature: @ $V_G = \pm 15$ V, $dv/dt = 3300$ V/ μ s, $L_S = 2.47$ μ H, 423 K.

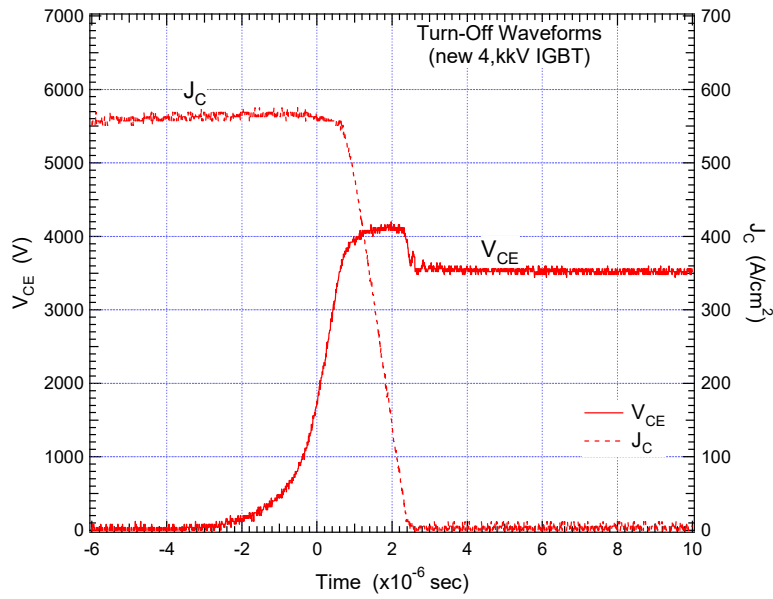
図 5.10-5.12 は、新規エッジターミネーション設計を有する 4.5kV CSTBT™(III)のターンオフ遮断能力への回路パラメータ(dv/dt , L_S)および動作温度の影響を示す図である。図 5.10-5.12 より、新規 HV-IGBT は、4.5kV クラスとして十分なターンオフ遮断能力を示し、448 K にて $2.0\text{MW}/\text{cm}^2$ 以上の高ピークパワーエネルギー密度の遮断能力を示す優れた IGBT である

図 5.13 には、提案する HV-IGBT の 448 K での(a) L 負荷状態および(b) 短絡状態での遮断波形を示す。図より、新規エッジターミネーション設計を有する IGBT は、448 K でも十分な遮断能力を示し、HV-IGBT の高温動作を可能にする

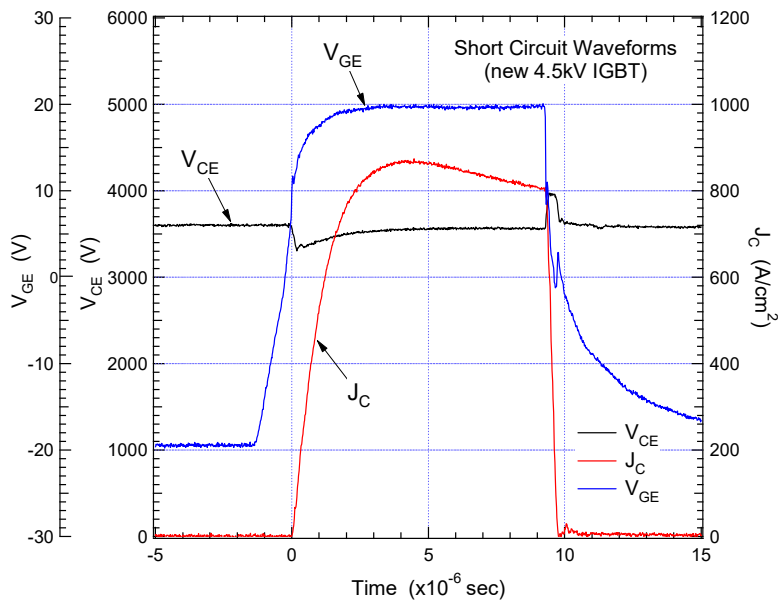
5.4 FWD への展開

提案するエッジターミネーションの特徴の一つが、エッジターミネーション領域の活性領域側における低電界強度化である。そこで、この現象に対して IGBT より敏感な FWD にて、リカバリー動作への影響を検証した。本章における従来の RFC diode および新規 RFC diode は、エッジターミネーション構造としてそれぞれ FLR 構造および、LNFLR 構造を用いる diode である。

図 5.14 は、表 5.1 に示す 2 種類のエッジターミネーションを有する 1700 V RFC diode の SOA の観点から厳しいスイッチング条件下での、リカバリー特性に関するシミュレーション結果である。図より、 $V_{CC} = 1200$ V と厳しい条件下でも LNFLR 構造を有する RFC diode は、遮断可能であることがわかる。図 5.15 は、図 5.14 中の T1 から T4 の解析ポイントでの電界強度、電流密



(a) L-load switching mode



(b) Short-circuit mode

図 5.13. 新規 4.5kV CSTBT™(III)における L 負荷スイッチングモードおよび短絡モードでのターンオフ遮断能力

Fig. 5.13. Measured new 4.5kV CSTBT™(III) turn-off capability. Switching condition: (a) $V_{CC} = 3600 \text{ V}$, $J_C = 560 \text{ A/cm}^2$ ($\times 10.0 J_C(\text{rated})$), $V_G = \pm 15.0 \text{ V}$, $dv/dt = 3300 \text{ V}/\mu\text{s}$, $L_S = 2.47 \mu\text{H}$, 448 K (@L-load mode); (b) $V_{CC} = 3600 \text{ V}$, $V_G = \pm 20.0 \text{ V}$, $t_G = 10 \mu\text{s}$, 448 K (@short-circuit mode).

度および、温度のデバイス内部の変化を示す。従来の RFC diode では、リカバリー動作初期に活性領域内部にて多数の current filament 発生(@T2-T3)し、インターフェースとエッジターミネーション境界に存在する pn 接合部付近に活性領域にて発生した多数の current filament が移動し、

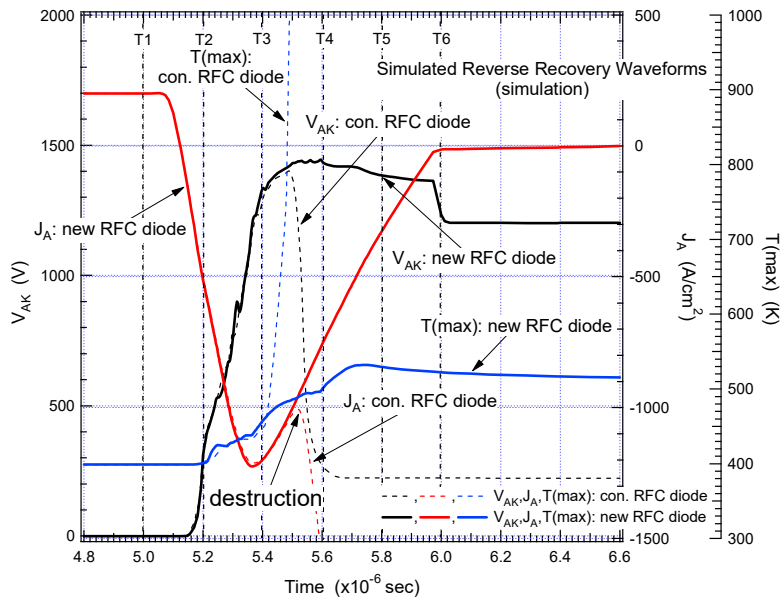


図 5.14. シミュレーションによるリカバリー-SOA リミットの動作条件下での種々の 1700 V RFC diode のリカバリー波形
 Fig. 5.14. Simulated reverse recovery waveforms of various 1700 V RFC diodes under worst case conditions in terms of recovery SOA limit: @ $V_{CC} = 1200 \text{ V}$, $J_F = 200 \text{ Acm}^2$ ($\times 1.0J_A$), $dj_A/dt = 3200 \text{ A/cm}^2\mu\text{s}$, $L_S = 2.0\mu\text{H}$, 398 K .

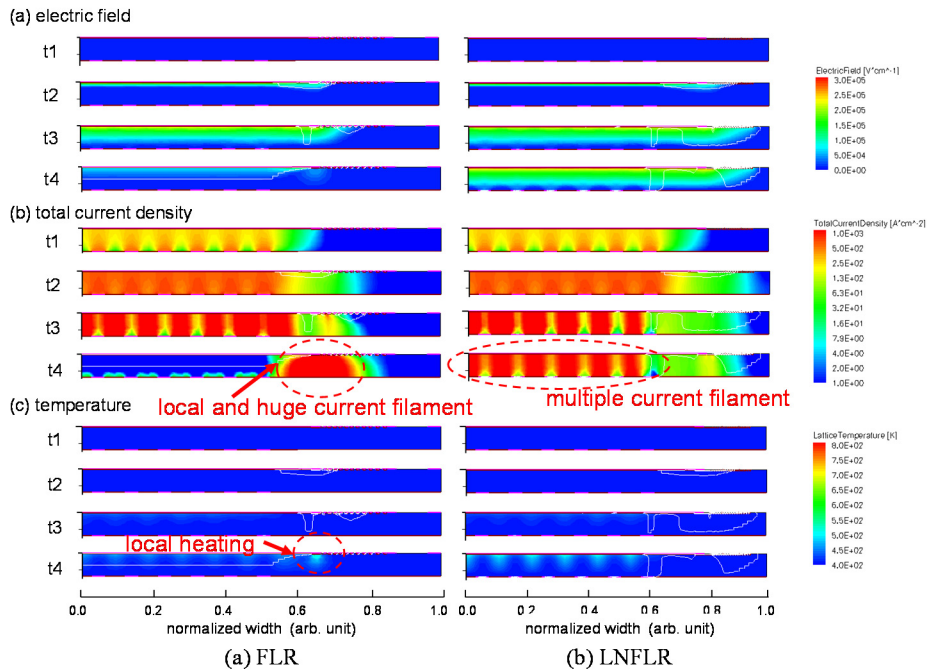


図 5.15. シミュレーションによる種々の 1700 V RFC diode における図 5.14 中の解析ポイント(T1-T4)におけるデバイス内容状態

Fig. 5.15. Simulated electric field, total current density and temperature distributions for various 1700 V RFC diodes from T1 to T4 shown in Fig. 5.14. Horizontal axes: normalized by device structure width.

局所的に巨大な current filament を形成する。その結果、形成した巨大な current filament 箇所がリ

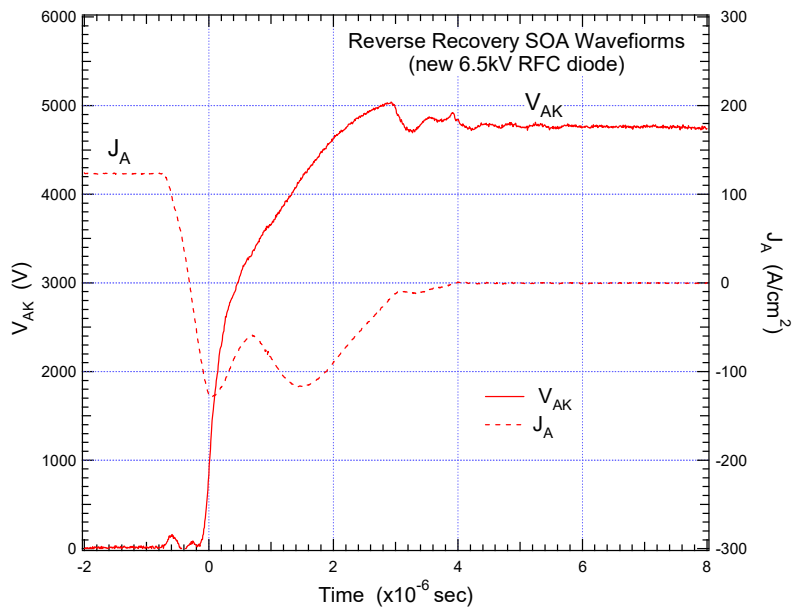


図 5.16. 新規 6.5kV RFC diode の高 L_S 条件下でのリカバリ遮断能力 (@423 K)

Fig. 5.16. Reverse recovery capability of new 6.5kV RFC diode under hard-switching conditions: $V_{CC} = 4500$ V, $J_F = 126$ A/cm² ($\times 2.0J_A$), $dj_A/dt = 5000$ A/cm²μs, $L_S = 6.95$ μH, 423 K.

カバリー動作中の hot spot となり、局所的な発熱による RFC diode の熱破壊を誘発する。一方、新規 RFC diode では、従来の RFC diode と同じように活性領域内に多数の current filament 発生するものの、多数の current filament の移動と巨大化して局所的な発熱発生の原因となる hot spot を形成しない結果、熱破壊誘発せずに遮断する。つまり、いずれの diode でも SOA 限界の厳しいリカバリー動作条件下の遮断能力は、活性領域内部での current filament 現象にて決定される性能であるが、LNFLR 構造を有する diode では FLR 構造を有する diode よりもインターフェースとエッジターミネーション境界に存在する pn 接合部付近の電界強度が低くなる。その結果、LNFLR 構造を有する RFC diode は、遮断能力が活性領域の遮断能力に律速した動作となり、リカバリー SOA を拡大させる可能性がある。本結果は、IGBT より diode の方がインターフェースとエッジターミネーション境界に存在する weak spot の影響が敏感であることから、ターンオフ遮断能力にエッジターミネーション領域の構造の影響が顕著になることを示唆している結果と考える。

図 5.16 は、LNFLR 構造を有する新規 6.5kV RFC diode の $L_S = 6.95$ μH という高 L_S 条件下でのターンオフ遮断能力である。新規 RFC diode は、 $V_{CC} = 4500$ V, $J_F \geq 126$ A/cm² ($\times 2.0J_A$), $L_S = 6.95$ μH, 423 K という厳しいリカバリー条件でも遮断可能である。また、図中の J_A 波形は、2つのコブが存在する特徴的な波形となっている。本波形は、リカバリー動作中のダイナミックアバランシェモードにより生成される電子が n ドリフト層へ再注入され、RFC diode 内部の寄生の p-n-p トランジ動作に起因した挙動と推定する。図 5.17 は、表 5.1 に示す 2 種類のエッジターミネーションを有する 6.5kV RFC diode のリカバリー SOA を比較した試作結果である。図では、SOA の指標として、maximin dj_A/dt と最大ピークパワーエネルギー密度を用いている。エッジターミネーション構造を FLR から LNFLR 構造とすることで、RFC diode の遮断可能な maximin dj_A/dt と

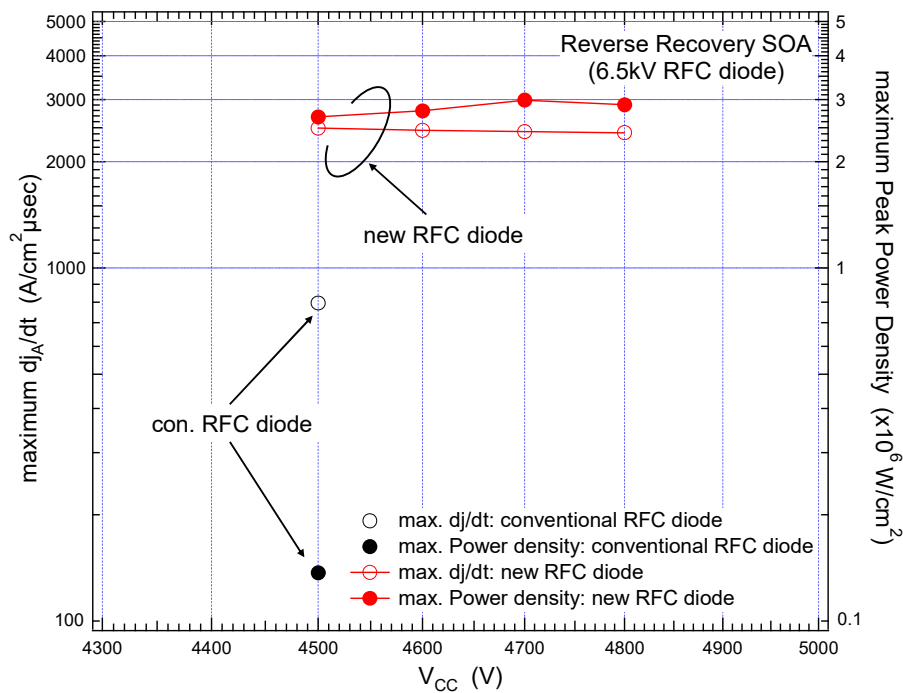


図 5.17. 種々の 6.5kV RFC diode のリカバリー SOA (@423 K)

Fig. 5.17. Measured 6.5kV diode reverse recovery SOA results at 126 A/cm² (x2.0J_A) showing maximum dj_A/dt and maximum power density as function V_{CC} : @L_S = 6.3μH, 423 K. The compared devices are of the same resistivity and t_{rr} .

最大ピークパワーエネルギー密度いずれも格段に向上することがわかる。提案する 6.5kV RFC diode は、423 K という高温下でも 3.0 MW/cm² のピークパワーエネルギー密度を遮断可能である。本結果は、図 5.14 から推定されるエッジターミネーション領域の設計による RFC diode のリカバリー SOA 拡大の結果を裏付ける結果である。つまり、LNFLR 構造を採用した RFC diode は、リカバリー動作時の遮断能力が格段に良くなることがわかる。よって、RFC diode のリカバリー SOA は、エッジターミネーション領域の電界強度分布を理想的な分布に制御する設計手法と組み合わせることで、さらなる拡大が見込める。

5.5 まとめ

第 5 章では、エッジターミネーション領域シュリンクしながら、高い耐圧保持能力とダイナミックな耐久性を兼ね備えたエッジターミネーション技術に関して、検討を行った。その結果、

- 1) デバイス動作時のエッジターミネーション領域の理想的な電界強度分布を実現する Linearly-Narrowed Field Limiting Ring (LNFLR) 構造
- 2) dynamic 動作時に LNFLR 構造の作用をサポートするキャリア制御技術(IGBT: partial P collector, diode: RFC 構造)

を組み合わせた新規エッジターミネーション設計手法を提案し、その優れた性能の実証結果を示した。

提案する設計手法を採用した HV-IGBT では、安定した耐圧保持能力とダイナミックなロバスト性を併せ持つ性能を実現する。FWD に関しては、LNFLR 構造の持つ電界強度分布の特徴を活かし、RFC diode のリカバリー-SOA 拡大を可能にする。また、本研究では LNFLR 構造に関して、耐圧保持能力とダイナミックな耐久性というデバイス性能面に着目して検証したが、第 1.3.3-(2) 章にて述べたパワーチップが搭載されるパワーモジュールの熱設計面の寄与も見込める。つまり、LNFLR 技術は、今後のパワー半導体技術開発の一方向性であるパワー半導体技術とパワーモジュール技術とが一体となった技術開発を具現化するコア技術である。

第 5 章の参考文献

- [1] K. Nakamura, K. Sadamatsu, D. Oya, H. Shigeoka, and K. Hatade, “Wide Cell Pitch LPT(II)-CSTBTTM(III) Technology Rating up to 6500 V for Low Loss,” in *Proc. ISPSD*, Hiroshima, Japan, 2010, pp. 387–390.
- [2] K. Nakamura, Y. Hisamoto, T. Matsumura, T. Minato, and J. Moritani, “The Second State of a Thin Wafer IGBT — Low Loss 1200 V LPT-CSTBTTM with Backside Doping Optimization Process —,” in *Proc. ISPSD*, Naples, Italy, 2006, pp. 133–136.
- [3] K. Nakamura, D. Oya, S. Saito, H. Okabe and K. Hatade, “Impact of an LPT(II) Concept with Thin Wafer Process Technology for IGBT’s Vertical Structure,” in *Proc. ISPSD*, Barcelona, Spain, 2009, pp. 295–298
- [4] H. Nakamura, K. Nakamura, S. Kusunoki, H. Takahashi, Y. Tomomatsu and M. Harada, “Wide Cell Pitch 1200V NPT CSTBTs with Short Circuit Ruggedness,” in *Proc. ISPSD*, Osaka, Japan, 2001, pp.299–302.
- [5] Z. Chen and K. Nakamura, “Semiconductor Device,” U.S. Patent 9 041 051, May 26, 2015.
- [6] Z. Chen, K. Nakamura, A. Nishii, T. Kawakami and T. Terashima, “A Balanced High Voltage IGBT Design with Ultra Dynamic Ruggedness and Area-efficient Edge Termination,” in *Proc. ISPSD*, Kanazawa, Japan, 2013, pp. 37–40.
- [7] Z. Chen, T. Kawakami and K. Nakamura, “Semiconductor Device,” U.S. Patent 9 385 183, Jul. 5, 2016.
- [8] K. Nakamura, “Method for Manufacturing Semiconductor Device,” Japan Patent 6065067, Jan. 25, 2017.

第6章 結論

エネルギー変換デバイスであるパワー半導体は、世界規模での電力供給問題という課題に対し、パワーエレクトロニクスの低消費エネルギー化(低発熱化)、高効率化および、高パワー密度化を担い、次世代社会で求められる高エネルギー効率化実現に向け、重要な役割を果たすキーテクノロジーの一つである。よって、パワー半導体の高性能化や長期安定動作が、パワーエレクトロニクスの高効率化や故障率低減に寄与し、省エネルギー化、高効率なエネルギー利用や安定なインフラシステムの実現により、人類の抱える電力供給問題の解決手段となりえる。つまり、パワー半導体技術のレベルを押し上げる研究開発が、世界規模で熱望されている。

第1章では、本研究の背景として世界規模での課題からのパワー半導体への期待を記載する。キーテクノロジーであるパワー半導体の構成要素とその役割や、パワー半導体の代表である Insulated Gate Bipolar Transistor (IGBT) と Free Wheeling diode (FWD) に関して、ターンオフ動作時のデバイス内部状態からの類似性を明確化する。そこで、本研究の目的およびゴールは、市場および社会からパワー半導体に要求される5つのアイテム:

- (a) 低トータルロス性能
- (b) 十分なダイナミックなロバスト性
- (c) 制御性の良いスイッチング挙動
- (d) 長期動作の安定性(長期信頼性)
- (e) すぐれたコスト効率性(高コストパフォーマンス)

間のバランスの取れたパワー半導体技術の探究と、その具現化である。目標とする技術を検討するにあたり、IGBT と FWD それぞれの具体的な個別の技術課題と共有技術課題を抽出し、本研究での技術探究の方向性を明確化する。以上から、本研究では、次世代 IGBT/diode の技術課題である高い耐圧保持能力と低トータルロス性能を損なうこと無く、ダイナミック動作下でのロバスト性向上と長期動作安定性へのアプローチ、その実現化と、上記要求アイテム解析手段の提案を行う。

第2章では、power diode のリカバリー動作中の2つの破壊モードに関して、シミュレーションを活用した diode の内部状態の解析によりそのメカニズムを明らかにした。その結果、ダイナミック動作下でのロバスト性向上の観点から、目標とする diode の内部状態を明確化し、高い耐圧保持能力と低トータルロス性能を保持しながら、diode のダイナミックなロバスト性向上を実現する RFC diode の提案とその優れた性能の実証結果を示した。

リカバリー動作中の diode の2つの破壊現象は、

- 1) n⁻ドリフト層中の居所的なキャリアプラズマ層の存在により主接合部の電界強度上昇による過電圧の発生(破壊モード A: 図 2.2(a-1))
- 2) 活性流域とインターフェース領域の境界での電流集中による臨界温度を超える局所的な発熱(破壊モード B: 図 2.2(a-2))

により、発生することがわかった。

この FWD の抱える技術課題の解決手段は、破壊モード A に関してはリカバリー動作中に活

性領域のカソード側にキャリアプラズマ層を残すこと、破壊モード B に関しては ON 状態から活性領域端部でのキャリア濃度を低濃度化するという両方を実現可能にするデバイス構造である。新規カソード構造を有する Relaxed Field of Cathode (RFC) diode は、diode の ON 状態およびリカバリー動作中のカソード側の電子注入効率を制御することで、目標とする diode の内部状態を実現する。提案する RFC diode は、熱的な安定性と低トータルロス性能を持ちながら優れたダイナミックなロバスト性を併せ持つ FWD 技術である。RFC diode は、Si 系パワーモジュール市場の主力耐圧クラス全領域(650 V-6.5kV クラス)にて、同じコンセプトにて、優れたデバイス性能面の効果を保証可能であることを実証する。

第 3 章では、High-Voltage IGBT (HV-IGBT)のターンオフ動作中の破壊モードに関して、シミュレーションを活用した HV-IGBT の内部状態の解析によりそのメカニズムを明らかにした。その結果、ダイナミック動作下でのロバスト性向上の観点から、目標とする IGBT の構成要素ごとの内部状態を明確化し、高い耐圧保持能力と低トータルロス性能を保持しながら、IGBT のダイナミックなロバスト性向上を実現する partial P collector 構造の提案とその優れた性能の実証結果を示した。

L 負荷スイッチング動作中の HV-IGBT のターンオフモードでの破壊現象は、

- 1) インターフェース領域とエッジターミネーション領域の境界に存在する pn 接合部付近にてホール電流集中とインパクトイオン化が、2 つの hot spot 形成に寄与する
 - 2) 2 つの hot spot は 1 つの高温の”hot spot”を形成し、局所的な発熱の原因となる
- 結果、インターフェース領域とエッジターミネーション領域の境界での熱破壊である。

この HV-IGBT の抱える技術課題の解決手段は、ダイナミック動作中上記 pn 接合部付近のキャリア濃度を最小化することによる電界強度の緩和を実現可能にするデバイス構造である。新規エッジターミネーション構造である partial P collector 構造を有する HV-IGBT は、HV-IGBT の ON 状態およびターンオフ動作中のインターフェース領域とエッジターミネーション領域にかけてのコレクタ側のホール注入効率を制御することで、目標とする IGBT の内部状態を実現する。また、新規 HV-IGBT の破壊モードは、活性領域内部での current filament 現象にて決定される。partial P collector を有する HV CSTBT™(III)は、熱的な安定性と低トータルロス性能を持ちながら優れたダイナミックなロバスト性を併せ持つ IGBT 技術であることを実証する。

第 4 章では、最新の power diode のハードスイッチングプロセスでの破壊モードに関して、シミュレーションを活用した power diode の内部状態の解析によりそのメカニズムを明らかにした。その結果、ダイナミック動作下でのロバスト性向上の観点から、n バッファ層中のキャリアプラズマ層制御に着目し、高い耐圧保持能力と低トータルロス性能を保持しながら diode のダイナミックなロバスト性向上を実現する、LPT(II)n バッファ層と controlling carrier-plasma layer (CPL)領域からなる新規 n バッファ構造の提案とその優れた性能の実証結果を示した。

ハードスイッチング動作中の RFC diode の破壊現象は、寄生の p-n-p トランジスタ領域のアンノード側の pn 接合部でのインパクトイオン化の促進(pn 接合部でのダイナミックアバランシェ現象発生)と current filament の挙動に起因した破壊である。

この RFC diode 特有な技術課題の解決手段は、リカバリー動作中のカソード側でのキャリア

∴ Si系パワー半導体の目指す一方向性:
性能間のバランスが取れたパワー半導体

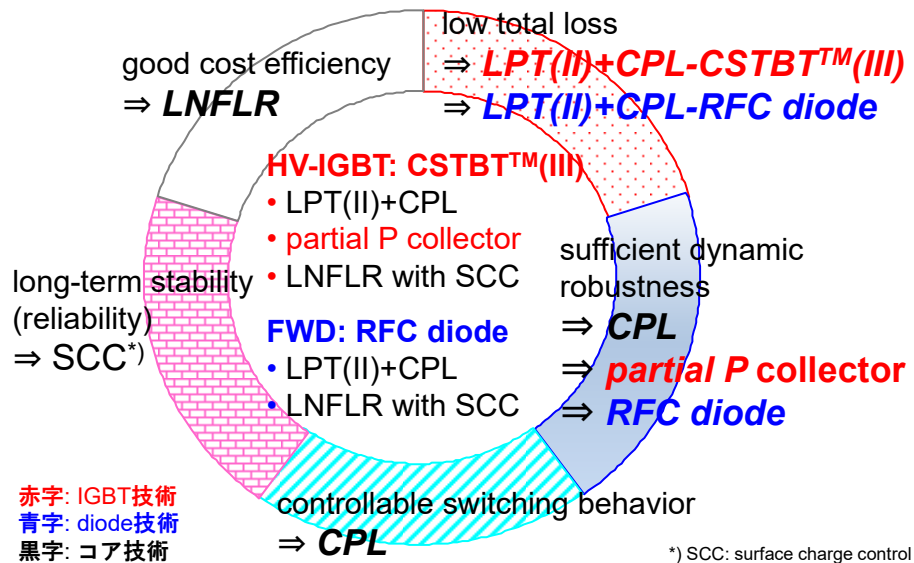


図 6.1.. 提案するバランスの取れたパワー半導体

Fig. 6.1. Proposed a balanced power semiconductor

プラズマ層およびキャリアプラズマ層と電界強度の相互作用の制御を実現するデバイス構造である。提案する n バッファ構造は、n バッファ構造を構成する CPL 領域に存在する 2 種類のホールトラップによりキャリア再結合を促進することで、目標とする diode の内部状態を実現する。新規 n バッファ構造を有する RFC diode は、低トータルロス性能を持ちながら優れたソフトスイッチング性能とダイナミックなロバスト性を併せ持つ diode 技術である。新規 n バッファ技術は、ホールトラップが存在する CPL 領域が存在するものの熱的安定性があり、power diode の 448 K 以上の高温動作を可能にする。提案する技術は、IGBT へ適用してもターンオフ動作時のソフトスイッチング動作や低トータルロス性能という類似な有効性を示しながら、IGBT 動作上特有な短絡動作時の耐久性向上にも寄与する。

第 5 章では、エッジターミネーション領域シュリンクしながら、高い耐圧保持能力とダイナミックな耐久性を兼ね備えたエッジターミネーション技術に関して、検討を行った。その結果、

- 1) デバイス動作時のエッジターミネーション領域の理想的な電界強度分布を実現する Linearly-Narrowed Field Limiting Ring (LNFLR)構造
- 2) dynamic 動作時に LNFLR 構造の作用をサポートするキャリア制御技術(IGBT: partial P collector, diode: RFC 構造)

を組み合わせた新規エッジターミネーション設計手法を提案し、その優れた性能の実証結果を示した。

提案する設計手法を採用した HV-IGBT では、安定した耐圧保持能力とダイナミックなロバスト性を併せ持つ性能を実現する。FWD に関しては、LNFLR 構造の持つ電界強度分布の特徴を活

かし、RFC diode のリカバリーSOA 拡大を可能にする。また、本研究では LNFLR 構造に関して、耐圧保持能力とダイナミックな耐久性というデバイス性能面に着目して検証したが、第 1.3.3-(2) 章にて述べたパワーチップが搭載されるパワーモジュールの熱設計面の寄与も見込める。つまり、LNFLR 技術は、今後のパワー半導体技術開発の一方向性であるパワー半導体技術とパワーモジュール技術とが一体となった技術開発を具現化するコア技術である。LNFLR 構造に関しては、HV 領域のパワー半導体の耐湿性を含む高信頼性への検証[1]–[5]も進んでおり、安定した耐圧保持能力とダイナミックなロバスト性を併せ持ちながら、耐湿性を含む耐圧系信頼性の向上を実現できる可能性のある技術である。

図 6.1 には、本研究により得られた、市場および社会からパワー半導体から要求される 5 つのアイテムへの技術を示す。本研究から提案する性能間のバランスの取れた Si 系パワー半導体は、第 1.2 章にて述べたパワー半導体の 4 つの構成要素ごとにまとめると、以下のようになる。

(HV-IGBT)

- 活性領域[6]: wide cell pitch CSTBT™(III)
- 縦構造/n バッファ構造(第 3 章および第 4 章): partial P collector /LPT(II) n バッファ層+CPL 領域
- インターフェース[7]: バラスト抵抗構造
- エッジターミネーション(第 5 章): LNFLR+surface charge control (SCC)[1]

(FWD)

- 活性領域(第 2 章): RFC
- 縦構造/n バッファ構造(第 4 章): RFC /LPT(II) n バッファ層+CPL 領域
- インターフェース[8]: バラスト抵抗構造
- エッジターミネーション(第 5 章): LNFLR+SCC[1]

本研究結果のバランスの取れたパワー半導体は、Si ウエハの大口径($\geq 200\text{mm}$)にマッチングし、Si 系パワー半導体の持続的な発展を支える有望な技術でもある。今後は、本研究にて提案するパワー半導体を搭載するパワーモジュールが組み込まれたパワーエレクトロニクスの市場投入とその普及により、人類の抱える電力供給問題の解決手段を担う高エネルギー効率化技術として期待に十分答え、次世代社会の実現性面から人類の進歩への寄与が期待される。

第 6 章の参考文献

- [1] S Honda, T. Harada, A. Nishii, Z. Chen and K. Shimizu, “High Voltage Device Edge Termination for Wide Temperature Range plus Humidity with Surface Charge Control (SCC) Technology,” in *Proc. ISPSD*, Prague, Czech Republic, Jun. 2016, pp. 291-294.
- [2] N. Tanaka, K. Ota, S. Iura, Y. Kusakabe, K. Nakamura, E. Wiesner and E. Thal, “Robust HVIGBT Module against High Humidity,” in *Proc. PCIM Europe*, Nuremberg, Germany, May 2015, pp. 368-373.
- [3] N. Tanaka, S. Kitamura, K. Ota, S. Iura, K. Nakamura, E. Wiesner and E. Thal, “Durable Design of the New HVIGBT Module,” in *Proc. PCIM Europe*, Nuremberg, Germany, May 2016, pp. 425-431.

- [4] Y. Kitajima et al, "Lifetime estimation model of HVIGBT considering humidity," in *Proc. PCIM Europe*, Nuremberg, Germany, May 2017, pp. 353–358.
- [5] K. Nakamura, K. Hatori, S. Iura, Y. Kusakabe, E. Thal and E. Wiesner, "The test method to confirm robustness against condensation," in *Proc. EPE*, Sep. Genova, Italy, 2019, pp. 1–8.
- [6] K. Nakamura, K. Sadamatsu, D. Oya, H. Shigeoka, and K. Hatade, "Wide Cell Pitch LPT(II)-CSTBTTM(III) Technology Rating up to 6500 V for Low Loss," in *Proc. ISPSD*, Hiroshima, Japan, Jun. 2010, pp. 387–390.
- [7] K. Nakamura, "Power Semiconductor Device Including Well Extension Region and Field-Limiting Rings," U.S. Patent 9 941 269, Apr. 10, 2018.
- [8] A. Nishii, K. Nakamura, F. Masuoka, and T. Terashima, "Relaxation of Current Filament due to RFC Technology and Ballast Resistor for Robust FWD Operation," in *Proc. ISPSD*, San Diego, CA, USA, May 2011, pp. 112–115.

第7章 謝辞

指導教官であり本論文の主査である国立大学法人九州大学 応用力学研究所 教授 西澤 伸一先生には、今回の博士後期課程社会人枠でのチャレンジおよび本研究の進め方に関して、ご指導およびご助言いただき心より御礼申し上げます。

本論文の審査の過程で、副査を引き受けていただきました国立大学法人九州大学 応用力学研究所教授、齋藤 渉先生、柿本 浩一先生および、国立大学法人九州大学 グローバルイノベーションセンター長 中島 寛先生には、深く感謝いたします。中島先生においては、博士課程社会人枠検討時のご助言と、2011年時点での後の次世代 diode 技術開発と種々の Si ウエハ材料を使いこなす上での不純物欠陥に着目することの重要性に影響を及ぼす物理解析データを提出いただいた際のご対応に御礼申し上げます。

本論文は、著者が主に三菱電機株式会社パワーデバイス製作所に所属し、幸運にも入社から一貫してパワー半導体構造およびプロセス要素技術開発に携わり、最新の HV-IGBT および FWD 技術開発時の技術開発結果をまとめたものです。その際、三菱電機株式会社熊本工場のプロセスエンジニアの方々には、日々の量産技術管理という厳しい環境の中で、本研究のためのデバイス試作やウエハプロセス技術開発に関してサポートいただき、感謝いたします。本研究を遂行するにあたり、瓜生 勝美氏はシミュレーション技術を用いてのデバイス内部状態の解析面、原口 友樹氏、本田 成人氏および松村 民雄氏は新規ウエハプロセス要素技術の検証とそれを用いた実証デバイス試作面、西 康一氏および鈴木 健司氏は low-voltage (LV)-IGBT での研究技術の検証面、大月 詠子氏および森本 昇氏は HV-diode での研究技術の検証面、大宅 大介氏および斉藤省二氏は HV-IGBT での研究技術の検証面、岩永 広志氏、岡部 博明氏および井上 雅規氏は RFC diode 技術のコンセプト面、田中 香次氏および清井 明氏は Si 材料に関する物理解析とその解釈への議論面に関して、細かなサポートや有意義なコメントをいただき感謝します。本研究全般に関して、技術開発への飽くなき情熱と妥協なき探究心を併せ持ち、日々の有意義な議論を通してお互いに切磋琢磨した同僚である陳 則氏、増岡 史仁氏および西井 昭人氏には、返す言葉がありません。君等のサポートがあり、本研究に関するぶれない姿勢が我々の目指す技術開発による社会への貢献へ繋がっていると考えます。また、寺島 知秀博士にはグローバルな視点での技術開発エンジニアとしての目指すべき姿や博士後期課程社会人特別選抜での心構えに関しご指導いただいたこと、川瀬 祐介氏、古川 彰彦氏、清水 和宏氏、寺崎 芳明氏および佐藤 克己博士には、日々の暖かいご支援と絶え間ない激励に深く御礼申し上げます。このように、たくさんの方々に支えられかつサポートいただいた日々が、私が本研究を最後までやり遂げることができた大きな要因と考えます。

三菱電機株式会社入社後の技術開発エンジニアとしての基盤構築時期に、パワー半導体技術の世界の醍醐味とそれに駆ける情熱に関してご指導いただきました、高田 育紀氏には感謝という言葉では表現できないものがあります。当時の議論の中で共感した言葉とそれによる自分自身の持つ限界と殻の打破が、今回の博士後期課程社会人特別選抜にチャレンジするベースとなる土台を構築し、自分自身の背中を押して一步踏み出す勇気の源になっていると認識する次

第です。

最後に、私の小さい頃から興味のある事へ情熱を駆ける姿勢に対して一貫して暖かい愛情を注ぎ応援をしてくれた両親の存在と、私が日々の厳しい時期を乗り越えることを信じサポートし、かつ励ましてくれた妻の裕子の支えと細部への目配りがなかったら、本研究を終えることができなかつたものと考えます。両親および妻への感謝の念は、計り知れないものがあります。

第 8 章 研究成果および業績一覧

8.1 発表文献

8.1.1 regular paper (複数の reviewer による査読有り)

- [1] K. Nakamura, F. Masuoka, A. Nishii, S. Nishizawa and A. Furukawa, “Freewheeling Diode Technology with Low Loss and High Dynamic Ruggedness in High-Speed IGBT Application,” *IEEE Trans. Electron Devices*, vol. 66, no. 11, pp. 4842–4849, Nov. 2019, doi: 10.1109/TED.2019.2941710.
- [2] K. Nakamura, Z. Chen, S. Nishizawa and A. Furukawa, “CSTBTTM technology for high voltage applications with high dynamic robustness and low overall loss,” *Microelectron. Reliab.*, vol. 110, p. 113635, Jul. 2020, doi: <https://doi.org/10.1016/j.microrel.2020.113635>.
- [3] K. Nakamura, S. Nishizawa and A. Furukawa, “N Buffer Design for Silicon-Based Power Diode Targeting High Dynamic Robustness and High Operating Temperature over 448 K,” *IEEE Trans. Electron Devices*, vol. 67, no.6, Jun. 2020, doi: 10.1109/TED.2020.2990387.

8.1.2 学会発表 (国際学会および国内学会)

表 8.1.2.1 には、学会発表内容に関する筆頭著者と共同著者の発表件数を示す。

表 8.1.2.1. 学会発表件数一覧表

学会種類	発表件数		
	Total	筆頭著者	共同著者
国際学会	22	11	11
国内学会	13	9	4

表 8.1.2.2 には、学会発表内容の詳細を示す。

表 8.1.2.2. 学会発表詳細一覧表

No.	表題	発表学会名,項,発表年	著者
1	600 V トレンチ IGBT(II) (性能限界)	電気学会研究会, EDD-94-49/SPC-94-71, 1994	原田 眞名, 湊 忠玄, 高田 育紀, 中村勝光
2	An Observation of Breakdown Characteristics on Thick Silicon Oxide	ISPSD ⁹⁾ , pp. 374-379, 1995	Katsumi Nakamura, Tetsuo Takahashi, Toshiaki Hikichi and Ikunori Takata
3	比較的厚いシリコン熱酸化膜の降伏現象	電気学会研究会, EDD-95-	中村勝光, 高橋 徹雄, 引地 敏彰,

	の観察	68/SPC-95-51, 1995	高田 育紀
4	Evaluation of Thick Silicon Dioxides Grown on Trench MOS Gate Structures	ISPSD, pp. 79-82, 1996	<u>Katsumi Nakamura</u> , Tadaharu Minato, Tetsuo Takahashi, Hideki Nakamura and Masana Harada
5	トレンチゲート酸化膜のリーク特性評価および特性改	電気学会研究会, EDD-96-110/SPC-96-90, 1996	中村 勝光, 湊 忠玄, 高橋 徹雄, 中村 秀城, 原田眞名
6	A Design Concept For the Low Forward Voltage Drop 4500V Trench IGBT	ISPSD, pp. 43-46, 1998	T. Nitta, A. Uenishi, T. Minato, S. Kusunoki, T. Takahashi, H. Nakamura, <u>K. Nakamura</u> , S. Aono and M. Harada
7	A Design Concept for the Low Turn-off Loss 4.5kV Trench IGBT	ISPSD, pp. 51-54, 1998	T. Takahashi, A. Uenishi, S. Kusunoki, T. Minato, H. Nakamura, S. Aono, <u>K. Nakamura</u> , T. Nitta and M. Harada
8	トレンチ MOS ゲート構造への CVD ゲート酸化膜の有効性	電気学会全国大会, 2000	中村 勝光, 楠 茂, 中村 秀城, 原田 眞名
9	Advantages of Thick CVD Gate Oxide for Trench MOS Gate Structures	ISPSD, pp.83 -86, 2000	<u>Katsumi Nakamura</u> , Shigeru Kusunoki, Hideki Nakamura and Masana Harada
10	Wide cell pitch 1200V NPT CSTBTs with short circuit ruggedness	ISPSD, pp. 299-302, 2001	Hideki Nakamura, <u>Katsumi Nakamura</u> , Shigeru Kusunoki, Hideki Takahashi, Yoshifumi Tomomatsu, and Masana Harada
11	高破壊耐量ワイドセルピッチ NPT-IGBT(CSTBT)	電気学会研究会, EDD-01-84/SPC-01-89, 2001	中村 秀城, 中村 勝光, 楠 茂, 高橋 英樹, 友松 佳史, 原田眞名
12	Advanced Wide Cell Pitch CSTBTs Having Light Punch-Through (LPT) Structures	ISPSD, pp. 277-280, 2001	<u>Katsumi Nakamura</u> , Shigeru Kusunoki, Hideki Nakamura, Youichi Ishimura , Yoshifumi Tomomatsu and Tadaharu Minato
13	A 1700V LPT-CSTBT With Low Loss and High Durability	APEC**, pp. 173-178, 2002	Eric Motto, John Donlon, Tsutomu Nakagawa, Youichi Ishimura, Katsumi Satoh, Junji Yamada, Masanori Yamamoto, Shigeru Kusunoki, Hideki Nakamura and Katsumi Nakamura
14	The Second Stage of a Thin Wafer IGBT	ISPSD, pp. 133-136, 2006	<u>Katsumi Nakamura</u> , Yoshiaki

	Low Loss 1200V LPT-CSTBT™ with a Backside Doping Optimization Process		Hisamoto, Tamio Matsumura, Tadaharu Minato and Junichi Moritani
15	1200V LPT-CSTBT™ 開発	電気学会研究会, EDD-06-51/SPC-06-123, 2006	中村 勝光, 愛甲 光徳, 久本 好明, 松村 民雄, 友松 佳史
16	The Next Generation of HV-IGBTs with Low Loss and High SOA Capability	ISPSD, pp. 145-148, 2008	<u>Katsumi Nakamura</u> , Kenji Hatori, Yoshiaki Hisamoto, Shunsuke Sakamoto, Tatsuo Harada and Kazunari Hatade
17	次世代 HV-IGBT 開発	電気学会研究会, EDD-08-51/SPC-08-138, 2008	中村 勝光, 齊藤 省二, 久本 好明, 渡辺 友勝, 幡手 一成
18	Evaluation of Oscillatory Phenomena in Reverse Operation for High Voltage Diodes	ISPSD, pp. 156-159, 2009	<u>Katsumi Nakamura</u> , Hiroshi Iwanaga, Hiroaki Okabe, Shoji Saito and Kazunari Hatade
19	Impact of an LPT(II) Concept with Thin Wafer Process Technology for IGBT's Vertical Structure	ISPSD, pp. 295-298, 2009	<u>Katsumi Nakamura</u> , Daisuke Oya, Shoji Saito, Hiroaki Okabe and Kazunari Hatade
20	IGBT 縦構造への薄ウエハプロセス技術を用いた LPT(II)コンセプトの有効性	電気学会研究会, EFM-09-028/EDD-09-062/SPC-09-129, 2009	中村 勝光, 大宅 大介, 齊藤 省二, 岡部 博明, 幡手 一成
21	Advanced RFC Technology with New Cathode Structure of Field Limiting Rings for High Voltage Planar Diode	ISPSD, pp. 133.-136, 2010	<u>Katsumi Nakamura</u> , Fumihito Masuoka, Akito Nishii, Koji Sadamatsu, Soichi Kitajima and Kazunari Hatade
22	Wide Cell Pitch LPT(II)-CSTBT™(III) Technology Rating up to 6500 V for Low Loss	ISPSD, pp. 387-390, 2010	<u>Katsumi Nakamura</u> , Koji Sadamatsu, Daisuke Oya, Hidenori Shigeoka and Kazunari Hatade
23	高耐圧領域へのワイドセルピッチ LPT(II)-CSTBT™(III)技術の有効性	電気学会研究会, EDD-10-101/SPC-10-158, 2010	中村 勝光, 陳 則, 貞松 康史, 大宅 大介, 寺島 知秀
24	Relaxed Field of Cathode (RFC) Diode: 高破壊耐量を有する次世代 HV Diode	電気学会研究会, EDD-10-106/SPC-10-163, 2010	増岡 史仁, 中村 勝光, 西井 昭人, 貞松 康史, 寺島 知秀
25	Relaxation of Current Filament due to RFC Technology and Ballast Resistor for Robust FWD Operation	ISPSD, pp. 96-99, 2011	Akito Nishii, <u>Katsumi Nakamura</u> , Fumihito Masuoka and Tomohide Terashima
26	Optimized Design against Cosmic Ray	PCIM*** Europe, pp. 26-31,	Hitoshi Uemura, Shinichi Iura,

	Failure for HVIGBT Modules	2011	<u>Katsumi Nakamura</u> , Hinho Kim and Eugen Stumpf
27	RFC diode の高リカバリー耐量化 逆回復動作における current filament 現象 とその抑制	電気学会研究会, EDD-11- 054/SPC-11-146, 2011	西井 昭人, 中村 勝光, 増岡 史 仁, 寺島 知秀
28	LPT(II)-CSTBT™(III) for High Voltage Application with Ultra Robust Turn-off Capability Utilizing Novel Edge Termination Design	ISPSD, pp. 25-28, 2012	Ze Chen, <u>Katsumi Nakamura</u> and Tomohide Terashima
29	Great Impact of RFC Technology on Fast Recovery Diode towards 600 V for Low Loss and High Dynamic Ruggedness	ISPSD, pp. 373-376, 2012	Fumihito Masuoka, <u>Katsumi Nakamura</u> , Akito Nishii and Tomohide Terashima
30	6.5kV IGBTs with Improved Long Term DC Stability (LTDS)	APEC, pp. 1692-1697, 2012	John F. Donlon, Eric R. Motto, Hitoshi Uemura, Shinichi Iura, <u>Katsumi Nakamura</u> , Minho Kim and Eugen Stumpf
31	RFC diode のキャリアプラズマ形成メカ ニズムと 600~1700V クラスでの有効性 実証	電気学会研究会, EDD-12- 072/SPC-12-145, 2012	増岡 史仁, 中村 勝光, 西井 昭人, 寺島 知秀
32	High Voltage アプリケーションへの LPT(II)-CSTBT™(III)技術のチャレンジ ~ 新規エッジターミネーション設計によ る高ターンオフ耐量化 ~	電気学会研究会, EDD-12- 077/SPC-12-150, 2012	陳 則, 中村 勝光, 寺島 知秀
33	A Balanced High Voltage IGBT Design with Ultra Dynamic Ruggedness and Area- efficient Edge Termination	ISPSD, pp. 37-40, 2013	Ze Chen, <u>Katsumi Nakamura</u> , Akito Nishii, Tsuyoshi Kawakami and Tomohide Terashima
34	Advanced RFC diode utilizing a Novel Vertical Structure for Softness and High Dynamic Ruggedness	ISPSD, pp. 117-120, 2017	<u>Katsumi Nakamura</u> , and Kazuhiro Shimizu
35	新規縦構造を用いたソフトリカバリー性 と高いダイナミックな耐久性を併せ持つ RFC diode	電気学会研究会, EDD-17- 086/SPC-17-185, 2017	中村 勝光, 清水 和宏

(注意事項 1)

*) ISPSD: International Symposium on Power Semiconductor Devices & ICs

***) APEC: IEEE Applied Power Electronics Conference and Exposition

****) PCIM: International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management

(注意事項 2)

- 査読有り学会: ISPSD, APEC, PCIM
- 査読無し学会: 電気学会全国大会, 電気学会研究会

8.1.3 招待講演

表 8.1.3.1 には, 招待講演内容の詳細を示す。

表 8.1.3.1. 招待講演詳細一覧表

No.	表題	発表学会名,項,発表年	著者
1	Si パワーデバイスの信頼性課題 – Si-IGBT/diode の高い耐久性&優れたロバスト性の重要性 –	先進パワー半導体分科会 2018 年度 チュートリアル, vol. 03, no. 01, pp. 69-100, 2018	中村 勝光
2	新規縦構造を用いた高いダイナミックな耐久性を持つ先進 Si パワー半導体	2019 年春 応物シンポジウム 先進パワー半導体分科会, イオン注入技術の進展 ~ Si,GaAs から最先端 WBG 半導体まで ~, p. 100000001-135, 2019	中村 勝光, 鈴木 健司, 西 康一

8.2 特許

表 8.2.1 には, 取得した特許に関する筆頭発明と共同発明の特許件数を示す。

表 8.2.1. 取得特許数一覧表

取得国	取得特許件数		
	Total	筆頭発明	共同発明
日本	45	31	14
アメリカ	55	31	24

日本およびアメリカでの取得特許の詳細は, それぞれ表 8.2.2 および表 8.2.3 に示す。

表 8.2.2 取得特許詳細一覧表 (出願国: 日本)

登録番号	出願日	登録日	名称	発明者
3396553	1995/1/9	2003/2/7	半導体装置の製造方法及び半導体装置	中村 勝光, 湊 忠玄, 富永 修一, 塩沢 勝臣
3788971	2002/12/16	2006/4/7	半導体装置	中村 勝光, 湊 忠玄, 富永 修一, 塩沢 勝臣
3481287	1994/2/24	2003.10.10	半導体装置の製造方法	中村 勝光, 湊 忠玄, 塩沢 勝臣, 富永 修一,
3850766	2002/7/25	2006/9/8	半導体装置	中村 勝光, 湊 忠玄, 塩沢 勝臣, 富永 修一,
3819337	2002/7/25	2006/6/23	半導体装置の製造方法	中村 勝光, 湊 忠玄, 塩沢 勝臣, 富永 修一,
4205128	2006/12/19	2008/10/24	高耐圧半導体装置およびその製造方法	上西 明夫, 中村 勝光
3976374	1997/7/11	2007/6/29	トレンチ MOS ゲート構造を有する半導体装置及びその製造方法	中村 勝光
4867597	2006/11/15	2011/11/25	トレンチ構造を有する半導体装置の製造方法	中村 勝光
3705919	1998/3/5	2005/8/5	半導体装置及びその製造方法	中村 勝光
4986420	2005/7/5	2012/5/11	トランジスタ	中村 勝光
5622814	2012/8/29	2014/10/3	半導体装置及びその製造方法	中村 勝光
4785334	2001/1/19	2011/7/22	半導体装置	中村 勝光, 楠 茂, 中村 秀城
5025071	2001/2/1	2012/6/29	半導体装置およびその製造方法	中村 勝光, 楠 茂, 中村 秀城
6026767	2012/4/27	2016/10/21	半導体装置およびその製造方法	中村 勝光, 楠 茂, 中村 秀城
5908524	2014/4/21	2016/4/1	半導体装置	中村 勝光
6280148	2016/3/23	2018/1/26	半導体装置	中村 勝光
5256357	2012/2/6	2013/4/26	半導体装置	中村 勝光
5925991	2011/2/3	2016/4/28	半導体装置	中村 勝光
6301776	2014/8/6	2018/3/9	半導体装置	中村 勝光
6336179	2017/4/27	2018/5/11	半導体装置	中村 勝光
6598909	2018/3/16	2019/10/11	半導体装置	中村 勝光
5634318	2011/4/19	2014/10/24	半導体装置	大宅 大介, 中村 勝光
6065035	2015/2/24	2017/1/6	半導体装置	西井 昭人, 中村 勝光
5621703	2011/4/26	2014/10/3	半導体装置	貞松 康史, 陳 則, 中村 勝光
5708803	2011/7/5	2015/3/13	半導体装置	陳 則, 中村 勝光

5701447	2012/3/5	2015/2/27	半導体装置	陳 則, 中村 勝光
5822032	2012/12/7	2015/10/16	半導体装置の製造方法	増岡 史仁, 中村 勝光, 加地 考男
5716865	2012/4/13	2015/3/27	ダイオード	西井 昭人, 中村 勝光
6065067	2015/7/15	2017/1/6	半導体装置の製造方法	中村 勝光
6311770	2016/10/25	2018/3/30	半導体装置の製造方法	中村 勝光
6558462	2018/3/22	2019/7/26	半導体装置	中村 勝光
5991383	2012/12/6	2016/8/26	半導体装置の製造方法	陳 則, 川上 剛史, 中村 勝光
5971414	2013/6/12	2016/7/22	半導体装置	増岡 史仁, 中村 勝光, 西井 昭人
6597826	2018/4/5	2019/10/11	半導体装置	増岡 史仁, 中村 勝光, 西井 昭人
6165271	2014/1/29	2017/6/30	電力用半導体装置	中村 勝光
6150908	2014/1/29	2017/6/2	電力用半導体装置	中村 勝光
6407354	2017/5/22	2018/9/28	電力用半導体装置	中村 勝光
6615291	2018/9/14	2019/11/15	電力用半導体装置	中村 勝光
6615292	2018/9/14	2019/11/15	電力用半導体装置	中村 勝光
6618591	2018/9/14	2019/11/22	電力用半導体装置	中村 勝光
6289683	2015/1/27	2018/2/16	半導体装置	中村 勝光
6519649	2015/3/13	2019/5/10	半導体装置及びその製造方法	鈴木 健司, 檜崎 敦史, 上馬場 龍, 深田 祐介, 中村 勝光
6702467	2019/2/25	2020/5/11	半導体装置及びその製造方法	鈴木 健司, 檜崎 敦史, 上馬場 龍, 深田 祐介, 中村 勝光
6662393	2015/12/28	2020/2/17	半導体装置、半導体装置の製造方法	中村 勝光, 原田 辰雄, 野村 典嗣
6661575	2017/6/20	2020/2/14	半導体装置およびその製造方法	鈴木 健司, 金田 充, 西 康一, 中 村 勝光

表 8.2.3. 取得特許詳細一覧表 (出願国: アメリカ)

登録番号	出願日	登録日	名称	発明者
5783491	1995/2/2	1998/7/21	METHOD OF FORMING A TRUCK MOS GATE OR A POWER SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u> , Tadaharu Minato, Syuichi Tominaga, Katsuomi Shiozawa
6117734	1997/12/22	2000/9/12	METHOD OF FORMING A TRENCH MOS GATE ON A POWER SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u> , Tadaharu Minato, Syuichi Tominaga, Katsuomi Shiozawa
6710401	2001/3/12	2004/3/23	SEMICONDUCTOR DEVICE INCLUDING A TRENCH WITH AT LEAST ONE OF AN EDGE OF AN	<u>Katsumi Nakamura</u> , Tadaharu Minato, Syuichi Tominaga, Katsuomi Shiozawa

			OPENING AND A BOTTOM SURFACE BEING ROUND	
7067874	2003/5/13	2006/6/27	SEMICONDUCTOR DEVICE INCLUDING TRENCH WITH AT LEAST ONE OF AN EDGE OF AN OPENING AND A BOTTOM SURFACE BEING ROUND	<u>Katsumi Nakamura</u> , Tadaharu Minato, Syuichi Tominaga, Katsuomi Shiozawa
5508534	1995/2/7	1996/4/16	Trench GATE TYPE INSULATED GATE BIPOLAR TRANSISTOR	<u>Katsumi Nakamura</u> , Tadaharu Minato, Syuichi Tominaga, Katsuomi Shiozawa
5578522	1995/11/30	1996/11/26	SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING SAME	<u>Katsumi Nakamura</u> , Tadaharu Minato, Syuichi Tominaga, Katsuomi Shiozawa
5977570	1998/2/23	1999/11/2	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF	Tetsuo Takahashi, <u>Katsumi Nakamura</u> , Tadaharu Minato, Masana Harada
6265735	1998/12/30	2001/7/24	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF	Tetsuo Takahashi, <u>Katsumi Nakamura</u> , Tadaharu Minato, Masana Harada
6693310	2001/5/23	2004/2/17	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF	Tetsuo Takahashi, <u>Katsumi Nakamura</u> , Tadaharu Minato, Masana Harada
6445012	2001/5/23	2002/9/3	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF	Tetsuo Takahashi, <u>Katsumi Nakamura</u> , Tadaharu Minato, Masana Harada
6867437	2002/8/20	2005/3/15	SEMICONDUCTOR DEVICE	Tetsuo Takahashi, <u>Katsumi Nakamura</u> , Tadaharu Minato, Masana Harada
6897493	2003/6/10	2005/5/24	SEMICONDUCTOR DEVICE	Tetsuo Takahashi, <u>Katsumi Nakamura</u> , Tadaharu Minato, Masana Harada
7253031	2004/11/2	2007/8/7	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF	Tetsuo Takahashi, <u>Katsumi Nakamura</u> , Tadaharu Minato, Masana Harada
5894149	1996/12/9	1999/4/13	SEMICONDUCTOR DEVICE HAVING HIGH BREAKDOWN VOLTAGE AND	Akio Uenishi, <u>Katsumi Nakamura</u>

			METHOD OF MANUFACTURING THE SAME	
6111290	2000/2/24	2000/8/29	SEMICONDUCTOR DEVICE HAVING HIGH BREAKDOWN VOLTAGE AND METHOD OF MANUFACTURING THE SAME	Akio Uenishi, Katsumi Nakamura
6218217	2000/7/18	2001/4/17	SEMICONDUCTOR DEVICE HAVING HIGH BREAKDOWN VOLTAGE AND METHOD OF MANUFACTURING THE SAME	Akio Uenishi, Katsumi Nakamura
6538280	2001/6/8	2003/3/25	TRENCHED SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME	Katsumi Nakamura
6661054	2000/8/14	2003/12/9	SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME	Katsumi Nakamura
7052954	2003/8/29	2006/5/30	METHOD OF FABRICATING A MOS STRUCTURE WITH TWO CONDUCTIVE LAYERS ON THE GATE ELECTRODE	Katsumi Nakamura
7910987	2005/11/7	2011/3/22	SEMICONDUCTOR DEVICE	Katsumi Nakamura
6847079	2002/5/22	2005/1/25	SEMICONDUCTOR DEVICE HAVING A STACKED GATE INSULATED FILM AND A GATE ELECTRODE AND MANUFACTURING METHOD THEREOF	Katsumi Nakamura
7229882	2004/12/7	2007/6/12	METHOD AND MANUFACTURING of A FIELD EFFECT SEMICONDUCTOR DEVICE HAVING A STACKED GATE INSULATED FILM AND A GATE ELECTRODE	Katsumi Nakamura
7180131	2004/12/7	2007/2/20	SEMICONDUCTOR DEVICE HAVING A STACKED GATE INSULATED FILM AND A GATE ELECTRODE AND MANUFACTURING METHOD THEREOF	Katsumi Nakamura

6953968	2001/1/19	2005/10/11	HIGH VOLTAGE WITHSTANDING SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u> , Shigeru Kusunoki, Hideki Nakmaura
7115944	2005/8/16	2006/10/3	SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u> , Shigeru Kusunoki, Hideki Nakmaura
6815767	2001/2/1	2004/11/9	INSULATED GATE TRAOSISTOR	<u>Katsumi Nakamura</u> , Shigeru Kusunoki, Hideki Nakmaura
7250345	2004/11/1	2007/7/31	INSULATED GATE TRAOSISTOR	<u>Katsumi Nakamura</u> , Shigeru Kusunoki, Hideki Nakmaura
7560771	2004/11/1	2009/7/14	INSULATED GATE TRAOSISTOR	<u>Katsumi Nakamura</u> , Shigeru Kusunoki, Hideki Nakmaura
8507945	2008/3/31	2013/8/13	SEMICONDUCTOR DEVICE INCLUDING AN INSULATED GATE BIPOLAR TRANSISTOR (IGBT)	<u>Katsumi Nakamura</u>
8829564	2013/7/8	2014/9/9	SEMICONDUCTOR DEVICE INCLUDING IGBT	<u>Katsumi Nakamura</u>
9035434	2010/3/3	2015/5/19	SEMICONDUCTOR DEVICE HAVING FIRST AND SECOND POTTIONS WITH OPPOSITE CONDUCTIVITY TYPE WHICH CONTACT AN ELECTRODE	<u>Katsumi Nakamura</u>
9786796	2015/4/16	2017/10/10	SEMICONDUCTOR DEVICE HAVING FIRST AND SECOND LAYERS WITH OPPOSITE CONDUCTIVITY TYPE	<u>Katsumi Nakamura</u>
8686469	2011/4/25	2014/4/1	SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u>
8698195	2011/12/19	2014/4/15	SEMICONDUCTOR DEVICE	Daisuke Oya, <u>Katsumi Nakamura</u>
9202936	2014/7/21	2015/12/1	SEMICONDUCTOR DEVICE	Akito Nishii, <u>Katsumi Nakamura</u>
8598622	2011/12/13	2013/12/3	SEMICONDUCTOR DEVICE	Koji Sadamatsu, Ze Chen, <u>Katsumi Nakamura</u>
9041051	2011/7/5	2015/5/26	SEMICONDUCTOR DEVICE	Ze Chen, <u>Katsumi Nakamura</u>
9640643	2015/4/3	2017/5/2	SEMICONDUCTOR DEVICE	Ze Chen, <u>Katsumi Nakamura</u>
9287391	2012/3/5	2016/3/15	SEMICONDUCTOR DEVICE	Ze Chen, <u>Katsumi Nakamura</u>
9735229	2016/1/8	2017/8/15	SEMICONDUCTOR DEVICE	Ze Chen, <u>Katsumi Nakamura</u>
9455148	2012/12/7	2016/9/27	METHO FOR MANUFACTURING SEMICONDUCTOR DEVICE	Fumihito Masuoka, <u>Katsumi Nakamura</u> , Takao Kachi
10475663	2012,10,2	2019,11,12	SEMICONDUCTOR DEVICE AND METHO FOR MANUFACTURING	<u>Katsumi Nakamura</u>

			SEMICONDUCTOR DEVICE	
9508870	2012/4/13	2016/11/29	DIODE	Akito Nishii, <u>Katsumi Nakamura</u>
9385183	2012/12/6	2016/7/5	SEMICONDUCTOR DEVICE	Ze Chen, Tsuyoshi Kawakami, <u>Katsumi Nakamura</u>
9508792	2013/5/1	2016/11/29	SEMICONDUCTOR DEVICE INCLUDING AN ELECTRIC FIELD BUFFER LAYER AND METHOD FOR MANUFACTURING SAME	Tsuyoshi Kawakami, Ze Chen, Akito Nishii, Fumihito Masuoka, <u>Katsumi Nakamura</u> , Akihiko Furukawa, Yuji Murakami
9601639	2013/6/12	2017/3/21	SEMICONDUCTOR DEVICE	Fumihito Masuoka, <u>Katsumi</u> <u>Nakamura</u> , Akito Nishii
10026832	2014/1/29	2018/7/17	POWER SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u>
9941269	2014/1/29	2018/4/10	POWER SEMICONDUCTOR DEVICE INCLUDING WELL EXTENSION REGION AND FIELD-LIMITING RINGS	<u>Katsumi Nakamura</u>
10290711	2015/1/27	2019/5/14	SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u>
10665677	2018/12/11	2020/5/26	SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u>
10176994	2015/3/13	2019/1/8	SEMICONDUCTOR DEVICE AND METHO OF MANUFACTURING THE SAME	Kenji Suzuki, Atsushi Narazaki, Ryu Kamibaba, Yusuke Fukada, <u>Katsumi Nakamura</u>
10411093	2015/12/28	2019/9/10	SEMICONDUCTOR DEVICE AND METHO FOR MANUFACTURING SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u> , Tatsuo Harada, Noritsugu Nomura
10026803	2017/8/1	2018/7/17	SEMICONDUCTOR DEVICE, POWER CONVERSION DEVICE, AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE	<u>Katsumi Nakamura</u>
10263102	2018/2/16	2019/4/16	SEMICONDUCTOR DEVICE AND METHO OF MANUFACTURING THE SAME	Kenji Suzuki, Mitsuru Kaneda, Koichi Nishi, <u>Katsumi Nakamura</u>

8.3 受賞

表 8.3.1 には、受賞内容の詳細を示す。

表 8.3.1. 受賞内容詳細一覧表

No.	年	表彰種別	対象内容
1	2000	平成 12 年度電気学会全国大会優秀論文発表賞	表題: トレンチ MOS ゲート構造への CVD ゲート酸化膜の有効性 著者: 中村 勝光, 楠 茂, 中村 秀城, 原田 眞名
2	2008	平成 20 年度九州地方発明表彰 文部科学大臣発明奨励賞	発明の名称: 半導体装置の製造方法及び構造 登録番号: 3396553 発明者: 中村 勝光, 湊 忠玄, 富永 修一, 塩沢 勝臣