

## A Study on Efficient Out/of/Order Processors

眞下, 達

<https://hdl.handle.net/2324/4060188>

---

出版情報：九州大学, 2019, 博士（工学）, 課程博士  
バージョン：  
権利関係：やむを得ない事由により本文ファイル非公開（2）

氏 名 : 眞下 達

論 文 名 : A Study on Efficient Out-of-Order Processors  
(効率的なアウトオブオーダープロセッサに関する研究)

区 分 : 甲

## 論 文 要 約

コンピュータ・システムの発展はその頭脳とも言うべき汎用マイクロプロセッサの進化に支えられてきた。特に、プログラムオーダーとは異なる順番で命令を処理することで性能向上を実現するアウトオブオーダー(OoO: Out-of-Order)プロセッサは広く実用化されるに至っている。従来はスーパーコンピュータや高性能サーバでの応用が主流であったが、近年では半導体技術の進歩に伴いスマートフォンや組込システムにおいても OoO プロセッサの採用が増えてきた。このように、OoO プロセッサの応用がより身近な電子機器システムへと拡大する反面、それに伴い、① OoO プロセッサ開発効率の改善、ならびに、②更なる電力効率の改善が求められている。加えて、近年はスクリプト言語で記述されたソフトウェアが普及しつつあり、従来のネイティブコードの直接実行のみならず、③インタプリタの実行性能向上が急務の課題となっている。しかしながら、一般的に OoO プロセッサの内部構造は複雑であり、そのハードウェア最適化に関する研究はシミュレーションベースで行われることが殆どである。また、OoO プロセッサの電力効率改善においては DVFS (Dynamic Voltage and Frequency Scaling) やクロック/パワー・ゲーティングといった回路レベルでの対策が主流であり、今後はより実行対象プログラムの特性を考慮した高い抽象度でのアプローチが望まれる。さらに、インタプリタ実行を前提とした高性能実行方式の研究開発は萌芽期にあり、その技術開発は未だ発展途上にある。

このような課題を解決すべく、本論文は、OoO プロセッサの研究開発環境構築ならびに新実行方式の提案を行い、定性的かつ定量的評価にもとづきこれらの有効性を明らかにしている。本論文の第一の貢献は、書換え可能なハードウェアである FPGA (Field-Programmable Gate Array) への実装を前提とし、OoO プロセッサの研究者が自由に改変可能なオープンソース OoO プロセッサを開発ならびに公開した点にある。現代の最新 OoO プロセッサが有する高性能機能を搭載しつつ、FPGA のデバイス構造を考慮した実装上の工夫を施すことでハードウェア資源量を削減した。その結果、従来実装法と比較してハードウェア資源量を約 60%削減し、2.5 倍程度の性能向上を実現した。第二の貢献は、プログラムオーダーと同じ順番で命令を処理するインオーダー(InO: In-Order)実行機構を OoO プロセッサに組込むことで、電力効率を向上させるヘテロジニアスコアアーキテクチャを提案した点にある。一般的に、OoO プロセッサに比べ InO プロセッサは低性能・低消費電力となる特性を有する。そこで、プログラム実行中にその一部を InO プロセッサで投機的に実行し、電力オーバーヘッドを最小限に抑制した上でメモリデータをプリフェッチするヘテロジニアスコア実行方式を提案した。本提案では、このプリフェッチによって得られた性能向上を、InO プロセッサ上でプログラムを実行することによる電力削減に転化することによって性能を低下させることなく電力効率を向上させる。評価の結果、既存方式と比較して 13%のエネルギー遅延積の削減を達成可能であることが明らかになった。本論文の第三の貢献は、OoO プロセッサの構造とインタプ

リタの特性を考慮した新しい OoO プロセッサ・アーキテクチャを提案した点にある。インタプリタの処理ルーチンの中で非常にオーバーヘッドの大きいオペランドアクセスに着目し、その処理効率を高めるためのハードウェアサポート機能を考案した。本提案では、従来はメモリにマップされているインタプリタのオペランドを OoO プロセッサ内に多数存在する物理レジスタにマップすることで、メモリアccessをレジスタ間データ移動に変換してオーバーヘッドを削減する。評価の結果、従来実行法と比較して最大で 27% の性能向上を実現している。

本論文は 6 章から構成される。第 1 章は本研究の背景と目的を述べ、第 2 章にてプロセッサ・アーキテクチャの最新動向を整理する。第 3 章では FPGA 向けの新しい OoO プロセッサ実装を提案し、第 4 章ではヘテロジニアスコアの電力効率を向上させる手法について論じる。第 5 章ではインタプリタの実行効率を向上させる手法を提案し、最後に第 6 章で論文をまとめるとともに今後の研究の方向性を展望している。

本論文の結論は次のようにまとめられる。OoO プロセッサは高性能なコンピュータ・システムの要であり、今後も広く応用されると考えられるため、その効率化は非常に重要な課題である。本研究では、FPGA やヘテロジニアスコア、スクリプト言語のような OoO プロセッサを取り巻く新しいトレンドに着目し、その特性を考慮することで OoO プロセッサの効率を向上させる手法を提案した。このように、応用範囲の拡大に伴って現れる新しいトレンドの特性を考慮することが、今後の OoO プロセッサの継続した発展のために重要である。