

ジョセフソン高速記憶回路用量子磁束転移型記憶セルの研究

田原, 修一

<https://doi.org/10.11501/3054301>

出版情報 : 九州大学, 1990, 工学博士, 論文博士
バージョン :
権利関係 :

第4章 記憶セルの動作^{78), 80)}

前章までに実現した量子磁束転移型記憶セルの動作測定とその測定結果の検討を行う。ジョセフソンデバイスは極低温と低雑音、低磁場の測定環境が必要である。Nbを超伝導材料として用いた場合、Nb膜の超伝導転移温度はだいたい9 Kであるので、液体ヘリウム中での測定が簡便で最も多用されている。その際、液体ヘリウム中の測定チップから室温の測定計器まで信号を入出力しなければならない。と同時にジョセフソン接合は磁場に対して高感度であるのでそのままでは地球磁場($\sim 100 \text{ mGauss}$)の影響を受けてしまう。そのため被測定チップを低磁場下の環境に置く工夫が不可欠である。本章の第1節では測定に用いるチップホルダについてふれる。

一方、量子磁束転移型記憶セルの測定結果からは配線間の磁束の結合の状態やレイアウト上での曲がりの部分でのインダクタンスなどの浮遊のインダクタンスについて検討する。今回の量子磁束転移型記憶セルの特性測定はチップ外部から必要な信号を印加したスタティックな状態での測定であるが、最後に超伝導量子干渉計を用いて入力信号駆動を行ったダイナミックな場合についても検討する。

4.1 量子磁束転移型記憶セルの測定⁷⁸⁾⁻⁸¹⁾

図4-1に量子磁束転移型記憶セルの測定システムを示す。試作されたチップはチップホルダに装着し、液体ヘリウムを充填したデュワーの中に浸す。ヘリウムデュワーは磁気シールド室に置かれ、さらにパーマロイの3重磁気シールドが施されており、地球磁場は数 $\mu \text{ Gauss}$ にまで低減されている。ジョセフソン接合は磁場に敏感であることはすでに述べたが、記憶セルは超伝導ループを含みとくに磁場に対して感度が高いので地球磁場のみならず、チップホ

ルダなどにも磁性を帯びた材料を使わない等の注意が必要である。図4-2にチップホルダの概略図を示す。チップホルダはチップ装着部のプリント基板とその押さえの部分のブロックと常温測定系に接続する同軸ケーブルとからなる。ブロックの材料は黄銅であり、同軸ケーブルの支柱にはベークライト材を用いている。プリント基板上の伝送線路はポリイミド基板を用いたバランス型ストリップ線路であり、ストリップ線路の先端にデバイスをフェイスダウン式に装着する。ストリップ線路の材料はBeCuで先端部は基板から浮かし、板バネ状のピンに加工している。BeCuは液体ヘリウム温度では硬化しバネ性を失うものの、常温に戻した時にはバネ性を回復しているという特徴を持つ。チップ上には測定用のパッドが44パッド用意されており、すべてのパッドが確実にチップホルダの測定ピンと接触するためにはバネ性は欠かすことができない。さらにチップ上のパッドとチップホルダのピンとの電氣的接触を良くするために、パッド部分のNb膜の上にはAuを蒸着し、ピンにはAuメッキを施している。

測定系のケーブルとチップホルダ上のストリップラインとの整合性をテストするためにその伝送特性を調べた。図4-3にはTDRで測定したインピーダンス整合の様子が示されている。測定系の出力インピーダンスは50Ωに統一されており、測定系のケーブル、ストリップラインも50Ωのインピーダンスであることが望ましい。ストリップラインの特性インピーダンスの線幅依存性を図4-4に示す。特性インピーダンス50Ωの時、線路の線幅は240μmである。測定されるチップ上では超伝導ラインのインピーダンスはグラウンドプレーンからの距離に依存するが、一般には50Ωよりも小さい。従って、チップ

の入力線は50Ωのマッチング抵抗が必要である。ここに述べたインピーダンス整合の問題はスタティックな測定の範囲では大きな問題とはならない。しかしながら、記憶回路のアクセス時間を測定するなど高速の信号を取り扱うときには重要な問題となり、インピーダンス不整合が有ると高速信号がチップの内部には伝達せず非常に大きな問題となる。

次に記憶セルの測定システムについて概説する。量子磁束転移型記憶セルは入力として正と負の信号が必要である。従って、実際の記憶回路の中では次章

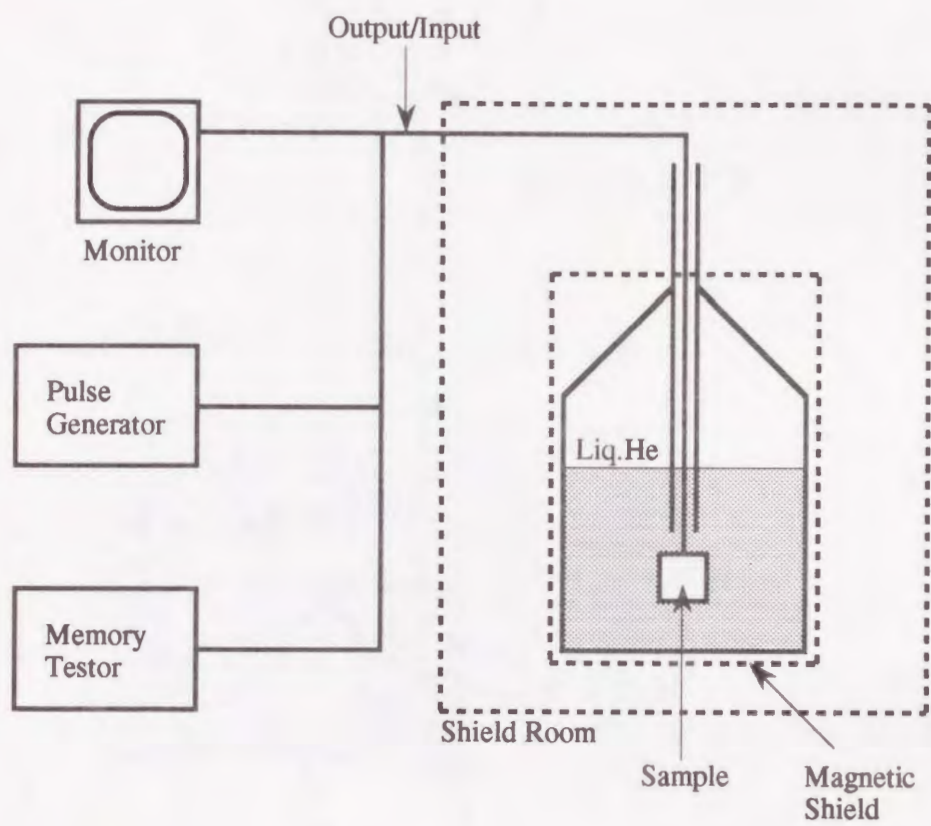


図 4-1. 量子磁束転移型記憶セルの測定システム

ヘリウムデュワーはパーマロイの3重シールドを施され、シールドルーム内において測定を実施する。

サンプル付近の磁場は $10 \mu \text{Gauss}$ 以下である。

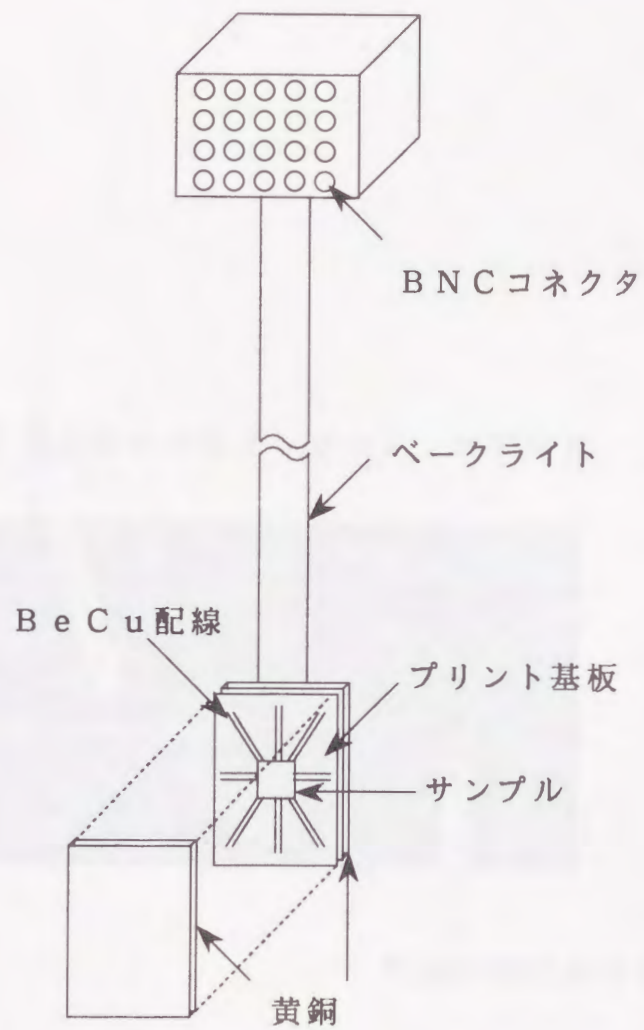
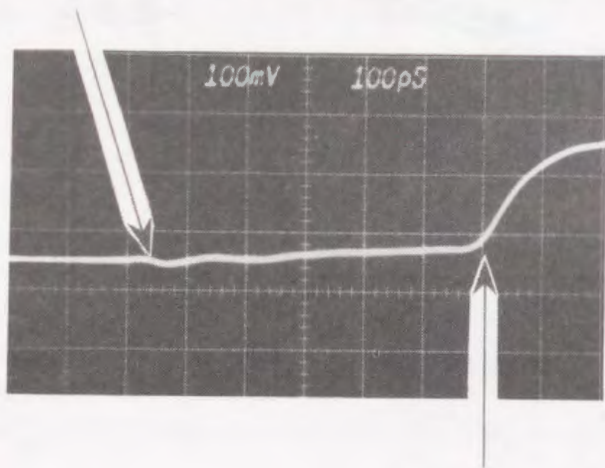


図4-2. チップホルダの概略図
 プリント基板：約4cm×3cm
 サンプル形状：6mm×6mm

コネクタ部分におけるインピーダンス不整合



開放終端における反射

図4-3. ストリップラインのインピーダンス特性

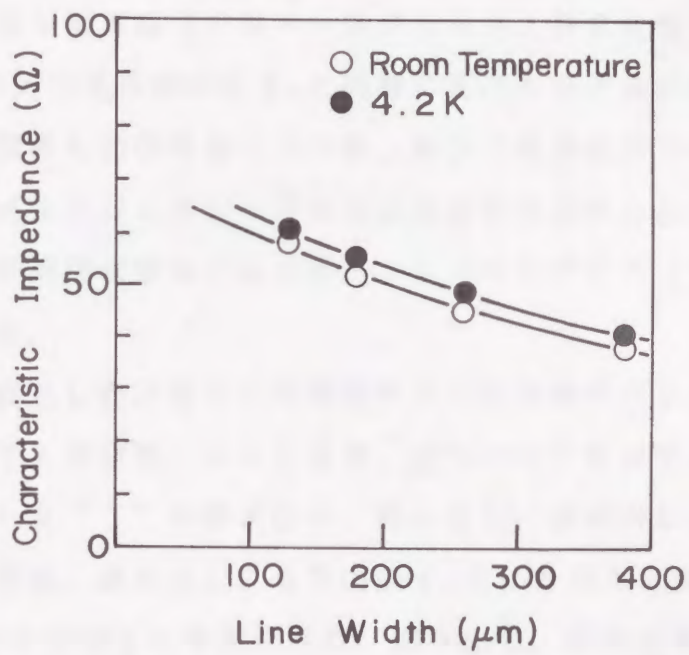
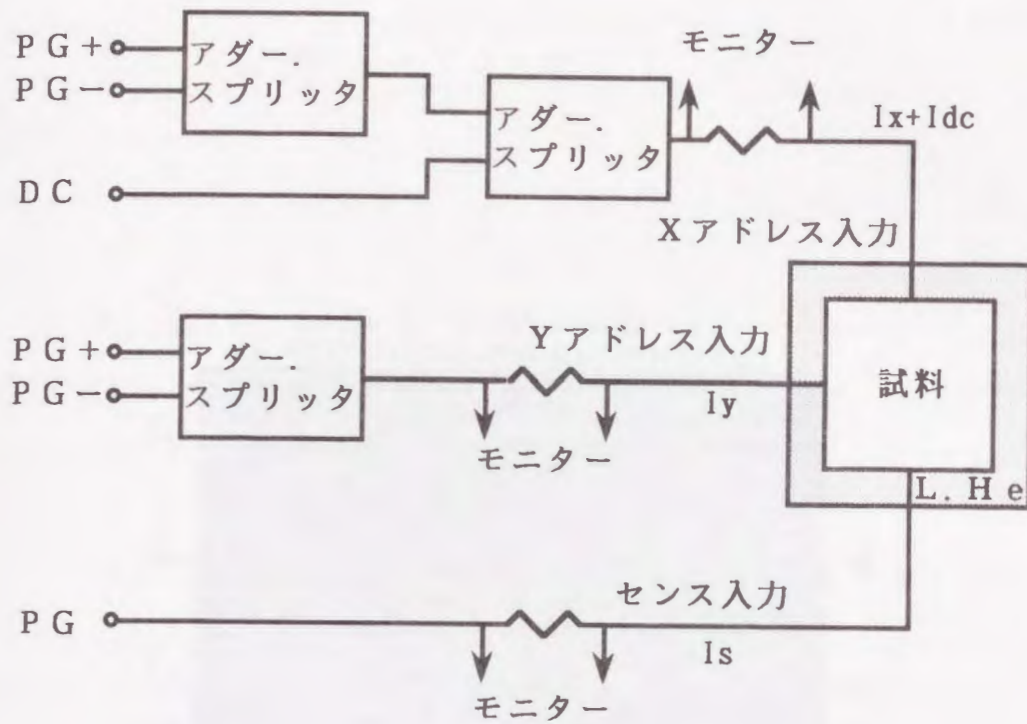


図4-4. ストリップラインのインピーダンスの線幅依存性
 BeCu板上にポリイミドの絶縁層を経て
 BeCuのストリップラインを形成する。

で述べるように極性切換型駆動回路が必要となる。ここでは記憶セル単体の動作を詳しく調べるために問題点をできるだけ少なくする目的で、入力信号はすべて室温下のパルスジェネレータから数10KHz～数MHzの低周波で測定チップに供給している。図4-5に記憶セルの測定入力系を示す。記憶セルにはアドレスの選択、及び書き込み、読み出しの記憶動作の制御を行う2本の入力信号 I_x 、 I_y とデータの読み出しに必要なセンス電流 I_s と記憶動作の原点を決める直流電流 I_{dc} が必要である。 I_y の入力電流線には正方向のパルスが発生するパルスジェネレータの出力と負の方向のパルスが発生するパルスジェネレータの出力を信号加算器（アダー・スプリッタ；HP社製）で加算した信号を入力し、 I_x の入力電流線には I_y と同様に正パルスと負パルスを加算した信号に直流電流も加算した信号を入力する。センス信号は正方向のパルスだけが必要であるのでパルスジェネレータからの出力が入力される。書き込み、読み出し、あるいは半選択状態などのパターンはメモリテスト（アドバンテスト製）から発生される。

図4-6に測定した記憶セルの機能テストの結果を示す。パルス列は上からX入力信号、Y入力信号、センス信号、出力パルスを示す。それぞれの左からパターンはデータ“1”の書き込み、読み出し、読み出し、正方向の I_x だけを加えた半選択状態、読み出し、負方向の I_x だけを加えた半選択状態、読み出し、正方向の I_y だけを加えた半選択状態、読み出し、負方向の I_x だけを加えた半選択状態、読み出しを示し、後半は同様の操作をデータ“0”に対して行ったことを示している。図4-6の測定時には直流電流 $I_{dc}=0.2\text{mA}$ を印加して動作の原点を定めている。図に示すようにデータ“1”を書き込んだ後では読み出し動作に対しセンスゲートが電圧状態にスイッチしており、またデータ“0”を書き込んだ後では読み出し動作の時にセンスゲートがスイッチしておらず、正常な記憶動作を行っていることを示している。特にすべての半選択状態に対し誤動作していないことは記憶回路として記憶セル行列を構成したときにも誤動作しないことを示しており、記憶セルの完全動作を示していると言える。また、センス電流は読み出し、書き込み、半選択状態いずれの動作の時にも入力されており、これも記憶回路内での記憶セルの動作試験に近い状態での測定と言える。



* P G : パターンジェネレータ
 + : 正のパルス
 - : 負のパルス
 * D C : 直流電源

図 4 - 5 . 記憶セルへの入力信号系測定システム

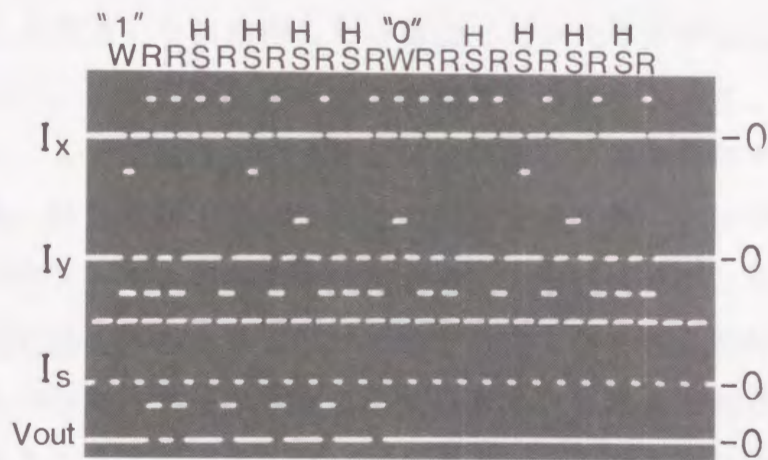


図4-6. 量子磁束転移型記憶セルの機能試験結果

W：書き込み、R：読み出し、HS：半選択状態を示す。

I_xパルスの振幅：0.2 mA

I_yパルスの振幅：0.2 mA

I_sパルスの振幅：0.15 mA

V_{out}パルスの振幅：2 mV

続いて、記憶セルの動作マージンの測定結果について述べる。前述したように本測定は記憶回路を構成した場合の記憶セルの動作に近い状態で測定しているので、得られた動作マージンは記憶回路の中でも近い値が得られるものと想像される。さて動作マージンの測定方法は次のようである。通常記憶セルへの入力駆動回路からなされるので正方向の信号と負方向の信号の絶対値が異なる値を示すことはなく、その大きさは駆動回路のバイアス条件で決定される。しかしながら、我々は量子磁束転移型記憶セルの詳細な動作マージンを調べるために正方向の

電流、負方向の電流の大きさを独立に制御してその動作マージンを調べた。まずデータ“1”の書き込みの時には I_{x^+} (正方向のX入力電流)、 I_{y^+} (正方向のY入力電流) を誤動作しない範囲で充分大きく設定し、 I_{x^-} (負方向のX入力電流)、 I_{y^-} (負方向のY入力電流) の値をふって、動作領域を決定する。もちろん、入力電流 I_{y^-} の大きさは読み出しの時の動作マージンにも依存しているため、設計領域のすべてをこの方法で調べることは不可能である。しかし、実際のパラメータの偏差等を考慮すると、実際に試作したデバイスの動作マージンは設計値よりも小さく、この測定方法で得られた動作マージンは試作された記憶セルの動作マージンを表しているものと考えられる。同様にしてデータ“0”書き込みの時の動作マージンは I_{x^-} 、 I_{y^-} を充分大きくして、 I_{x^+} 、 I_{y^+} をパラメータとして記憶動作を確認しながら動作マージンを求める。最後にデータの読み出しの際には I_{x^-} 、 I_{y^+} を充分大きくし、データ“1”の書き込みは I_{x^-} だけでも充分な領域に、データ“0”の書き込みは I_{y^+} だけでも充分な領域に設定し、 I_{x^+} 、 I_{y^-} をサンプリングして各点での記憶動作を確認しながら動作マージンを決定する。図4-7に測定した量子磁束転移型記憶セルの動作マージンを示す。動作の原点は $I_{dc} = 0.2 \text{ mA}$ に設定する。 I_x 、 I_y いずれもの動作マージンが最大になるように決定した動作領域を斜線部分で示す。また、表4-1にはその動作マージンをまとめている。動作マージンが設計値よりも小さい原因は臨界電流値が20%小さく、インダクタンスが10%大きく設計値からずれたことによるものと思われる。

センス電流の動作マージンについては量子磁束転移型記憶セルの動作原理から考えて I_x 、 I_y の大きさには依存しない。すなわち、量子磁束転移型記憶セ

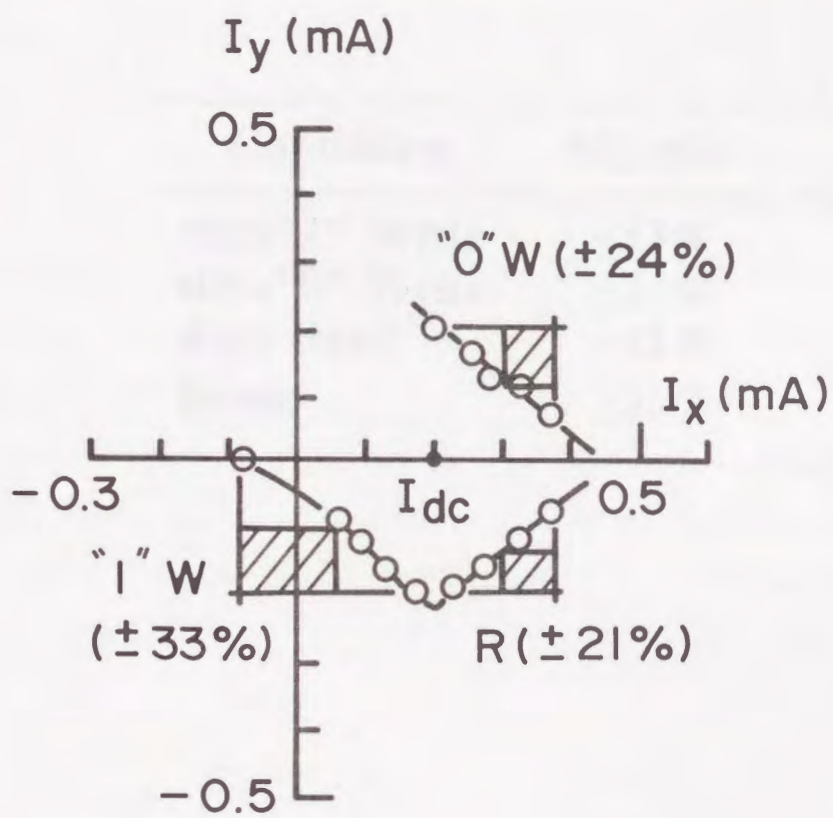


図4-7. 量子磁束転移型記憶セルの動作マージン

○印は測定により求められたしきい値曲線を示し、
正常動作の限界を示すものである。

表 4-1. 量子磁束転移型記憶セルの動作マージンのまとめ

Condition	Margin
data"1" Write	<u>+33%</u>
data"0" Write	<u>+24%</u>
data Read	<u>+21%</u>
Sense	<u>+33%</u>

ルを構成する2つの超伝導ループのひとつループ2に侵入する単一磁束を感じてセンスゲートがスイッチするためである。実験においてもこのことは実証され、記憶セルが正常に記憶動作を行っている条件ではセンス電流の動作マージンは約±33%と一定であった。

さて、記憶セルのうち超伝導ループに複数の量子磁束を貯えるタイプのものは液体ヘリウム温度に冷却する際に、どの安定点にセルが落ちつくかは確率的に決まる。そのため記憶動作を確実にするために初期化(Initialize)(一般には記憶セルの記憶状態をデータ“0”を貯えた状態にしている場合が多い⁷⁷⁾)が必要である。量子磁束転移型記憶セルの場合は動作の原点において、記憶動作を正常に行う安定点にいる必要がある。すなわちデータ“1”が貯えられているか、データ“0”が貯えられているかの状態にしておくことが望ましい。すでに述べたように試作した記憶セルのパラメータの変動は避けることは困難であるため、場合によっては動作原点に3つ以上の安定点が存在する場合がある。その場合には、本記憶セルの安定点はデータ“1”、データ“0”、に対応した安定点が最も深く、印加する直流電流を若干(例えば±0.2mA~0.3mA程度)低周波で上下することで他の動作点にあった記憶セルもデータ“1”、データ“0”に対応した安定点に落ちつく。その後は第2章で述べたダンピング条件を満たすようにダンピング抵抗を設定することにより記憶セルの誤動作を防ぐことができる。

4.2 測定結果の検討

量子磁束転移型記憶セルに限らず超伝導ループを利用する超伝導記憶セルはインダクタンスの制御が非常に重要となる。ところが、超伝導配線はすべてインダクタンスとして機能するため、配線間を接続するコンタクトホールの部分や配線の曲がりの部分のインダクタンスは正確な評価が難しく、設計との誤差を生じ易い。これらの不確定なインダクタンスを調べるためにインダクタンス評価用のTEG(Test Element Group)回路を用いた。

図4-8のTEG回路は量子磁束転移型記憶セルのループ2とセンスゲートを抜きだしたものである。ループ2へ注入される電流を I_0 、ループ2に含まれるジョセフソン接合J2の位相 θ_2 との関係は第2章でも説明した通り、図4-9のようになる。ループ2の LI 積は $1\Phi_0$ よりも小さく設計しているので $I_0=0$ では安定点はひとつである。注入電流 I_0 を増していくと、A、Cの点で位相の飛びが生じ、点E、Fではそれぞれループ2に量子磁束が1個または2個転移していることを示している。この量子磁束転移がループ2と磁氣的に結合しているセンスゲート（超伝導量子干渉計）への入力に対応し、量子磁束転移が起こるとセンスゲートが電圧状態にスイッチする。この関係を示したものが図4-10に示した図4-8のTEG回路の制御特性である。図4-10において縦軸はセンスゲートのゲート電流 I_g 、横軸はループ2への注入電流 I_0 を示す。 I_0 がA点に達するまでは図4-9からわかるようにジョセフソン接合の位相は $\pi/2$ 以下（ $\approx\Phi_0/4$ ）の変化しかせず、センスゲートのしきい値はわずかに減少するだけである。 I_0 がA点に達すると、位相 θ_2 はE点にジャンプし、量子磁束転移が起こる。センスゲートに入力される磁束は約 Φ_0 となり、センスゲートのしきい値曲線にも飛びが見られる。同様に、図4-10の点Aのしきい値の変化から点Dのしきい値の変化までは、それぞれ図4-9の点Aでの位相の飛びから点Dでの位相の飛びに対応している。従って、図4-10のセンスゲートの制御特性における各点A、B、C、Dでの I_g の値から図4-9の $I_0-\theta_2$ 特性が決定され、ループ2におけるインダクタンス L_3 、 L_4 、ジョセフソン接合J2の臨界電流値 I_2 を求めることができる。その結果、 $I_2\approx 0.08\text{ mA}$ 、 $L_3\approx 7.5\text{ pH}$ 、 $L_4\approx 1.5\text{ pH}$ が得られた。

超伝導配線間のコンタクトホール部分や配線の曲がりの部分のインダクタンスを調べるために図4-11に等価回路をしめすTEG回路を測定した。このTEG回路は量子磁束転移型記憶セルにおけるループ1と同じ形状の超伝導ループを持つ超伝導量子干渉計のしきい値特性を評価したものでループ1に含まれるコンタクトホール等の計算できないインダクタンスを評価すると共に、必要なインダクタンスの設計値との誤差を調べることができる。このTEG回路には2つの超伝導量子干渉計（a）（b）が含まれている。（a）は記憶セルと同様の形状で制御線を設け、超伝導ループと制御線との相互インダクタンス

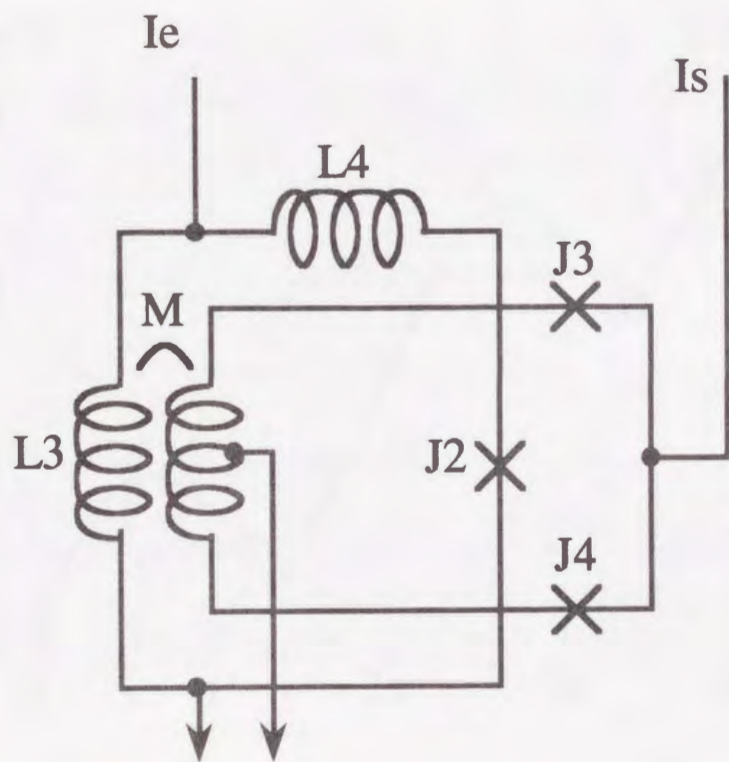


図4-8. TEG回路の等価回路
 (量子磁束転移型記憶セルのループ2とセンスゲート部分)

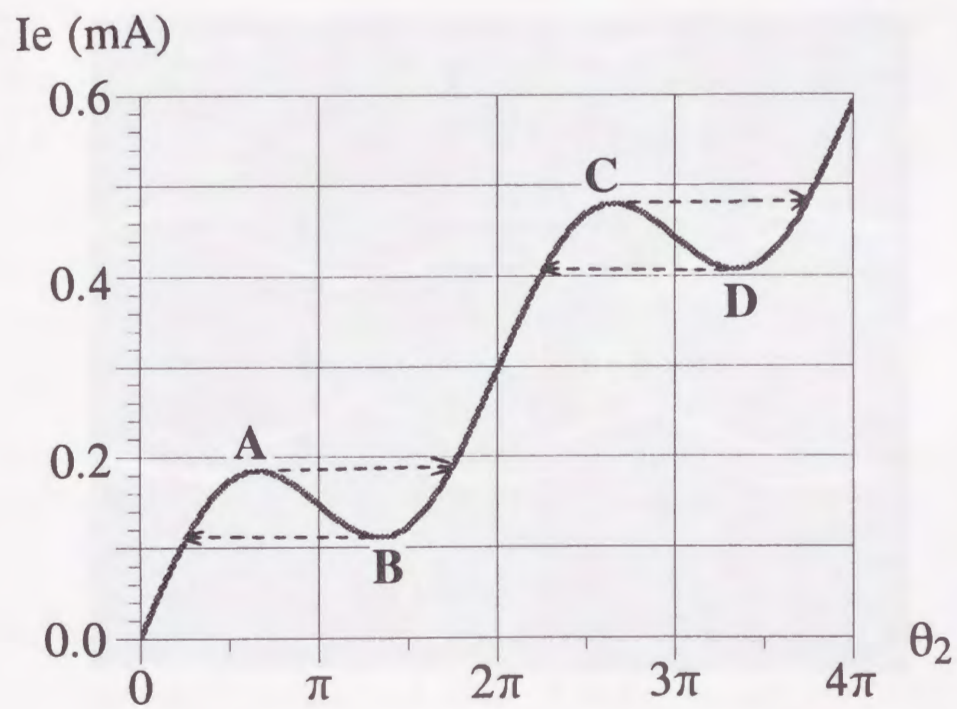


図4-9. ループ2への入力電流 I_e vs.

ジョセフソン接合 J_2 の位相 θ_2

点 "A"、"B" 及び "C"、"D" において量子磁束転移
が発生している。

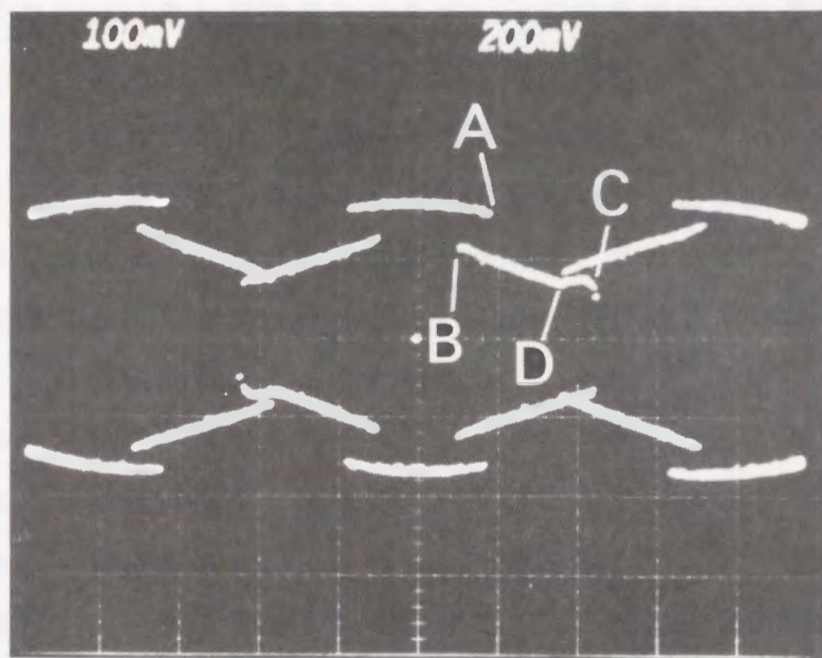
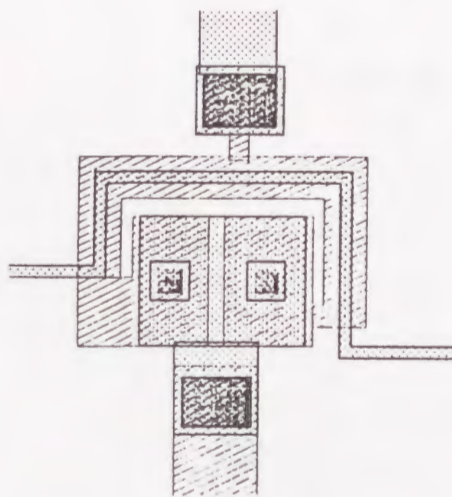
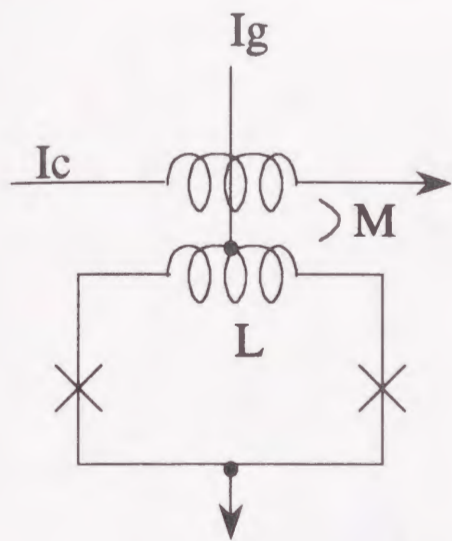


図4-10. 量子磁束転移型記憶セルのセンスゲートの制御特性
 (縦軸：センスゲートのゲート電流 (I_g : 0.1mA/div.)
 横軸：ループ2への入力電流 (I_2 : 0.2mA/div.))

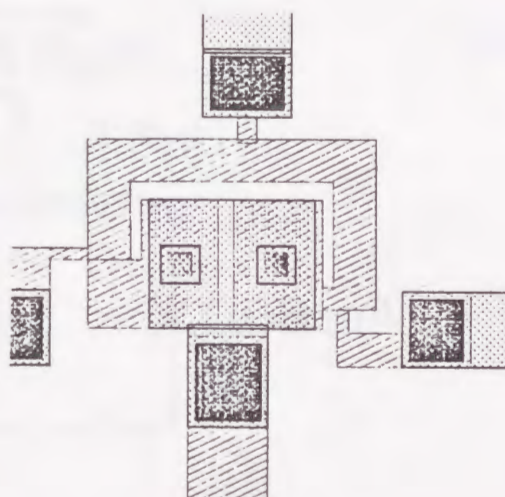
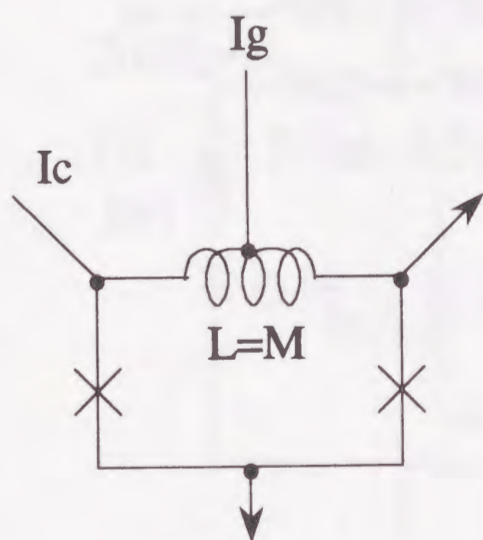
を調べることを目的とする。とくにこの相互インダクタンスの値は駆動電流の大きさを設計する上で重要なパラメータとなる。(b)は制御線と磁氣的に結合している部分の自己インダクタンスを調べるために制御電流を注入、注出する端子をループ2の一部(制御線と結合していると考えられる部分)に設けた。この方法は相互インダクタンスが完全に自己インダクタンスと等しい理想的な場合と考えることができる。これによりループ1の設計値との誤差を知ることができる。これらの結果からコンタクトホールやジョセフソン接合部分のカウンタ電極等のインダクタンスを評価することができる。これらの一連の超伝導量子干渉計の測定結果と前述のセンスゲートの制御特性の結果から図4-12に示すようなパラメータが得られた。ここで特徴的なことは浮遊のインダクタンスの値は1.5 pHと決して無視できる値ではないことと、制御線との相互インダクタンスが設計値から大きくずれていることである。相互インダクタンスの問題は本記憶セルのように制御線の線幅1.5 μm に対し、結合されるループ1の線幅は5.5 μm とかなり広いような場合のフリッジング係数⁸²⁾の計算の方法に検討の余地があることを示唆している。

これらの測定結果から得られたパラメータを用いて算出した量子磁束転移型記憶セルのしきい値特性の一部を図4-13に示す。図の中での○印は実験から得られたしきい値であり、比較的良い一致を示している。このことは図4-12の回路パラメータの正確さを裏付けている。X信号の制御線と記憶セルの磁氣的な結合が設計よりも小さいためにX軸方向に広がったしきい値特性となっている。記憶回路の設計において駆動回路の設計に注意が必要であることがわかる。

記憶回路のサイクル時間の高速化のためには記憶セルの入力信号にいかなるタイミングシーケンスが発生しても望ましくない。すなわち入力信号の加える順序、あるいは信号を立ち上げる順序が記憶動作に影響を与える場合には、記憶動作を正常に行うため十分なタイミングマージンをとって信号を入力する必要があり、高速化の妨げとなる。量子磁束転移型記憶セルの2つの入力信号 I_x 、 I_y は、記憶セルからみると質的に差異はないため、入力信号 I_x 、 I_y の間にタイミングシーケンスは必要としない。図4-14(a)から(d)にはそのことを実証するために行った実験結果を示す。図4-14(a)では入力信



(a)



(b)

図4-11. インダクタンス評価用SQUIDゲート

(a) 上部配線（制御線）と下部配線（記憶セルの超伝導ループの一部）との相互インダクタンスの評価

(b) 下部配線の自己インダクタンスの評価

図において左は等価回路、右はレイアウト図を示す。

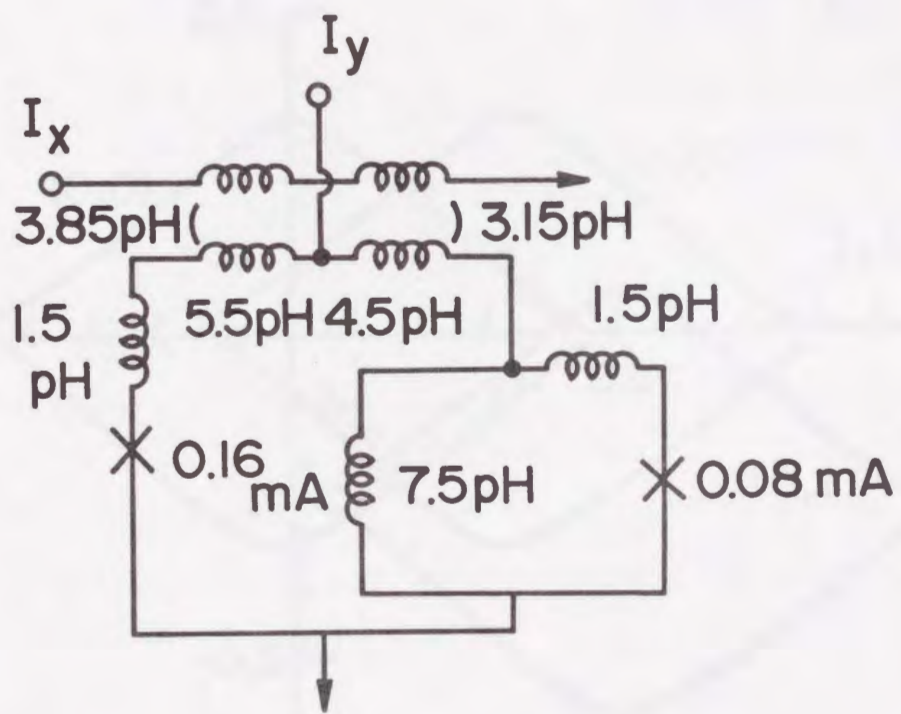


図4-12. TEG回路により評価された量子磁束転移型記憶セルの各パラメータ

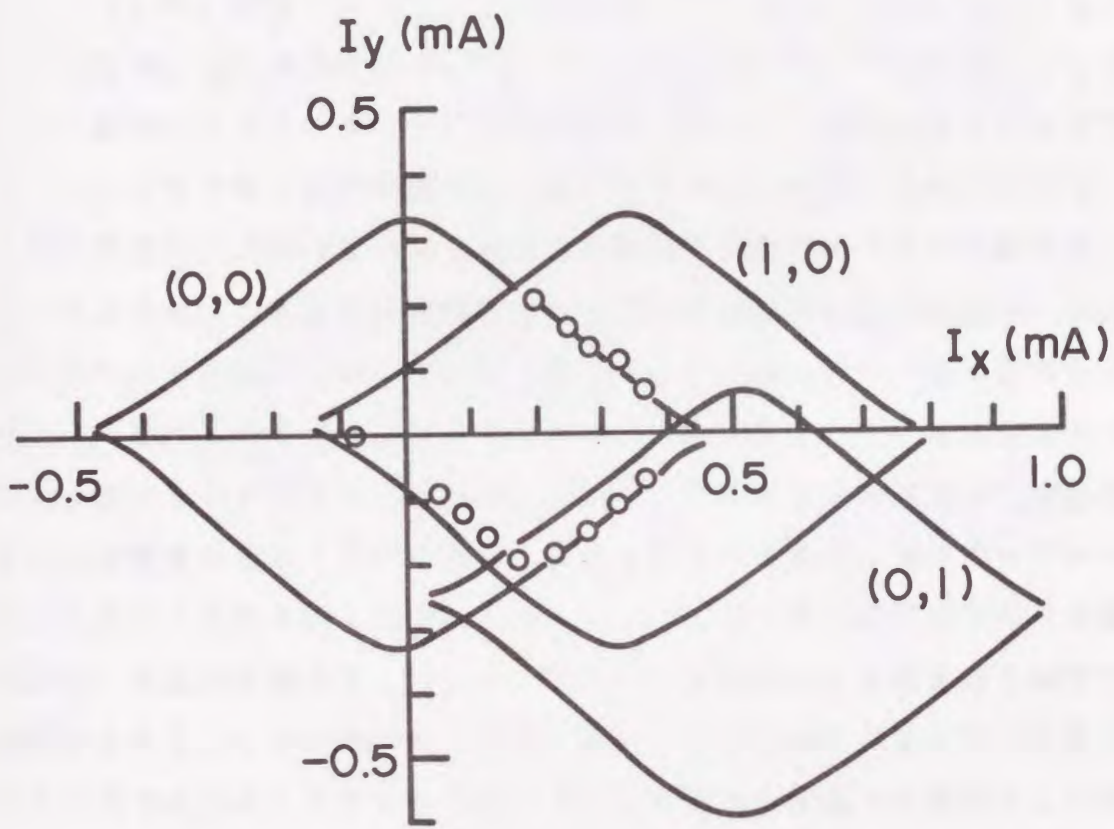


図4-13. 量子磁束転移型記憶セルのしきい値特性

(○印は測定結果)

実線は一連のTEG回路から得られたパラメータを用いて計算されたしきい値特性

号の立ち上がり、立ち下がり、いずれも I_x の方が I_y よりも早い場合を示し、データ“1”の書き込み、読み出し、読み出し、データ“0”の書き込み、読み出し、読み出しが行われている。データ“1”書き込みの後の読み出しの時にだけ、センスゲートが電圧状態にスイッチしており、正常に非破壊読み出し動作が行われていることを示している。図4-14(b)では図4-14(a)とは反対に入力信号の立ち上がりも立ち下がりも I_y の方が I_x よりも早い場合を示している。図4-14(c)では立ち上がりは I_y の方が I_x よりも早く入力されるが、立ち下がり I_x の方が I_y よりも早い場合で、図4-14(d)はその反対のタイミングシーケンスの場合である。いずれのタイミングで信号を入力しても正常に非破壊読み出し動作が行われていることが示された。

次に高速に入力信号を印加した場合の動作の安定性について議論する。既に述べたように、これまでの実験での入力信号は室温下の測定機器から低速の信号が送られてきた。しかしながら、第2章も述べたとおり、量子磁束転移型記憶セルの動作はあるポテンシャルエネルギーの安定点から、他の安定点へ動作点が移動することにより実現する。従って、この移動する速度が記憶動作の安定性に影響を与えることは考慮すべき点のひとつである。力学的モデルで考えると外部から印加される信号はポテンシャルエネルギーの傾斜を傾ける速度に相当し、質点が次のポテンシャルエネルギーの安定点にとどまれるかどうかに影響を与える。そのため、その影響を少なくするためにダンピング抵抗（力学的モデルでは質点とポテンシャルエネルギー面との摩擦力に相当する）を設ける必要があることは既に述べた。ここでは I_x と I_y の2つの入力の前段に超伝導量子干渉計を挿入することにより、 I_x 、 I_y への入力信号の立ち上がりのスピードを早めることによりダンピング抵抗の効果を調べた。本測定回路において超伝導量子干渉計の負荷インダクタンスと負荷抵抗はそれぞれ約30 p H、5 Ω で設計されており、超伝導量子干渉計の立ち上がり時間は約6 p s e cと非常に高速である。この測定結果を図4-15に示す。図において I_{sx} 、 I_{sy} は超伝導量子干渉計のゲート電流、 I_{inx} 、 I_{iny} は超伝導量子干渉計の入力電流、 I_r は超伝導ループであるX、Y信号線から信号をリセットするためのリセット信号、 I_g はセンスゲートのゲート電流である。センスゲートの出力電圧 V_{out} にオフセット電圧が見られるのはセンスゲートにおけるコンタクトホールの

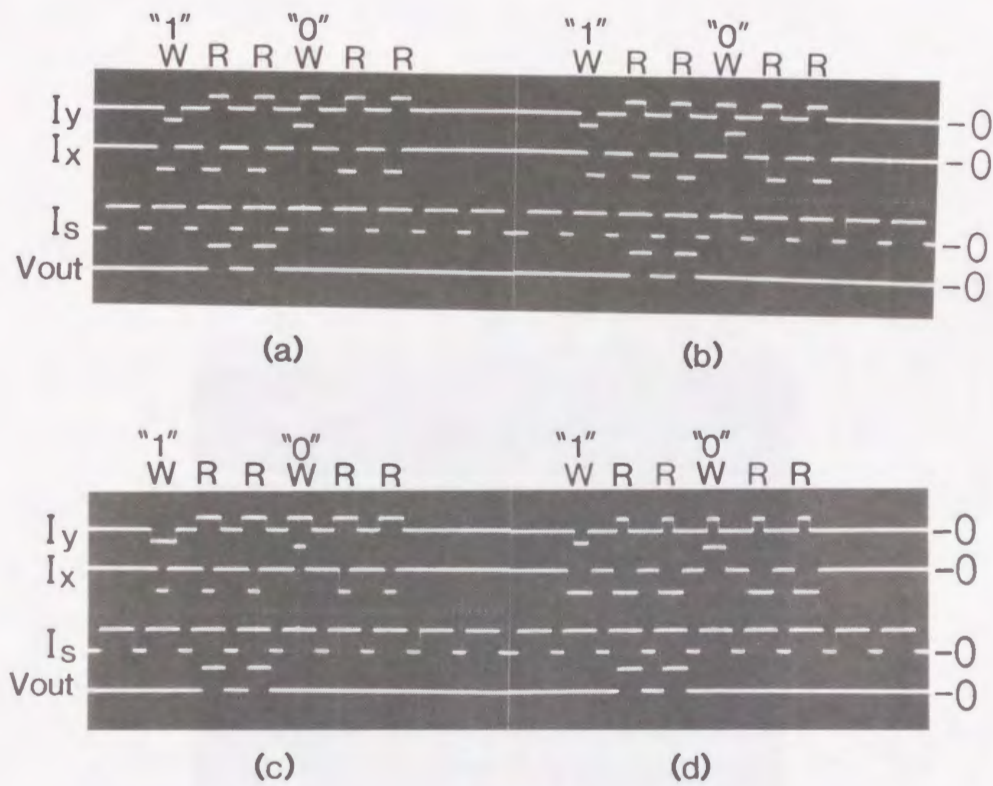


図 4-14. 記憶セルへの入力信号の順序を変えた時の記憶セルの記憶動作測定結果

- (a) 入力信号のセットの順序 : $I_x \rightarrow I_y$
 入力信号のリセットの順序 : $I_x \rightarrow I_y$
- (b) 入力信号のセットの順序 : $I_y \rightarrow I_x$
 入力信号のリセットの順序 : $I_y \rightarrow I_x$
- (c) 入力信号のセットの順序 : $I_y \rightarrow I_x$
 入力信号のリセットの順序 : $I_x \rightarrow I_y$
- (d) 入力信号のセットの順序 : $I_x \rightarrow I_y$
 入力信号のリセットの順序 : $I_y \rightarrow I_x$

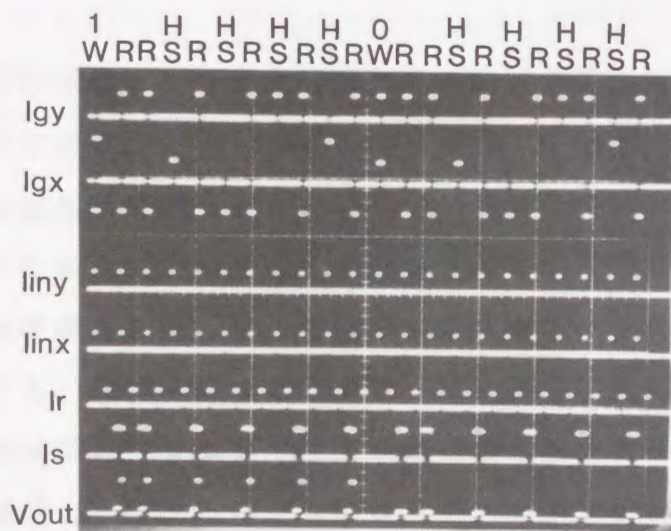


図4-15. DCSQUIDゲートにより入力信号を駆動した時の
量子磁束転移型記憶セルの動作測定結果

W : 書き込み、R : 読み出し、HS : 半選択状態

I_{gy} , I_{gx} , I_{in1} , I_{in2} , I_r : 0.2 mA

I_s : 0.1 mA

V_{out} : 2.5 mV

不良による出力であり、記憶セルの動作には影響を与えない。この記憶セルに必要な正方向と負方向の制御は超伝導量子干渉計のゲート電流 I_{gx} 、 I_{gy} により行った。図に示されているとおり、正常に非破壊読み出し動作を行っており、本記憶セルのダンピング抵抗の効果を確認することができた。

4.3 結論

量子磁束転移型記憶セルの測定結果とその検討を述べた。本章で得られた結論は以下の通りである。

(1) 量子磁束転移型記憶セルに限らず、ジョセフソンデバイスには磁場や雑音に敏感であるために測定装置に注意を払うことが必要である。そのためにまず測定システムの確立を図った。測定チップは液体ヘリウムに浸し、4.2 K の環境で測定する。液体ヘリウムデュワーは3重の磁気遮へいを施し、チップホルダにも非磁性の材料を用いて極力地球磁場を低減させる。チップホルダ上にはプリント基板上に作成した50 Ω のストリップラインを配置し、チップはそのストリップラインとフェイスダウン状に接触させる。この方式では接触点でのインピーダンス不整合も小さく、接触抵抗も小さくできることを確認した。

(2) 前章の試作プロセスを用いて作成した量子磁束転移型記憶セルを測定した結果、データ“1”書き込み、データ“0”書き込み、データの読み出しの時、それぞれ $\pm 33\%$ 、 $\pm 24\%$ 、 $\pm 21\%$ の動作マージンを得た。また、センスゲートの動作マージンは $\pm 33\%$ であった。動作マージンが設計値よりやや小さくなっている原因は、接合およびインダクタンスの偏差によるものと考えられる。

(3) 記憶セルの超伝導ループには設計上、計算することが困難なインダクタンス、例えばコンタクトホールの部分や配線の曲がりの部分など、が含まれる。それらの評価用のTEG回路を用いて部分的にインダクタンスを評価した。その結果、インダクタンスは場所によっても異なるが、約10%大きめの値を示した。一方、制御線との相互インダクタンスは約20%程小さく、フリンジ

ング係数の評価の必要性が示された。これらの得られた値を用いて得られた量子磁束転移型記憶セルのしきい値特性は実験結果と良く一致することを示した。

(4) 記憶回路のサイクル時間の高速化のためには記憶セルの入力信号にいかなるタイミングシーケンスが発生しても望ましくない。タイミングシーケンスが必要な場合には十分なタイミングマージンをとって信号を入力する必要がある、高速化の妨げとなる。量子磁束転移型記憶セルはその動作原理から考えて2つの入力信号 I_x 、 I_y の間にタイミングシーケンスは必要としない。本章では2つの入力信号 I_x 、 I_y の間のすべての立ち上がり、立ち下りの順番の組み合わせに対し、記憶セルが正常に動作することを確認した。

(5) 最後に高速に入力信号を印加した場合の動作の安定性について述べた。第2章も述べたとおり、量子磁束転移型記憶セルの動作はあるポテンシャルエネルギーの安定点から、他の安定点へ動作点が移動することにより実現する。従って、この移動する速度が記憶動作の安定性に影響を与えることは考慮すべき点のひとつである。力学的モデルで考えると外部から印加される信号はポテンシャルエネルギーの傾斜を傾ける速度に相当し、質点が次のポテンシャルエネルギーの安定点にとどまれるかどうかに影響を与える。そのためにその影響を少なくするためにダンピング抵抗（力学的モデルでは質点とポテンシャルエネルギー面との摩擦力に相当する）を設ける必要があることは既に述べた。実験では入力信号をそれぞれ超伝導量子干渉計の出力とすることで、高速の信号を入力し、ダンピング抵抗の効果を調べた。その結果、記憶セルが正常に動作することを確認した。すなわち設計されたダンピング抵抗が期待通りの効果を持っていることが示された。

第5章 量子磁束転移型記憶セルを用いた集積記憶回路の設計^{83), 84)}

量子磁束転移型記憶セルは高速記憶回路用の記憶セルとして研究開発されたものである。本章では量子磁束転移型記憶セルを用いて記憶回路を構成する場合について考察する。記憶回路はその性質上、高集積度を必要とする。たとえ論理回路とデータのやりとりを行うための高速記憶回路であっても、ある程度の集積度が要求される。ここでは4 K b i tの記憶回路を想定して、設計を行う。

記憶回路は記憶セル行列、デコーダ回路、駆動回路、センス回路の各回路より構成される。記憶回路の高速化のためには、構成要素すべてを高速に動作させる必要がある。記憶回路のアクセス時間はデコーダ回路の動作時間と駆動回路の記憶セル駆動時間、センス回路の動作時間からなる。記憶回路の高速化に必要なポイントは1. 記憶セルの小型化、2. 周辺回路の高速化、3. 複雑なタイミングシーケンスの不必要なアーキテクチャ、である。記憶セルの小型化の点では貯蔵量子磁束数の減少と物理的な大きさの縮小の両面から考える必要がある。前章までに述べてきた量子磁束転移型記憶セルはこの要請を満たしたものと言える。ジョセフソンデバイスでは電流駆動型の素子であり、記憶セル列は大きなインダクタンスとなる。従って、駆動回路が記憶セルを駆動する時間 t は駆動電流 I 、被駆動線路のインダクタンス L 、被駆動セルのビット数 m 、記憶セル当たりの貯蔵量子磁束数 n 、駆動電圧 V_a より

$$t = I \cdot L / V_a = \alpha m n \Phi_0 / V_a \quad (5-1)$$

と与えられる (α は浮遊インダクタンスや結合係数により決まる比例定数である)。貯蔵量子磁束数を減らすことは n の値を減らすことであり、面積の小型化は浮遊インダクタンスを減らし α を小さくすることにつながる。また平坦化技術はプロセスの信頼性を高めるだけでなく、結合係数を高め駆動時間の短縮の面でも重要である。タイミングシーケンスが必要な場合とは例えば X 、 Y のアドレス信号の入力に際して加える順序が記憶セルの動作に影響を与えるよ

うな場合のことである。従来良く採用され、開発されてきたHenkels型の記憶セル^{83)、84)}などは信号の立ち上がりにはタイミングシーケンスが不必要でも立ち下がり時にはタイミングシーケンスが必要である。誤動作を避けるためには充分な時間的マージンが必要であり、高速化特にサイクル時間の短縮には大きな障害となる。周辺回路の高速化のためにはタイミング信号の不用なデコーダ回路⁸⁵⁾、センス回路^{86)、87)}が開発されている。デコーダ回路、センス回路には抵抗結合型ジョセフソン論理回路(RCJL)¹³⁾を基本ゲートとしてゲートの高速化を図り、またAC駆動することによりタイミングシーケンスを不用としている。またそれぞれの回路を構成するゲート回路の設計とできるだけ余分な配線遅延のないレイアウトが鍵となる。周辺回路は4Kbit規模の記憶回路を想定すると約2Kゲートの集積規模となるので高速化とともに広い動作マージンを有することが重要である。

すでに述べたように記憶セルは記憶回路の基本となるもので、その動作原理から周辺回路のアーキテクチャが決定されるばかりでなく、記憶セルの設計値から周辺回路の動作電流、あるいは各回路パラメータ値が決定される。量子磁束転移型記憶セルは単一量子磁束を記憶媒体として高速動作を可能とし、広い動作マージンを持つことを特長とする。またその動作にはタイミングシーケンスをまったく必要としないためサイクル時間の短縮にも効果的である。

本記憶セルはその入力信号において信号の有無だけでなく方向性にも情報を含んでいる。そのため量子磁束転移型記憶セルを駆動するためには新しい駆動回路が必要である。本記憶回路の駆動回路には両極性の入力信号を駆動する極性切換型の駆動回路を提案する⁸³⁾。

5. 1 回路構成

図5-1に本4Kbit高速記憶回路の構成概略図を示す⁸⁴⁾。ジョセフソン記憶回路の構成要素は基本的に半導体記憶回路のそれと大きな違いはなく、記憶セル行列、デコーダ回路、駆動回路、センス回路から成る。記憶セルはす

に述べたように、量子磁束転移型記憶セルを用い、64 bit × 64 bitの記憶セル行列を構成する。

5. 1. 1 極性切換型駆動回路⁸³⁾

極性切換型駆動回路の基本的動作は図5-2に示すような回路構成で実現することが出来る。図に示す様に駆動するセルアレイの両端に設けた駆動ゲート回路G1、G2により、駆動電流 I_1 、 I_2 を制御するものである。すなわち、ゲート回路G1が選択された時には、駆動電流 I_1 が流れ、ゲート回路G2が選択された時には、駆動電流 I_2 が流れる。従来、この原理によりいくつか駆動回路が提案されている^{88)、89)}。しかしながら、従来の極性切換型駆動回路には、次のような問題点がある。すなわち、スイッチしていないゲート回路には、駆動電流とゲート電流が重畳されることになり、ゲート回路の動作マージンが著しく損なわれてしまう。従って、動作マージンまで考慮して極性切換型駆動回路を現実のものとするには図5-2の回路構成では不十分である。

一方、記憶回路のアクセス時間のなかで駆動回路の駆動時間は大きな割合を占める。式(5-1)によれば $n\Phi_0$ の量子磁束が蓄えられている記憶セルを用いた m bitのセルアレイを駆動する時間 t は、 $t \approx mn\Phi_0 / V_s$ と見積もられる。駆動回路の駆動電流を I_d 、負荷インダクタンスを L とすると、駆動時間は、 $t \approx L \cdot I_d / V_s \approx L / R$ と書き換えることが出来る。ここで、 R は駆動回路の出力インピーダンスなど回路の構成により決定される抵抗値である。高速化のためには L を小さくすると共に、 R を大きくすることが重要である。また、別の重要な問題として、セルに流れる電流の安定性の問題がある。セルアレイはLC回路として考えることが出来、駆動電流は発振状態に陥りやすく、記憶セルの誤動作を誘発しやすい。従って、駆動電流の発振をいかにして押さえるかが重要な問題となる。

一般に記憶回路の駆動方式には、インダクタンス負荷型と、抵抗負荷型とがある。前者はDC電源で駆動することができるという利点を有するが、リセッ

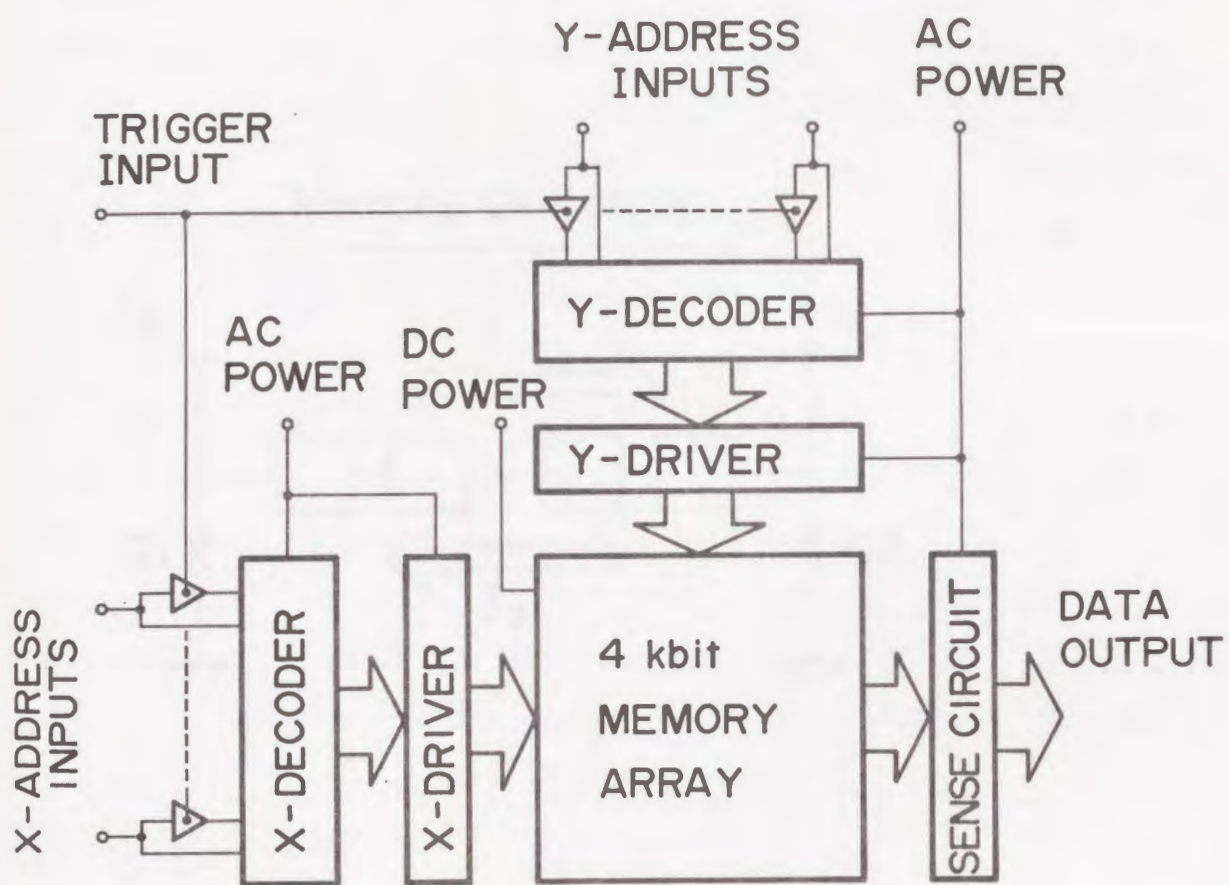


図5-1. 4 K b i t 記憶回路のブロック図

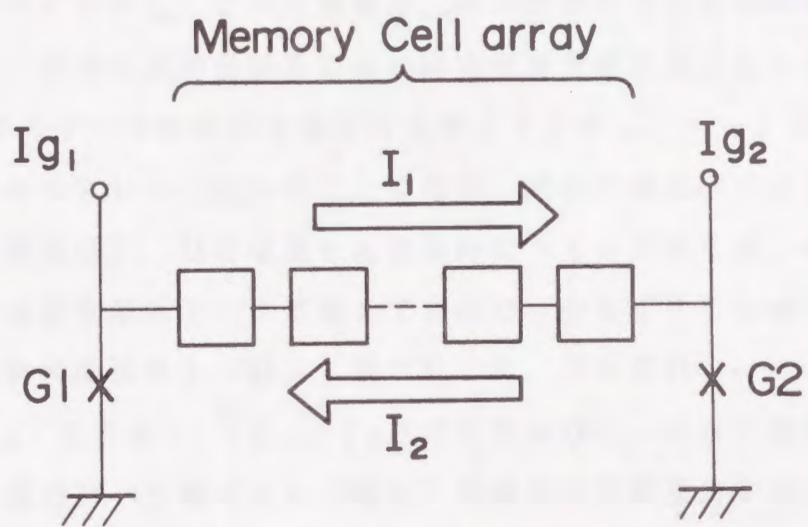


図5-2. 極性切換型駆動回路の原理図

トのためのゲート回路が必要であることや、動的動作がダンピング条件で決定され、出力電流の制御が難しいことや、また、記憶回路のように負荷インダクタンスが大きい場合は出力電流の発振のために誤動作が誘発され易いことなどの問題がある。一方、後者の場合は、AC電源が必要であるが、出力電流は負荷抵抗で決定され制御が容易であることや、また、線路とのインピーダンス整合をとることで高速化が図れるなどの利点を有する。

ここでは抵抗負荷型の駆動回路を採用し、以下その設計について述べる。図5-3には抵抗負荷型の駆動回路の等価回路を示す。図に示すように抵抗負荷型の駆動回路は4個のゲート回路と、3個の抵抗体より構成される。時計回り方向に出力信号を発生させるときは、入力信号 I_{in1} によりゲート回路G1及びG3がスイッチし、ゲート電流 I_{g1} が時計回り方向にセルアレイに流れることになる。反対に反時計回り方向に出力信号を発生させるときには、入力信号 I_{in2} によりゲート回路G2及びG4がスイッチし、ゲート電流 I_{g2} が反時計回り方向にセルアレイに流れることになる。抵抗の値は次のようにして決定される。ゲート回路G1, G3はほとんど同時にスイッチするが、その後G1, G3が高抵抗状態を保ちリーク電流をできるだけ少なくするために、ゲート回路G1, G3の負荷抵抗 $R1 + R3$ 、及び $R3$ は、それぞれ $I_1 \cdot (R1 + R3) \leq V_g$ 、及び $I_3 \cdot R3 \leq V_g$ (I_1, I_3 : それぞれG1, G3の臨界電流値、 V_g : 駆動回路の出力ゲートのギャップ電圧) を満たす様に設定する。一方、駆動時間を短くするためには負荷抵抗 $R3$ は出来るだけ大きな方が望ましい。従って、これらの条件をできるだけ満足するように $R3$ 及び $R1$ は決定される。各回路パラメータは表5-1に示す。

続いて、出力電流の安定性を調べるため、セルアレイをLC分布定数回路で等価的に置き換えて計算機シミュレーションにより検討を加える。図5-4は抵抗負荷型駆動回路の出力電流値を示している。パラメータは抵抗 $R1, R2, R3$ の値である。出力電流値はゲート電流値と抵抗値 ($R1 + R3$) によって決定されている。(G2, G4がスイッチした時には抵抗値 ($R2 + R3$) によって決定される。) その最大値は $V_g / (R1 + R2)$ (もしくは $V_g / (R2 + R3)$) で制限されている。このように駆動回路の出力電流値は駆動回路のバイアス電流とは独立に設定できるので駆動回路の動作マージンは記憶

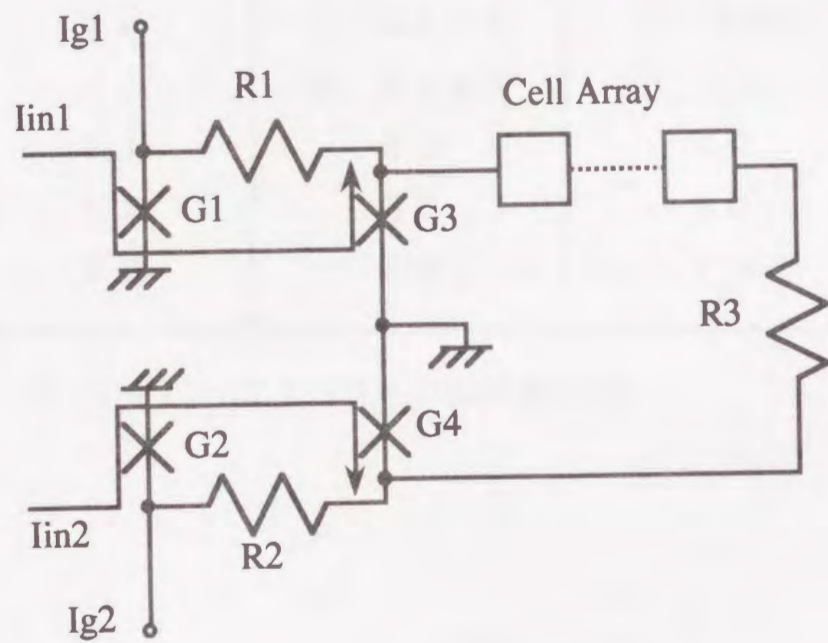


図5-3. 極性切換型駆動回路の等価回路

$G1 \sim G4$ は2接合超伝導量子干渉計で構成される。

表5-1. 極性切換型駆動回路の各回路パラメータ

パラメータ	Xドライバ	Yドライバ
I_1	0.24 mA	0.3 mA
I_2	0.24 mA	0.3 mA
I_3	0.24 mA	0.3 mA
I_4	0.24 mA	0.3 mA
R1	5 Ω	4 Ω
R2	5 Ω	4 Ω
R3	8 Ω	7 Ω

($I_1 \sim I_4$: G1 ~ G4 の臨界電流値)

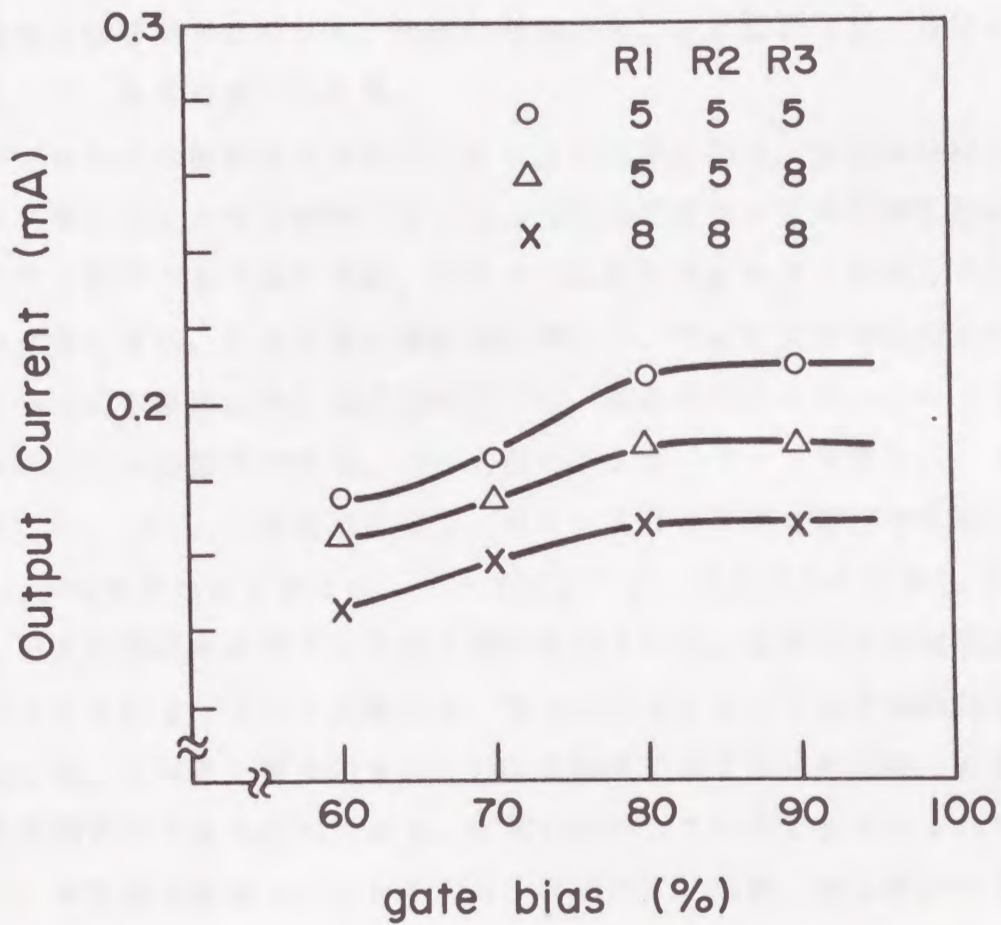


図5-4. 極性切換型駆動回路の出力電流値
 R1, R2, R3をパラメータとしたときの出力電流値のバイ
 アス電流依存性を示す。

セルの動作マージンに影響されないと言う利点を持つ。

次に駆動回路に入力信号 I_{in1} が印加された場合の各抵抗及び各ゲート回路に流れる電流の様子を図5-5に示す。上から抵抗 R_1 , R_3 、ゲート回路 G_3 、 G_4 に流れる電流である。特徴的なことは出力電流である R_3 に流れる電流よりゲート回路 G_4 に流れる電流のほうが大きな発振を起こしていることである。この原因としては、 G_4 のところでグラウンドに終端されているために起こっている反射の影響が考えられる。発振の周期はおよそ \sqrt{LC} (L : 負荷インダクタンス、 C : 負荷容量) である。

試作プロセスは記憶セルの試作プロセスと同様であり、第3章に詳しく述べられているのでここでは省略する。周辺回路は記憶セル行列と同平面に配置されるので当然のことではあるが、記憶セルの試作プロセスと同様のプロセスでなければならない。 Nb を超伝導配線に用いて、平坦化技術を採用している。

図5-6に本駆動回路の測定結果を示す。準静的なパルス入力によるファンクションテストの結果である。パルス列の上より、ゲート電流 I_{g1} 、 I_{g2} 、入力信号 I_{in1} 、 I_{in2} 、負荷抵抗 R_1 , R_2 , R_3 の両端の電圧である。入力電流 I_{in1} が印加されたときには、ゲート回路 G_1 , G_3 がスイッチして負荷抵抗 R_1 , R_3 に電流が流れていることが示されている。反対に入力電流 I_{in2} が印加されたときには、ゲート回路 G_2 , G_4 がスイッチして負荷抵抗 R_2 , R_3 に電流が流れている。図に示すように入力信号により極性が反転した出力電流が負荷抵抗 R_3 にあらわれており、正常に動作していることが示されている。続いて、本回路の動作マージンを図5-7に示す。通常、記憶回路において駆動回路の入力信号はデコーダ回路の出力信号が印加され、ゲート電流とは独立である。従って、図に示す様にゲート電流の動作マージンは I_{g1} 、 I_{g2} とともに約 $\pm 43\%$ となる。

5. 1. 2 デコーダ回路

アドレス信号を発生するデコーダ回路は論理回路であり、加算器、乗算器な

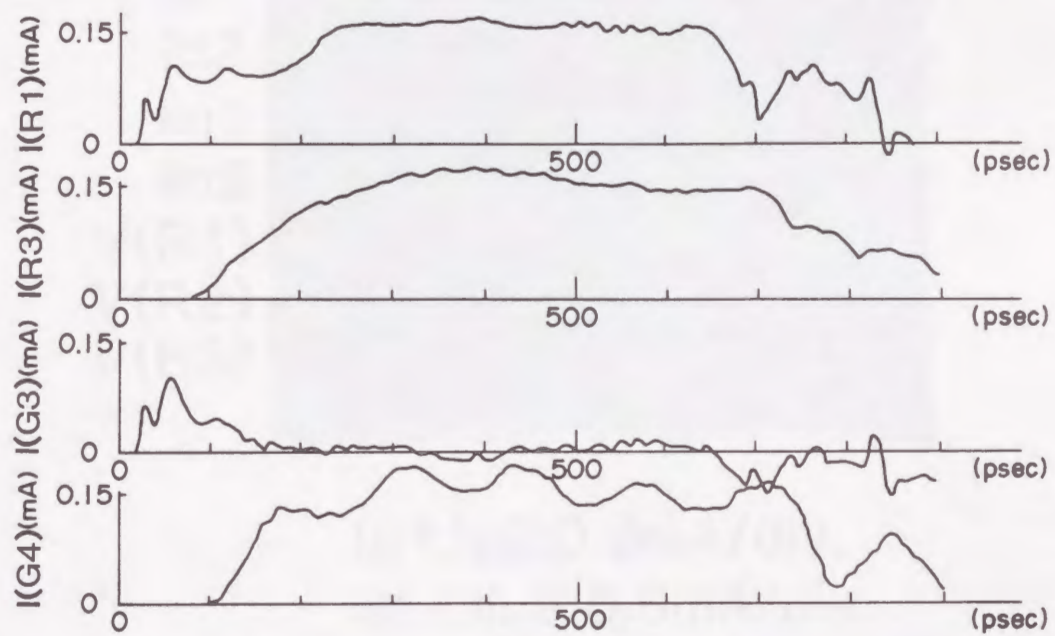
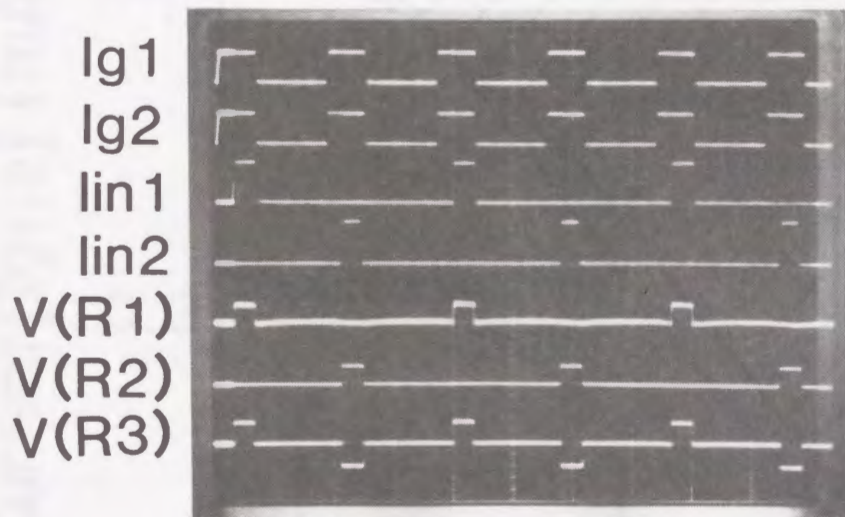


図5-5. 極性切換型駆動回路の各抵抗、ゲートに流れる電流波形
 (計算機シミュレーションによる)
 上より抵抗R1、R2、ゲート回路G3、G4に流れる電流を示す。



$I_{g1}, I_{g2}: 0.2\text{mA/div.}$
 $I_{in1}, I_{in2}: 0.5\text{mA/div.}$
 $V: 2\text{mV/div.}$

図5-6. 極性切換型駆動回路の測定結果

出力電圧は各抵抗の両端を差動増幅器を用いて測定したものである。

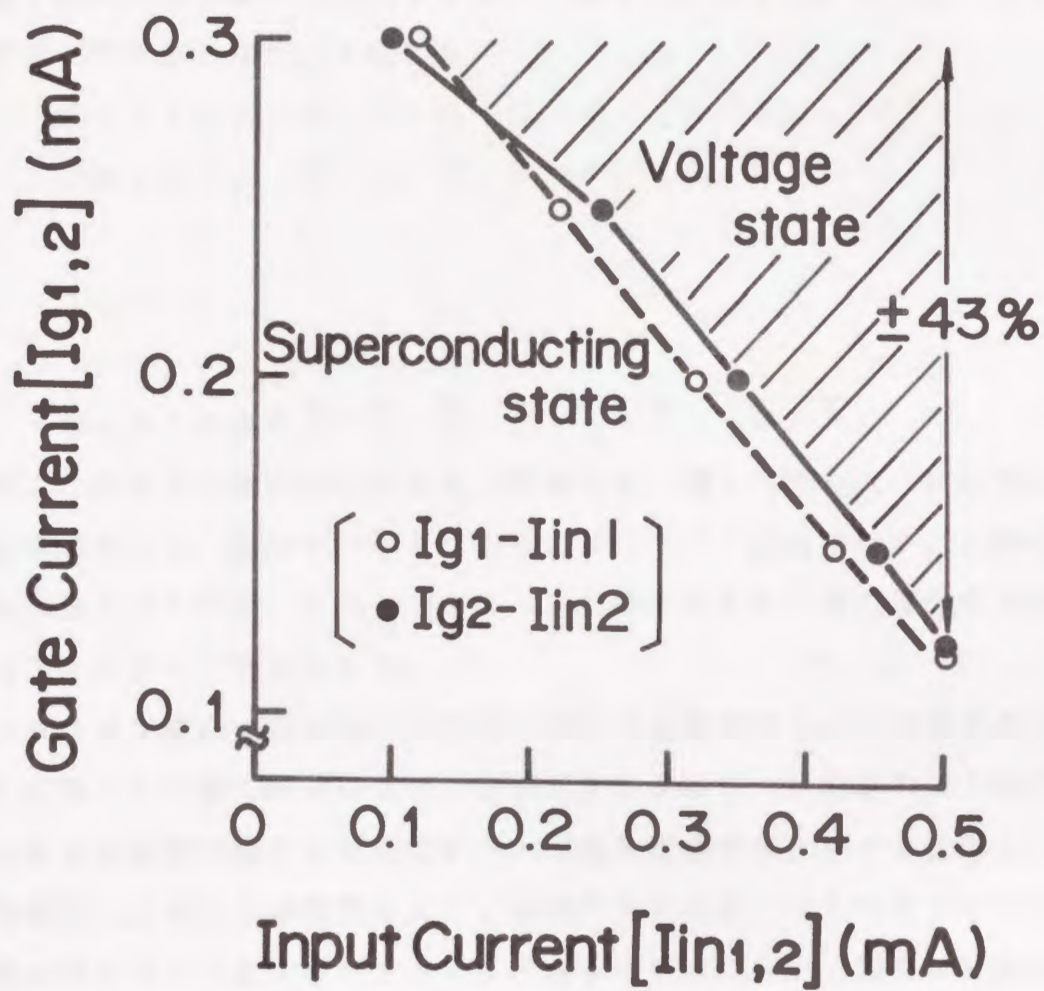


図5-7. 極性切換型駆動回路の動作マージン
 斜線部分が動作領域を示す。

どの論理集積回路と同様の設計思想で高速化を図ることができる。ここではRCJLファミリー¹³⁾を基本ゲートとし、AC駆動、デュアルレール方式(真、補の信号を同時に発生しながら信号が伝搬していく方式)を採用し、デコーダ回路を設計する。すでに同様にRCJLゲート回路を用いて1Kbit記憶回路用のデコーダ回路は設計されている⁸⁵⁾。4Kbit記憶回路用のデコーダ回路はAからFまでの6入力により64ビットの出力を発生する。さらに読み出し、書き込みの記憶動作を制御するR/W信号を加えると、7入力-128出力のデコーダ回路となる。すなわち

$$\text{Out } 1 = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot (R/W)$$

$$\text{Out } 2 = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot \overline{(R/W)}$$

・
・
・

$$\text{Out } 128 = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} \cdot \overline{E} \cdot \overline{F} \cdot \overline{(R/W)}$$

である。このように基本的には各入力信号の真、補の信号のAND論理の繰り返しで構成される。基本ゲートとしてはANDゲート回路のほか、入出力分離を図るORゲート回路、多ファンアウトに対応するために出力電流を増幅するためのBUFゲート回路がある。

ジョセフソン接合は基本的には2端子素子であるのでトランジスタのようなゲート回路として働く機能はない。そこでRCJLゲート回路のようにジョセフソン接合を複数個組み合わせてゲート回路を構成する。ゲート回路として必要な要素は入出力の分離機能と入力の増幅作用にある。ひとつのゲート回路には複数のファンインとファンアウトが存在するため、入出力信号の分離機能が不十分であると、ひとつのゲート回路のスイッチがそのゲート回路につながる他のゲート回路に影響を及ぼし、誤動作の原因となる。ここで用いるRCJLゲート回路の場合にはAND回路には入出力分離の機能はなくOR回路に入出力分離の機能がある。従って、回路構成として基本的な形はAND-OR型かOR-AND型となる。BUF回路にも入出力分離の機能は備えられていないが、BUF回路はAND回路の後段にのみ用いられ、信号の増幅作用を果たすものであるため、AND-ORゲート回路もしくはOR-ANDゲート回路に

入出力分離の機能があれば問題はない。

さてAND-ORゲート回路とOR-ANDゲート回路との違いについて検討してみる。AND-ORゲート回路はAND回路の出力の後に1個のOR回路を設けるものでAND回路の2個の入力線のそれぞれにOR回路を設けるOR-ANDゲート回路に比べOR回路の個数を少なくできるため、小型化、歩留まりの点で有利である。従来検討された1Kbit記憶回路用のデコーダ回路ではAND-OR型のゲート回路を基本として設計された⁸⁶⁾。しかしながら、本デコーダ回路では次の理由によりOR-ANDゲート回路を基本ゲートとして採用する。すなわち、図5-8に示すようなAND-ORゲート回路を考える。この時、AND1に2つの入力が入力され、AND1がスイッチしたとすると、それによりOR1からAND1への入力ラインの負荷抵抗が増加する。従って、OR1からAND2へ印加されていた電流が増加し、AND2が誤動作する可能性がある。例えば、OR1とAND1、2の負荷抵抗を同じ r に、またOR2の出力電流値を I_{out} と仮定すると、AND2への入力電流は $I_{out}/2$ であるが、AND1がスイッチするとAND1側のOR1の負荷抵抗は $2r$ となり、AND2への入力電流は $(2/3)I_{out}$ へと変化する。すなわち、AND2への入力電流はAND1がスイッチする前の約30%ほど増加することとなり、AND2の動作マージンを著しく狭める結果となる。このことを防ぐためにはOR1を定電圧領域すなわちギャップ電圧領域で動作させることとOR-AND型の回路構成にすることが考えられる。前者の方法はOR1の出力電圧が定電圧であればOR1からAND2への入力電流はAND1のオンオフに関わらず一定となる。しかしながら、この方法はOR1の負荷抵抗を大きくし、回路の高速性を損なうばかりでなく、OR1でのバイアス電流のリークも大きくなる。このため、ここではAND-OR型ではなく、OR-AND型の回路構成を基本とする。

デコーダ回路を高速化するためには各ゲート回路を高速動作可能なように設計するとともに、全体の段数をできるだけ少なくすることが重要である。例えば、出力 $Out1$ を得るためには

$$Out1 = ((A \cdot B) \cdot (C \cdot D)) \cdot ((E \cdot F) \cdot (R/W))$$

のように最小3段で構成することができる。図5-9に7-128デコーダ回

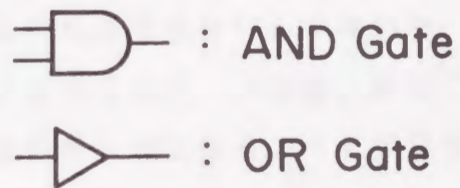
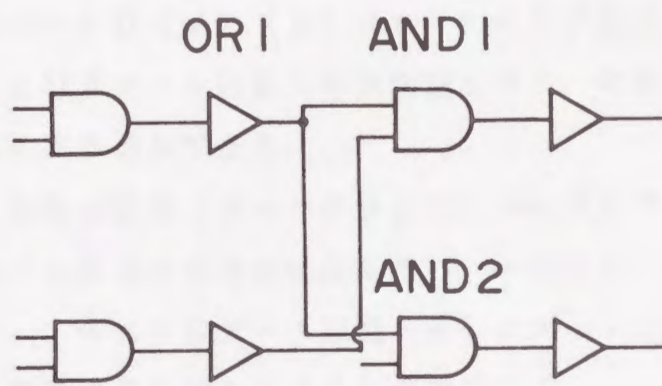


図5-8. AND-ORゲート回路の構成図

それぞれ負荷抵抗は省略。ゲート回路の接続の様子だけを示す。

路のブロック図を示す。各ブロック内に構成ゲートとその数を示す。基本構成回路はOR-ANDゲート回路とOR-AND-BUFゲート回路である。各ゲート回路のファンアウト数はOR:1、AND:1もしくは2、BUF:4である。電流増幅用のBUFゲート回路は実用的な観点からファンアウト数4を採用し、最多ファンアウト数の16はBUFゲート回路2段で実現している。

続いて、各ゲート回路の各パラメータを設計する。前提としてプロセス上の歩留まりをよくするために、できるだけ同じ大きさの接合、抵抗値を用いることとする。図5-10(a)(b)(c)にそれぞれORゲート回路、ANDゲート回路、BUFゲート回路の等価回路を示す。それぞれのゲート回路間の電流値の関係は次の通りである。

①ORゲート回路の出力(ファンアウト1)がANDゲート回路及びBUFゲート回路をスイッチさせなければならない。すなわち、ORゲート回路の出力の最小値(I_{O1})がANDゲート回路、BUFゲート回路を確実にスイッチするのに必要な電流の最小値となるように設定する。

$$I_{O1} = I_{A1} \quad (5-2)$$

$$I_{O1} = I_{B1} / 2 \quad (5-3)$$

②ANDゲート回路の出力(ファンアウト2)がORゲート回路、BUFゲート回路をスイッチさせなければならない。すなわち、ANDゲート回路の出力の最小値(I_{A1})の1/2がORゲート回路、BUFゲート回路を確実にスイッチするのに必要な電流の最小値となるように設定する。

$$I_{A1} = I_{B1} / 2 \quad (5-4)$$

$$I_{A1} = I_{O1} \quad (5-5)$$

(上述の記号の意味は図5-10に示すとおりである。)となる。

また負荷抵抗は小さいほど負荷電流の立ち上がり時間(負荷抵抗とゲート回路の接合容量の積に比例)を小さくでき、高速化が期待されるが、小さく選びすぎると出力電流のAC振動が大きくなり誤動作を引き起こす確率が高くなる。ジョセフソン接合のAC振動については計算機シミュレーションによりその大きさを調べることができる。計算機シミュレーションにより動的な回路動作を含めた動作マージンを検討し、最適なパラメータを設定する。一方、最小の動作電流値すなわち最小接合臨界電流値を外部からの雑音を考慮して0.1mA、

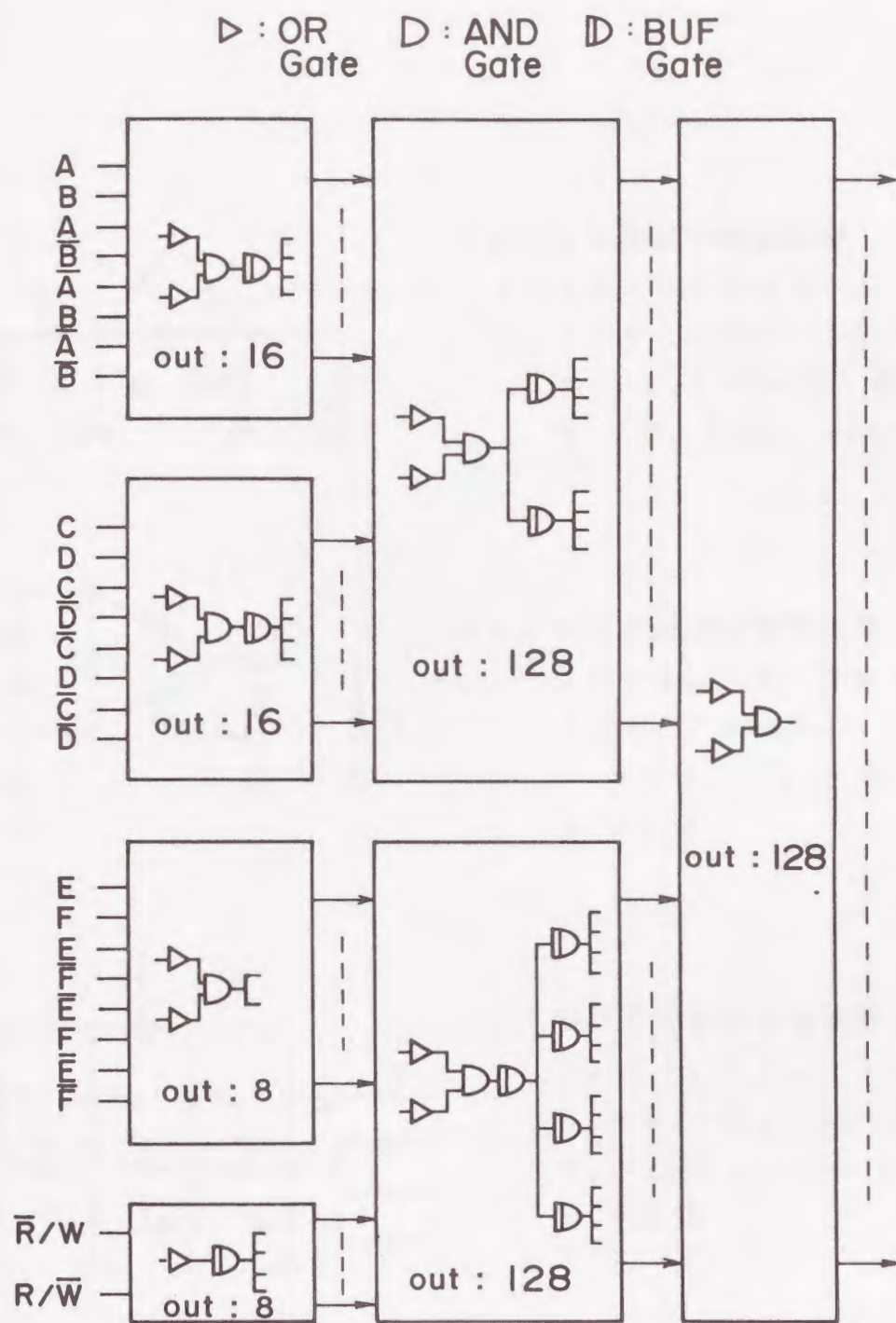
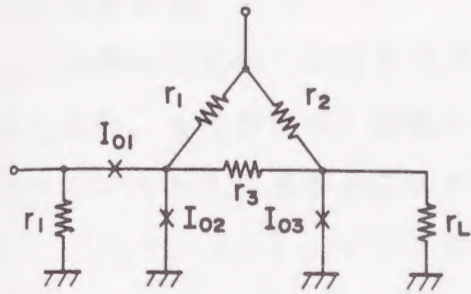
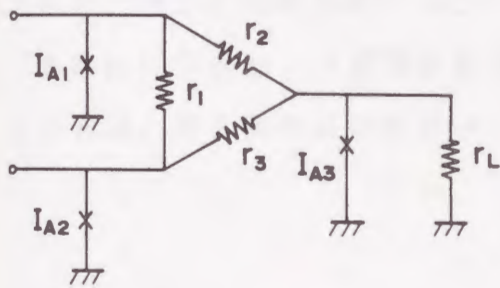


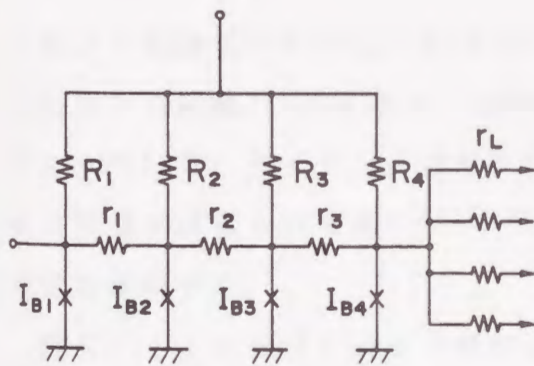
図5-9. デコーダ回路のブロック図
3段のブロックで構成される。



(a) OR回路の等価回路
 $I_{o1} = 0.1 \text{ mA}$
 $I_{o2} = I_{o3} = 0.15 \text{ mA}$
 $r_1 = r_2 = r_3 = 0.8 \Omega$
 $r_1 = 0.8 \Omega, \quad r_L = 6 \Omega$



(b) AND回路の等価回路
 $I_{A1} = I_{A2} = 0.1 \text{ mA}$
 $I_{A3} = 0.2 \text{ mA}$
 $r_1 = 2 \Omega, \quad r_2 = r_3 = 0.8 \Omega$
 $r_L = 2 \Omega$



(c) BUF回路の等価回路
 $I_{B1} = I_{B2} = I_{B3} = I_{B4} = 0.2 \text{ mA}$
 $R_1 = R_2 = R_3 = R_4 = 4 \Omega$
 $r_1 = r_2 = r_3 = 0.4 \Omega$
 $r_L = 2 \Omega$

図5-10. RCJLゲートファミリー (AND、OR、
 BUFゲート回路) の等価回路

最小接合寸法を記憶セルと同様に $3\mu\text{m} \times 3\mu\text{m}$ とするとジョセフソン接合の臨界電流密度は約 $1200\text{A}/\text{cm}^2$ となる。図5-10に各パラメータの値を示す。なおこの値は前項で述べた極性切換型駆動回路を駆動するのに十分な出力を供給する。

それぞれのゲート回路のバイアス電流の動作マージンはORゲート回路で約 $\pm 40\%$ 、ANDゲート回路で $\pm 50\%$ である。BUFゲート回路についてはファンアウト4の出力がORゲート回路をスイッチさせる必要があるので

$$I_{bg}/4 > I_{o1} = I_{B1}/2 \quad (5-7)$$

すなわち

$$4I_{B1} > I_{bg} > 2I_{B1} \quad (5-8)$$

となり、 $\pm 33\%$ の動作マージンを有することになる。

ちなみに本デコーダ回路は330個のORゲート回路、164個のANDゲート回路、82個のBUFゲート回路から構成される。

5. 1. 3 センス回路

センス回路についてはいくつかの方式が提案されている。DC駆動を前提としたセンス回路⁹⁰⁾はタイミング信号を用いることに問題があり、高速化の妨げになっていた。タイミング信号を用いる必要の無いAC駆動の抵抗負荷型のセンス回路が提案されており^{86)、87)}、本記憶回路でも基本的な考え方としては同方式を採用する。

図5-11にセンス回路の等価回路を示す。その動作は以下の通りである。記憶セルのセンスゲートが直列に接続されたすべてのセンスバスにAC電流を印加する。記憶セルでデータ“1”が読み出され、センスゲートが電圧状態にスイッチすると、そのセルが接続しているセンスバスの電流は負荷抵抗を通して接合 I_{j0} へ流れ、接合 I_{j0} をスイッチさせる。その後、ファンイン4のORゲート回路3段を通して、64bit分の情報が集められた後、出力信号が取り出される。

この回路において注意すべき点はAC電流の立ち上がりの際の動的な電流の

流れである。すなわちAC電流が立ち上がったときに、動的にはセンスバスのインピーダンスが無視できず、負荷抵抗へもAC電流の一部がリークする。このリーク電流が直接ORゲート回路に入力されるとORゲート回路がスイッチして、誤動作の原因となる。本回路では、このリーク電流はジョセフソン接合 I_{j0} に吸収され誤動作を防いでいる。リーク電流の大きさ I_{ℓ} は

$$I_{\ell} = I_{j0} \cdot Z_0 / (Z_0 + R_L) \quad (5-8)$$

(I_{j0} :センス電流、 Z_0 :センスバスのインピーダンス、 R_L :負荷抵抗)となり、接合電流値 I_{j0} は

$$I_{j0} \cdot Z_0 / (Z_0 + R_L) < I_{j0} < I_{c0} \quad (5-9)$$

を満たすように設計される。今、インピーダンスの整合性を考慮にいれ、 $Z_0 = R_L$ と選ぶと、ジョセフソン接合 I_{j0} の動作マージンは約±33%となる。

本センス回路ではAC電流で駆動するデコーダ回路と同様にRCJLゲート回路でORゲート回路を構成する。そのため広い動作マージンと入力の印加にタイミングを図ることの不必要な従って高速なセンス回路を実現することができる。センスゲートは前章までに述べてきたように量子磁束転移型記憶セルに含まれる超伝導量子干渉計である。このパラメータはすでにジョセフソン接合1個の臨界電流値が0.1mA、センスゲートの臨界電流値が0.2mAと設計されている。この値の対応したセンス回路の各パラメータ値を図5-11に示す。

5.2 記憶回路のアクセス時間

4Kbit高速記憶回路のアクセス時間を計算機シミュレーションにより評価する。シミュレーションに用いたソフトウェアは過渡解析計算プログラム“ECAP”である。記憶回路のアクセス時間の内訳はアドレスのデコーディングに要する時間、記憶セルを駆動する時間、センス回路のアクセス時間、記憶セルのスイッチング時間、その他配線遅延時間となる。このうち記憶セルのスイッチング時間 t は超伝導ループのインダクタンス L とジョセフソン接合のダ

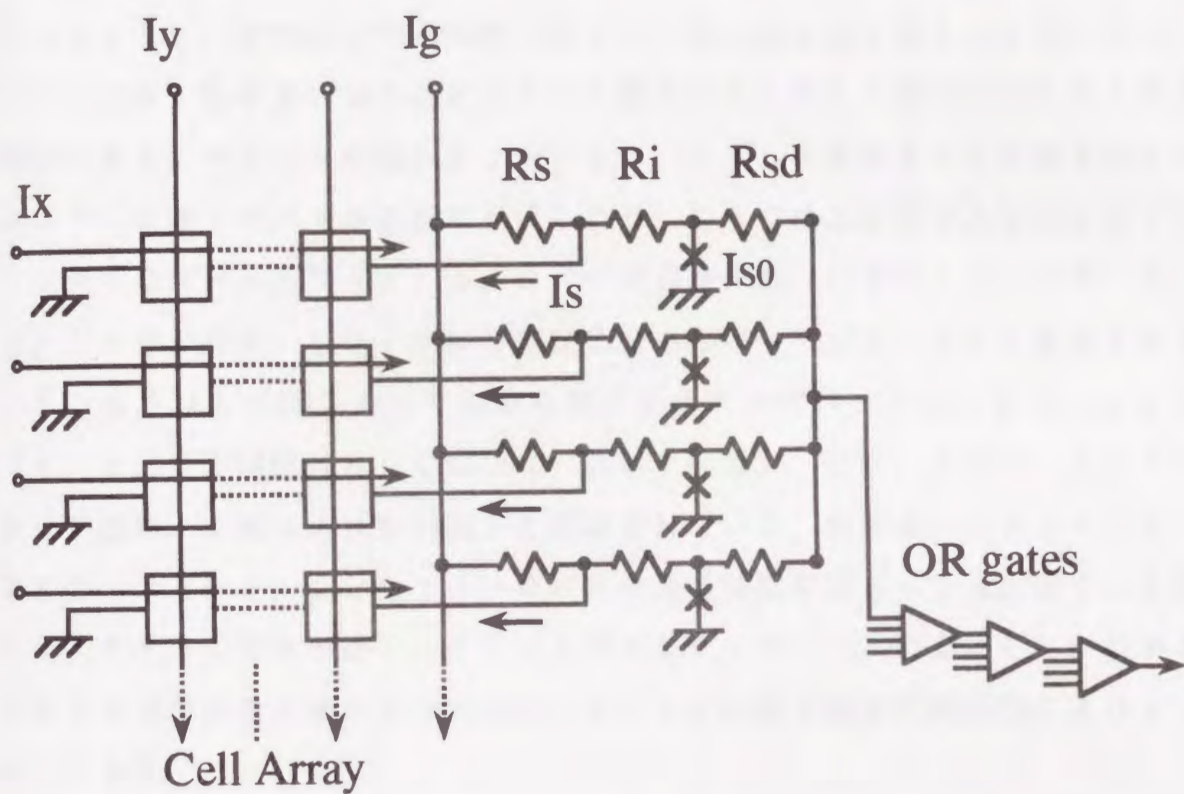


図5-11. センス回路の等価回路

$$R_s = 50 \Omega, R_L = 12 \Omega, R_L' = 7 \Omega$$

$$I_{s0} = 0.1 \text{ mA}$$

$$\text{センスラインの特性インピーダンス } Z_0 \approx 10 \Omega$$

ンピング抵抗 R_d より、 $t \approx L/R_d$ と考えられ、計算機シミュレーションの結果、約 10 psec 程度と見積もることができる。

まずデコーダ回路のスイッチング時間について検討する。5.1.2項で述べたようにデコーダ回路はOR-AND回路、OR-AND (f.o. 1) - BUF回路、OR-AND (f.o. 2) - BUF回路、OR-AND-BUF-BUF回路、の4種類のゲートブロックから構成されている (f.o: ファンアウト)。各回路の遅延時間のバイアス電流依存性を図5-12に示す。ファンアウト数が多いものほどバイアス電流が低くなると遅延時間も長くなる傾向にある。デコーダ回路のクリティカルパスとしては図5-9に示されているように2通りのパスが候補に挙げられる。ひとつは入力信号AからDまでブロックでOR-AND (f.o. 1) - BUF回路、OR-AND (f.o. 2) - BUF回路、OR-AND回路の3つのゲートブロックから構成されている。もうひとつは入力信号EからR/Wまでのブロックで、OR-AND (f.o. 2) 回路 (もしくはOR-BUF回路)、OR-AND-BUF-BUF回路、OR-AND回路から構成されている。前者のパスをライン1、後者のパスをライン2として2つのパスの遅延時間を図5-13に示す。全体としてライン1の方が遅く、ライン1がクリティカルパスであることがわかる。バイアス電流が最大値の80%の時、デコーダ回路の遅延時間は約 140 psec である。

次に極性切換型駆動回路のアクセス時間について調べる。本回路のアクセス時間を入力信号が立ち上がってから出力信号が記憶セルのしきい値を越えるまでと定義すると、X駆動回路、Y駆動回路の駆動時間は図5-14及び図5-15に示すようになる。X駆動回路は、 $R_1 = R_2 = 5 \Omega$ 、 $R_3 = 8 \Omega$ の時、バイアス電流70%で、 160 psec 、80%で、 130 psec を示し、Y駆動回路は $R_1 = R_2 = 4 \Omega$ 、 $R_3 = 7 \Omega$ の時、バイアス電流70%で、 145 psec 、80%で、 120 psec とシミュレートされる。X、Y両方の駆動回路ともに R_1 、 R_2 が大きい方がわずかにアクセス時間は遅い。この理由はRC時定数 (Rは駆動回路の負荷抵抗、Cは駆動回路のゲート回路の接合容量) で決まる立ち上がり時間の差によるものと考えられる。実際の記憶回路のなかでは、信号線路、リターン線路、負荷抵抗の接続部分においてインピ

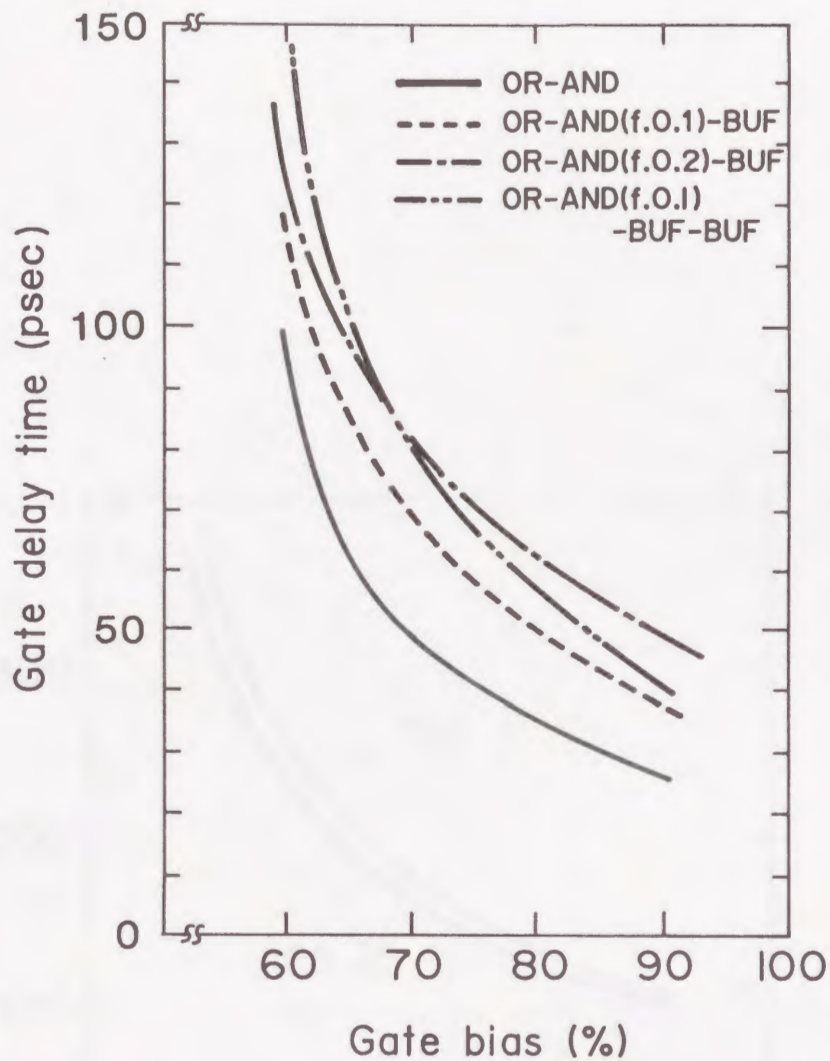


図5-12. デコーダ回路の構成回路のスイッチング時間の
バイアス電流依存性

実線：OR-ANDゲート回路のスイッチング時間

破線：OR-AND(f.o.1)-BUFゲート回路の
スイッチング時間

一点鎖線：OR-AND(f.o.2)-BUFゲート回路の
スイッチング時間

2点鎖線：OR-AND(f.o.1)-BUF-BUF
ゲート回路のスイッチング時間

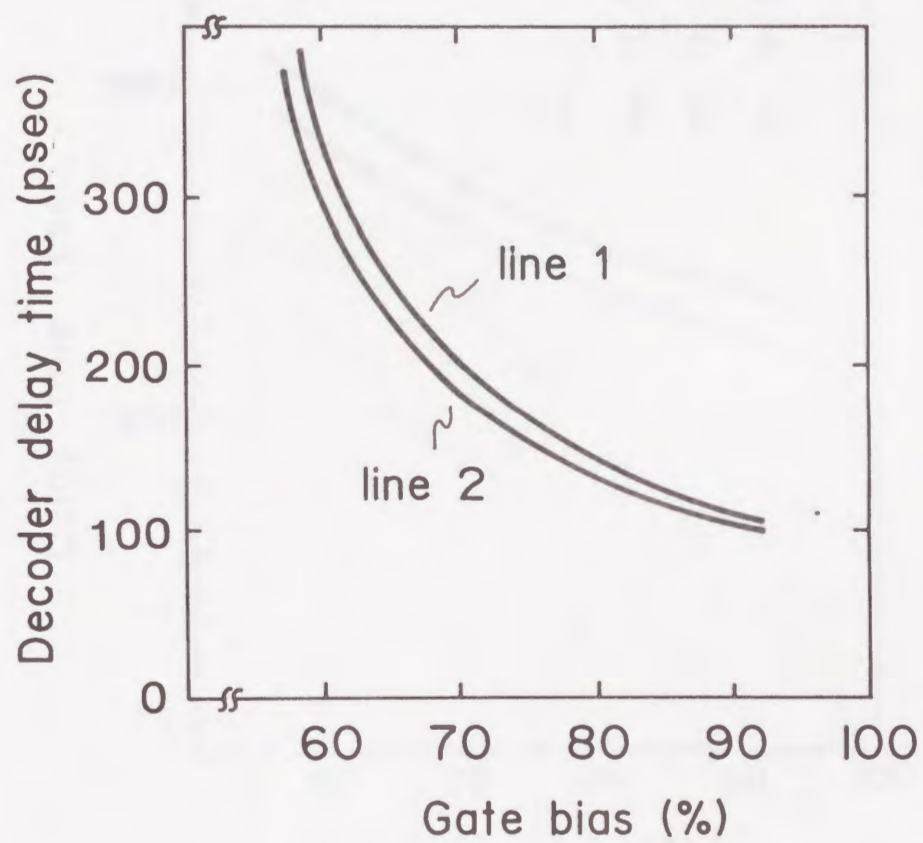


図5-13. デコーダ回路内の2つの信号パスの遅延時間
 line 1 : 入力A~Dから出力までのライン
 line 2 : 入力E~R/Fから出力までのライン

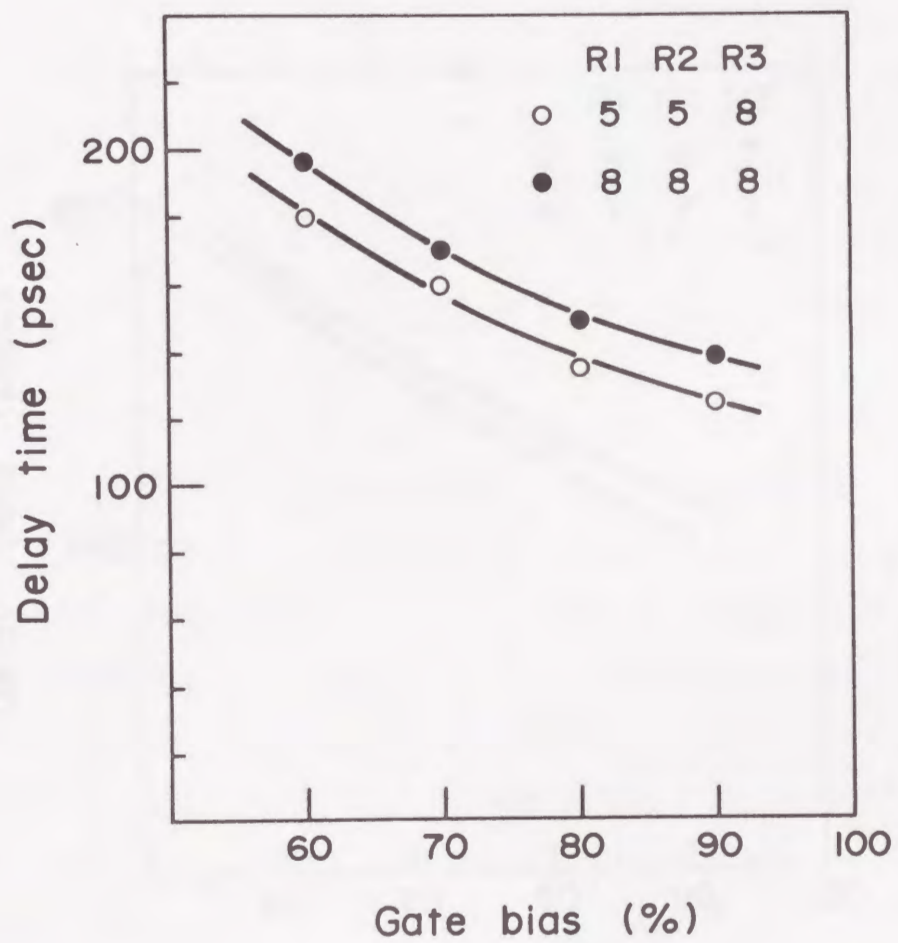


図5-14. 極性切換型駆動回路(X信号)のアクセス時間
R1、R2、R3は図5-3に示した抵抗

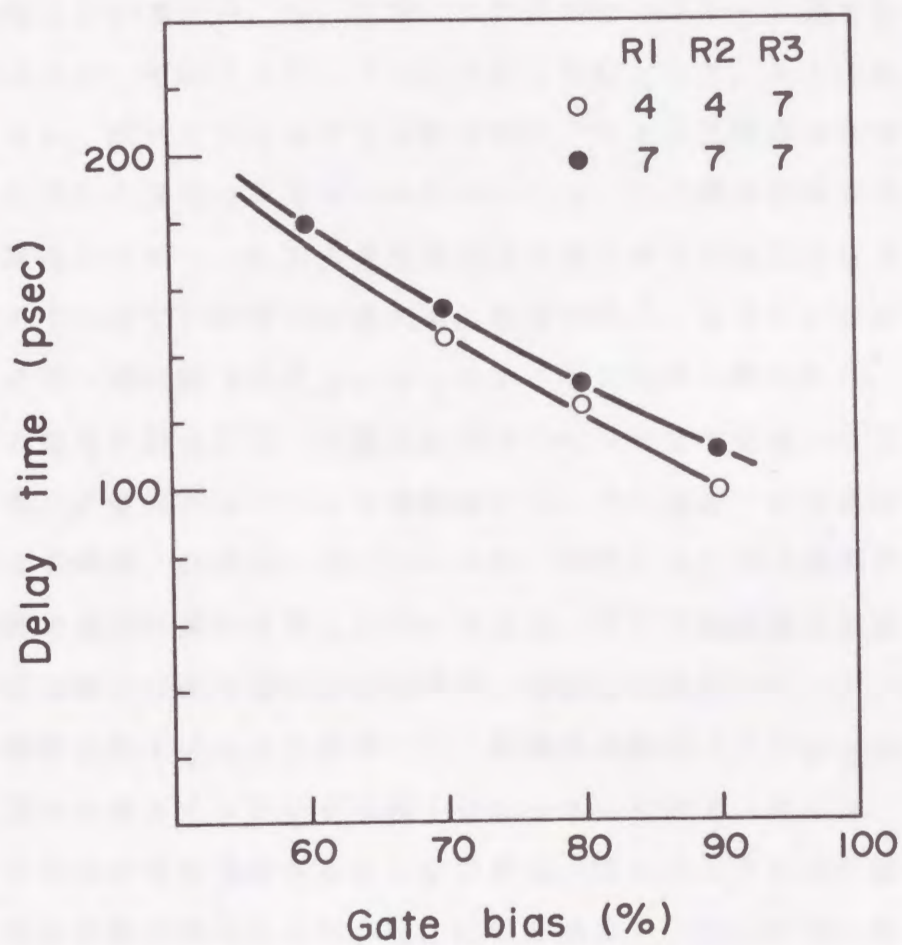


図5-15. 極性切換型駆動回路 (Y信号) のアクセス時間
 R1、R2、R3は図5-3に示した抵抗

インピーダンスのミスマッチが起こり、高速性を妨げている。完全にマッチングを取
ることは困難だが、できるだけマッチングを取ることにより高速化を図る必要
がある。現状ではマッチングをとるためには図5-3における R_3 をもっと大
きくすることが要求されているが、 R_3 の大きさは V_d で制限されており、もっ
と大きな V_d を有する駆動回路を実現することが、高速化の点からも必要である。

センス回路のアクセス時間は記憶セル列から負荷抵抗へ電流が転送されてく
る時間とジョセフソン接合及び3段のORゲート回路がスイッチする時間とし
て求めることができる。今、記憶セル列内のセンスゲート列を分布定数線路と
置き換えると、そのインピーダンスは約 12Ω となる。そこでセンスゲートが
スイッチし、続いてジョセフソン接合がスイッチし3段のORゲート回路がス
イッチしていく過程をシミュレーションした。この場合のセンス回路のアクセ
ス時間はセンスゲートに入力信号が印加されてから最終段のORゲート回路が
スイッチするまでの時間と定義する。結果は図5-16に示されている。80
%のバイアス時に約 190 psec のアクセス時間が得られた。

以上の結果を総合して、記憶回路のアクセス時間を見積もることができる。
すなわち、記憶回路のアクセス時間はデコーダ回路のアクセス時間、駆動回路
のアクセス時間、記憶セルのスイッチング時間、センス回路のアクセス時間さ
らに配線の遅延時間を合計したものである。ここで配線遅延とはレイアウト上、
生じる配線部分の信号遅延と定義する。記憶回路全体のクリティカルパスに含
まれる配線長を 10 mm と仮定すると配線遅延は約 100 psec となる。こ
れに記憶セルのスイッチング時間 10 psec を加え、 4 Kbit 高速記憶回
路のアクセス時間を見積もることができる。図5-17にその結果を示す。バ
イアス電流が最大値の80%の時、記憶回路のアクセス時間は約 650 psec
、90%のバイアス電流を印加した場合には約 560 psec のアクセス時
間を見積もることができる。

さてこの時の消費電力を見積もってみよう。ジョセフソンデバイスの場合、
電力は各ゲート回路に電流を供給するドロッピング抵抗の部分で大部分が消費
される。ドロッピング抵抗は定電圧である電源ラインから定電流を各ゲート回
路に送り出す役割を果たし、各ゲート回路の負荷抵抗に対し十分大きな値が選
ばれる。本記憶回路ではドロッピング抵抗として $30\Omega\sim 50\Omega$ と設定してい

る。ゲート回路1個当たりの消費電力は2~10 μ Wとなり、全体では約10 mWと見積もることができる。(90%バイアスの時)

5.3 結論

量子磁束転移型記憶セルを用いた4 K b i t高速記憶回路を実現することを目的として周辺回路の設計、及びアクセス時間の検討を行った。量子磁束転移型記憶セルは単一量子磁束を記憶媒体とすることと、その入力信号間にいかなるタイミングシーケンスも必要としないことから高速記憶回路の構成要素として最適であると考えられる。一方、入力信号の方向性も情報として機能させることから極性切換型駆動回路が量子磁束転移型記憶セルには不可欠である。本章の結論は以下の通りである。

(1) 4 K b i t高速記憶回路の構成要素である駆動回路、デコーダ回路、センス回路の設計を行った。駆動回路には極性切換型駆動回路を採用し、従来の駆動回路に比べ広い動作マージンを得た。デコーダ回路はR C J Lゲートファミリーを基本ゲートとし、高速化と動作マージンの拡大化を図る。センス回路は抵抗負荷型のセンス回路を採用し、A C駆動を可能とした。周辺回路すべてをA C駆動とすることでタイミング信号を不必要とし、全体の高速化を図った。(2) それぞれのパラメータについては基本的に記憶セルのパラメータが重要である。記憶セルのパラメータが決まることにより駆動回路のパラメータが決まり、その結果、駆動回路へ出力信号を入力するデコーダ回路のパラメータが決まる。またセンス回路のパラメータは記憶セルのセンスゲートのパラメータから決定される。

(3) 記憶回路のアクセス時間について計算機シミュレーションにより検討を加えた。その結果、例えば、それぞれのバイアス電流を最大値の80%にバイアスした時に、極性切換型駆動回路は約200 p s e c、デコーダ回路は約140 p s e c、センス回路は約190 p s e cのアクセス時間と見積もられた。4 K b i t記憶回路全体としてのアクセス時間はバイアス条件80%及び

90%の時、それぞれ約650 psec、約560 psecと見積もることができた。



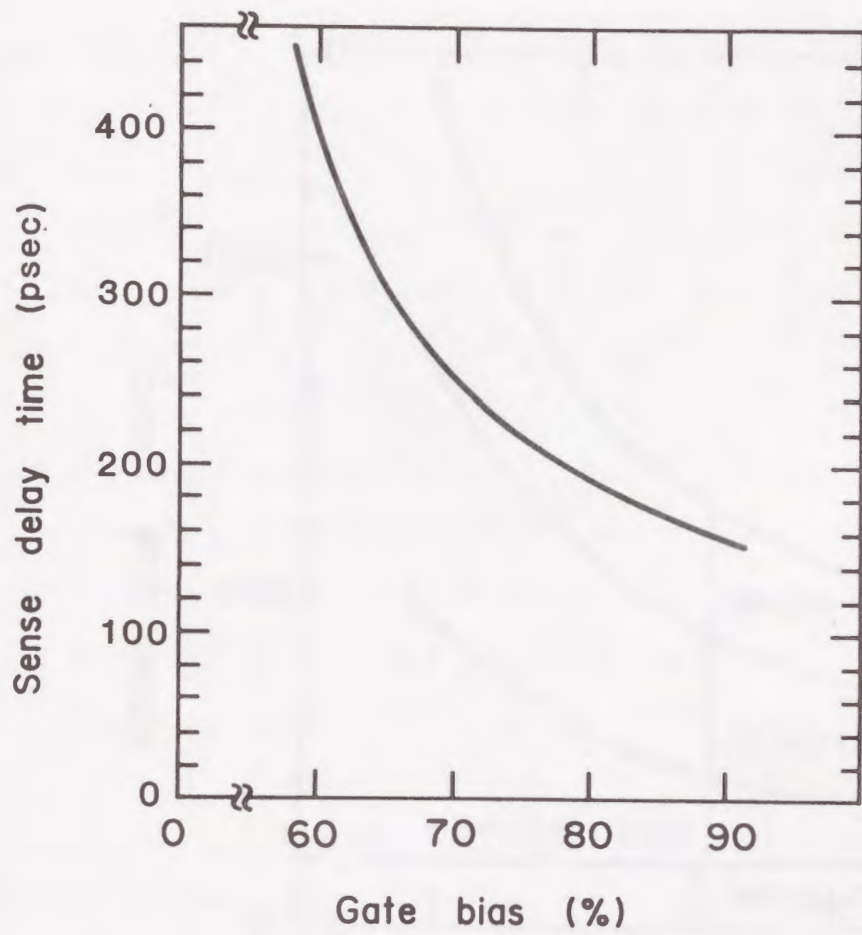


図 5-16. センス回路のアクセス時間

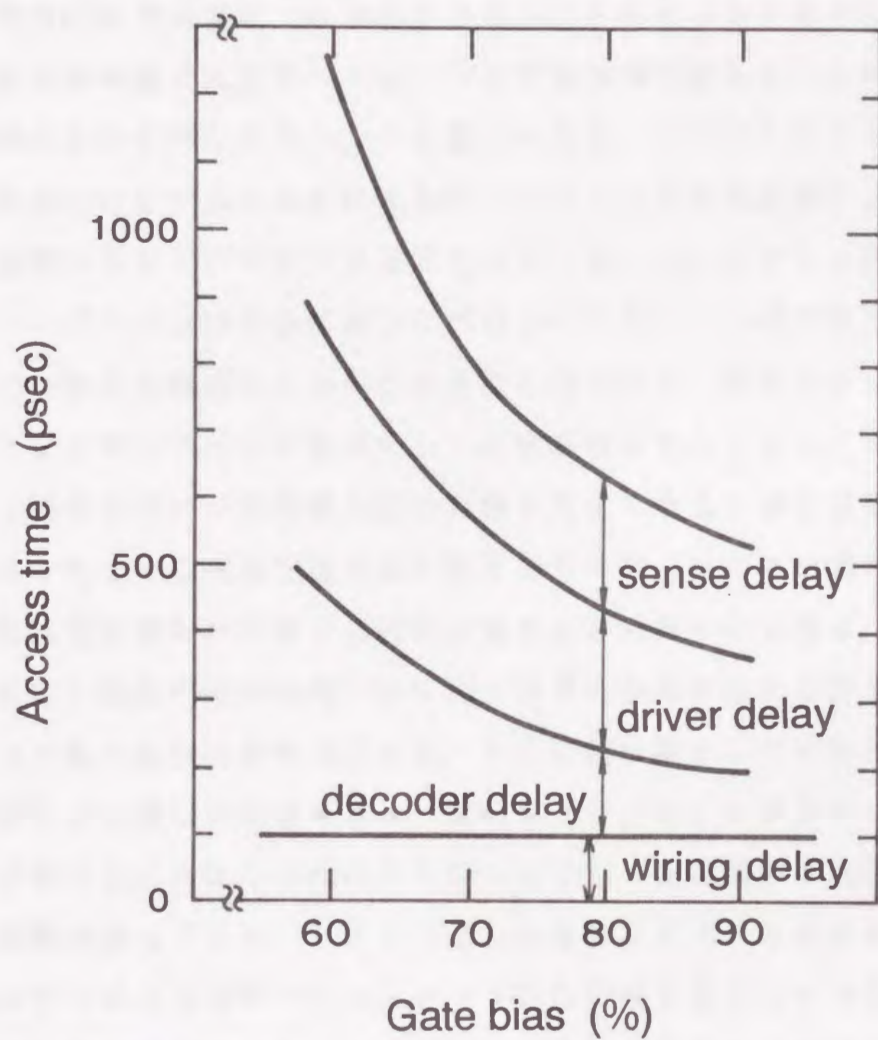


図5-17. 4 Kbit 高速記憶回路のアクセス時間
 Wiring delay はレイアウト上発生する配線遅延で約 100 psec と仮定。

第6章 総括

半導体集積回路の消費電力は集積度の向上にともないますます増大する傾向にある。将来の高速で大型のコンピュータの基本素子は今以上に高密度化、高集積化が要求されて行くだろう。この要求に答え、デバイスサイドからコンピュータの発展に寄与するためには現在のコンピュータの構成素子よりも桁違いに消費電力の小さなデバイスが必要とされている。ジョセフソン接合を用いたジョセフソンデバイスは半導体素子に比べ2~3桁小さな消費電力特性を有し、あわせてピコ秒台の高速スイッチング性能を持つため、将来のコンピュータの構成要素となり得るひとつの候補として研究が進められてきた。本論文は、ジョセフソン接合を用いた超高速大型計算機を実現する上で最も重要な構成要素のひとつとされている高速記憶回路に関するもので、特にその基本素子である高速記憶回路用記憶セルに関する研究成果をまとめたものである。コンピュータ内部において記憶回路は論理回路に比べ非常に多くの数を必要とし、1チップあたりより高い集積度を要求される。さらに超伝導リングに流れる永久電流を記憶媒体とする超伝導記憶セルは、超伝導リングのインダクタンスの高い制御性が要求される。これらの理由からジョセフソン記憶回路の実現には論理回路以上の困難が伴っていた。しかしながら半導体デバイスの進展を見ても記憶回路はそのデバイス技術のマイルストーン的な役割を果たしており、記憶回路の実現が超伝導集積回路のキーポイントとも言われてきた。本研究は高速記憶回路の構成要素の基本となる記憶セルについて従来の記憶セルの問題点を解決した量子磁束転移型記憶セルについて検討したものである。本研究において得られた結論を以下に示す。

(1) 超伝導高速記憶回路のための新しい記憶セルを提案した。本記憶セルは量子磁束転移型記憶セルと称し、2つの超伝導ループから成る。それぞれの超伝導ループは書き込みの時に量子磁束転移する記憶ループと読み出しの時に量

子磁束転移する記憶ループとして働き、いずれも1個のジョセフソン接合と超伝導インダクタンスから構成される。本記憶セルは量子磁束転移現象を書き込み、読み出しいずれの動作にも利用した世界初の記憶セルである。本記憶セルの特長をまとめると次のようである。

- ・1量子磁束を記憶媒体とするため高速の記憶動作に適している。
- ・入力信号の印加に際し、いかなるタイミングシーケンスも必要としない。
- ・入力信号の動作マージンは書き込み、読み出しそれぞれ $\pm 33\%$ を有す。
- ・読み出しゲートは磁氣的に結合した超伝導ループの量子磁束転移をセンスする。そのため、入力信号のセンスゲートに対する影響は小さく、 $\pm 38\%$ という広い動作マージンを実現することができる。
- ・非破壊読み出しを実現できる。
- ・ダンピング抵抗により安定な記憶動作を保証することができる。またダンピング抵抗値は $4\ \Omega$ 以下に設定すればよく、その実現は容易である。
- ・熱雑音による動作マージンの低下は小さく、1Mビット規模の記憶回路を想定したときにも $\pm 30\%$ の動作マージンを有する。

以上のように、本記憶セルは高速記憶回路の構成要素として極めて有望であると考えられる。計算機シミュレーションによりその動特性についても確認された。

(2) 量子磁束転移型記憶セルの試作プロセスについて考察した。超伝導デバイスは集積回路としての研究が始まった当初の鉛合金を用いたプロセスから高融点金属であるNbを用いたプロセスへと変遷の後、大きな進歩を遂げた。量子磁束転移型記憶セルの実現に際してもNbを超伝導材料として用いた試作プロセスを採用することにより、信頼性の高い試作プロセス技術を確立した。試作プロセスにおける結論として次のことをあげることができる。

- ・層間絶縁膜の信頼性を高めるため平坦化技術を導入した。平坦化技術により、従来、配線被覆部分で多発していたクラックなどの信頼性低下の要因を減少させることができ、薄い絶縁膜でも高い信頼性を得た。
- ・層間絶縁膜としてはSiOからSiO₂へと改善を加えた。SiO₂はRFスパッタ法で成膜し、配線間の電氣的接触のためのコンタクトホールはやはりC

F_4 ガスを用いた反応性イオンエッチングによる。

・記憶セルはインダクタンスの値を正確に制御することが、ジョセフソン接合の臨界電流値を制御することと並んで非常に重要である。インダクタンス値は配線の線幅、層間絶縁膜の厚さすなわちグランドプレーンからの距離で決定される。グランドプレーンからの距離の正確な制御のためには前述の平坦化技術が不可欠である。ここでは絶縁膜の膜厚の制御性に優れたリフトオフ法を採用し、平坦化を行った。リフトオフ法にはリフトオフした後の形状に溝が生じたりバリが残ったりする問題点があったが、新リフトオフ法の導入により優れた表面平滑性を有する平坦化技術を確立した。

・記憶セルを実際にレイアウト設計すると等価回路には現れない余分な配線インダクタンスが存在する。このようなインダクタンスは動作マージンの低下を招くばかりか、記憶回路全体の高速化を妨げることにもなる。この余分なインダクタンスをできる限り小さくするために低インダクタンス配線層を導入した。

・ $\text{Nb}/\text{AlO}_x/\text{Nb}$ ジョセフソン接合を用いたNb系プロセスを用いて量子磁束転移型記憶セルの試作を行った。記憶セルの層構成はジョセフソン接合の上下電極である、ベース電極とカウンタ電極及びにベース電極の下部に設けたワイヤリング層の3層構造で、層間絶縁膜には SiO_2 、抵抗体にはMoを用いた。配線及び接合の加工には主に CF_4 ガスを用いた反応性イオンエッチング技術が用いられた。試作した記憶セルは $43\mu\text{m} \times 43\mu\text{m}$ サイズで、最小パターンサイズは $1.5\mu\text{m}$ 、最小接合寸法は $3\mu\text{m} \times 3\mu\text{m}$ である。

(3) Nb系の試作プロセスにより作成された量子磁束転移型記憶セルの測定結果とその検討を行った。その結論をまとめると次のようである。

・量子磁束転移型記憶セルに限らず、ジョセフソンデバイスには磁場や雑音に敏感であるために測定装置に注意を払うことが必要である。測定チップは液体ヘリウムに浸し、 4.2K の環境で測定する。液体ヘリウムデュワーは3重の磁気遮へいを施し、チップホルダにも非磁性の材料を用いて極力地球磁場を低減させる。チップホルダ上にはプリント基板上に作成した 50Ω のストリップラインを配置し、チップはそのストリップラインとフェイスダウン状に接触させる。この方式では接触点でのインピーダンス不整合も小さく、接触抵抗も小さ

くできることを確認した。

・量子磁束転移型記憶セルを測定した結果、データ“1”書き込み、データ“0”書き込み、データの読み出しの時、それぞれ±33%、±24%、±21%の動作マージンを得た。また、センスゲートの動作マージンは±33%であった。動作マージンが設計値よりやや小さくなっている原因は、接合およびインダクタンスの偏差によるものと考えられる。

・記憶セルの超伝導ループには設計上、計算することが困難なインダクタンス、例えばコンタクトホールの部分や配線の曲がりの部分など、が含まれる。それらの評価用のTEG回路を用いて部分的にインダクタンスを評価した。その結果、インダクタンスは場所によっても異なるが、約10%大きめの値を示した。一方、制御線との相互インダクタンスは約20%程小さく、フリッジング係数の評価の必要性が示された。これらの実験から得られた値を用いて計算された量子磁束転移型記憶セルのしきい値特性は実験結果と良く一致することを示した。

・記憶回路のサイクル時間の高速化のためには記憶セルの入力信号にいかなるタイミングシーケンスが発生しても望ましくない。タイミングシーケンスが必要な場合には十分なタイミングマージンをとって信号を入力する必要がある、高速化の妨げとなる。量子磁束転移型記憶セルはその動作原理から考えて2つの入力信号 I_x 、 I_y の間にタイミングシーケンスは必要としない。2つの入力信号 I_x 、 I_y の間のすべての立ち上がり、立ち下がり、の順番の組み合わせに対し、記憶セルが正常に動作することを確認した。

・量子磁束転移型記憶セルの動作はあるポテンシャルエネルギーの安定点から、他の安定点へ動作点が移動することにより実現する。従って、この移動する速度が記憶動作の安定性に影響を与えることは考慮すべき点のひとつである。実際の回路の中ではダンピング抵抗により記憶動作の安定性を確保できるように設計されている。実験では入力信号をそれぞれ超伝導量子干渉計の出力とすることで、高速の信号を入力し、ダンピング抵抗の効果を調べた。その結果、記憶セルが正常に動作することを確認した。

(4) 量子磁束転移型記憶セルを用いた4 K b i t 高速記憶回路を実現するこ

とを目的として設計、及びアクセス時間の検討をまとめた。

・量子磁束転移型記憶セルは単一量子磁束を記憶媒体とすることと、その入力信号間にいかなるタイミングシーケンスも必要としないことから高速記憶回路の構成要素として最適であると考えられる。一方、入力信号の方向性も情報として機能させることから極性切換型駆動回路が量子磁束転移型記憶セルには不可欠である。

・4 K b i t 高速記憶回路の構成要素である駆動回路、デコーダ回路、センス回路の設計を行った。駆動回路には極性切換型駆動回路を採用し、従来の駆動回路に比べ広い動作マージンを得た。デコーダ回路はR C J Lゲートファミリーを基本ゲートとし、高速化と動作マージンの拡大化を図った。センス回路は抵抗負荷型のセンス回路を採用し、A C 駆動を可能とした。周辺回路すべてをA C 駆動とすることでタイミング信号を不必要とし、全体の高速化を図った。

・記憶回路のアクセス時間について計算機シミュレーションにより検討を加えた。その結果、例えば、それぞれのバイアス電流を最大値の80%にバイアスした時に、極性切換型駆動回路は約200 p s e c、デコーダ回路は約140 p s e c、センス回路は約190 p s e cのアクセス時間と見積もられた。4 K b i t 記憶回路全体としてのアクセス時間はバイアス条件80%及び90%の時、それぞれ約650 p s e c、約560 p s e cと見積もることができた。また、その時の消費電力は90%バイアス時に約10 m Wと見積もることができた。

以上のごとく本研究では量子磁束転移型記憶セルの高速記憶回路の構成要素としての優位性を実証することができた。本記憶セルを用いることにより0.5 n s e cのアクセス時間、10 m Wの消費電力特性を有する記憶回路を得る見通しも得た。しかしながら、実際に記憶回路を実現するためには今後乗り越えなければならない問題が山積している。以下今後の課題について私見を述べる。

(1) 記憶セルの小型化への課題

すでに述べたように記憶回路の高速化のためには記憶セルの小型化は不可欠である。小型化の中には貯蔵量子磁束の低減と文字通り記憶セルの面積の小型化も含まれる。記憶回路における記憶セルの駆動時間は通常、貯蔵量子磁束数に依存するがこの状態は駆動線路と終端抵抗とのインピーダンス整合がとれず、駆動線路がインダクタンスとして見えていることを意味する。駆動回路に工夫がなされ駆動線路のインピーダンスと終端抵抗との整合をとることができたならば駆動線路は分布定数線路として機能し、駆動時間は駆動線路の長さすなわち記憶セルの物理的な大きさに依存することになる。このように将来的には記憶セルの面積の小型化は不可欠な問題となる。半導体記憶セルの大きさが現在数 μm 角であることを考えると、本論文で述べた量子磁束転移型記憶セルの大きさはかなり大きいと言わざるを得ない。試作プロセスが現在の半導体製作プロセスと比べ研究段階にあり、設計ルールも半導体デバイスに比べかなり大きめであることがその一因であるが、そのほかにも配線の多層化や縦型超伝導量子干渉計の導入など小型化の工夫が必要である。

(2) 製作プロセスに起因した課題

記憶セルは記憶回路の構成要素であるため、記憶セル単独でプロセスの問題を論じても意味はない。集積回路を実現するために解決しなければならない問題を同様に抱えている。例えば、ジョセフソン接合の臨界電流値のばらつきは、1000個直列に並べたテストパターンで調べたところ $3\mu\text{m} \times 3\mu\text{m}$ の接合で約8%とかなり高い値であった。これはコンタクト露光を用いた従来からの方法により形成したものであるが、今後はステップ露光等により更に臨界電流値のばらつきを小さくする必要がある。また、リフトオフ法による多層平坦化プロセスにより素子パターンの段差による配線間のショートまたは断線といった問題はほぼ解消されたが、製作プロセス中に入るごみやコンタクト露光の際のフォトレジストの剝がれなどに起因した欠陥は依然として存在している。例えば、4 K b i t 高速記憶素子回路を考えると、その中に含まれているジョセフソン接合の数は約25000個以上と従来試作されているジョセフソンLSIの中では最大の部類に入り、製造プロセスの高度化を更に進める必要がある。

(3) 測定方法に起因したノイズと磁束トラップの影響

ジョセフソンデバイスを用いた回路の場合、電圧、電流の動作レベルが非常に小さいことから測定機器からのノイズの影響は重大なものがある。記憶セル単体から記憶回路へと回路が高集積化していくにつれて測定機器も複雑化して行き、テスト技術が重要となる。加えて、トラップされた磁束が回路を誤動作させる磁束トラップの問題については、磁気的な結合を動作の基本とする記憶回路の方が論理回路よりもその影響が大きく、十分な磁気シールドを行うことと併せて磁束トラップの発生しにくいNb超電導薄膜特にグランド面の検討を行う必要があると考えられる。さらには磁束トラップまたは欠陥に対して影響を受けにくい回路設計上の工夫等を行う必要があると考えられる。

(4) 高速動作用電源技術の確立

ラッチング素子（一度、電圧状態にスイッチした素子は電源電流をきらない限り超伝導状態には復帰しない）であるジョセフソンデバイスは電源電流をクロック源として用いるため、高集積化し大電流を高速に供給する場合には専用の電流供給技術が必要である。またパンチスルーで誤動作する確率を0にすることは不可能であるので、誤り検出回路などのような回路技術、システム技術の方面からの検討も必要である。

以上のような課題が考えられるがそれらは回路規模の拡大という流れの中でさらにお互いに関連しながら大きくなることが予想される。しかしながら、現在の超伝導技術はまだ半導体技術と比べ成熟度が低く、今後の技術の進展によりこれらの課題は解決され得ると期待される。現在の超伝導集積回路はジョセフソンデバイスが持つ本質的な高性能性すなわち半導体に比べ2～3桁小さなスイッチング時間・消費電力積の魅力により研究が立ち上がり始めた段階である。現段階の最も大きな課題が高速記憶回路の実現にあることは多くの研究者の一致した意見である。その意味で記憶回路の基本となる記憶セルを新しく提案し、その性能を実証し、さらに高速記憶回路の実現の見通しを得た本研究の意義は大きい。今後ますます超伝導技術が進展し、高速記憶回路が実現され、

さらには超伝導コンピュータへと続く超伝導集積回路技術の大いなる発展を期待するところである。

謝辞

本論文をまとめるにあたり、ご懇切なる御指導、御鞭撻を賜った九州大学工学部電子工学科山藤馨教授に謹んで深謝の意を表します。また、貴重な御教示、御助言を頂いた同電気工学科前田三男教授、同情報工学科西哲生教授、同工学部付属超電導マグネット研究センター竹尾正勝教授に深く感謝いたします。また貴重な御助言、御議論をして頂いた同電子工学科円福敬二助教授に心から感謝いたします。

本研究は日本電気マイクロエレクトロニクス研究所及び基礎研究所において行われたものですが、本研究の機会を与えていただいた日本電気株式会社植之原道行特別顧問、加藤康雄常務取締役、斉藤富士郎支配人、奥戸雄二技師長、渡辺久恒基礎研究所長、阿部浩之超LSI開発本部長代理、覧具博義基礎研究所長代理をはじめとする多くの方々の御協力と御援助によって本論文をまとめるに至ったので、ここで謹んでお礼を申し上げます。

また本研究を遂行するに当たり、当初より共同研究者として、また平坦化技術をはじめとするプロセス技術に関する数々の御教示と多大な御協力を頂いた石田一郎課長には心より感謝致します。

数々の貴重な御教示を頂いたと共に、有益な御指導、御討論を頂いた和田容房前新機能素子研究部長、曾根純一新機能素子研究部長、柘植久尚課長、蔡兆申課長に厚くお礼を申し上げます。超伝導記憶回路を実現するに当たり多大な御協力と有益な御討論を頂いた永沢秀一主任、日高睦夫主任、吉田卓克超LSI開発本部課長、味沢（旧姓根岸）由美さん他、新機能素子研究部ジョセフソン研究グループの皆様に深く感謝致します。また、測定治具の作成に当たり惜しみない御協力を頂いたメカトロニクス試作部試作課の皆様に厚くお礼申し上げます。

また、Nb系のプロセス技術の導入に際し、多大な御支援と御教授を賜った早川尚夫前通商産業省電子技術総合技術研究所ジョセフソン特別研究室長（現名古屋大学電子工学科教授）、幸坂紳電子技術総合研究所超伝導技術室長をはじめとする電子技術総合研究所前ジョセフソン特別研究室の皆様には深く感謝いたします。

以上のように、本研究は多くの方々の御理解と御支援により始めて完遂されたものであります。ここにあらためて心から敬意を表します。

1990年12月

田原 修一

付録

(付録 A) ジョセフソン効果

2つの超伝導体が極めて薄い絶縁膜を挟んでいるような構造において、クーパー対を形成している電子が絶縁膜をトンネルする確率は1個の電子がトンネルする確率と同じであることをジョセフソンは理論的に予言した。クーパー対のトンネル効果を議論するためにはクーパー対の波動性に注目しなければならない。量子力学的にはクーパー対はひとつの波動関数で表せる。2つの超伝導体がエネルギー障壁を介して接している場合には、双方のクーパー対を表す波動関数はもはや独立ではなく、その間に一定の関係が生じる。これが量子力学的にみたクーパー対のトンネル効果で、クーパー対によって運ばれる超伝導トンネル電流が存在する場合には、トンネル電流 I_j と2つの超伝導体の波動関数の位相差 θ の間には

$$I_j = I_0 \sin \theta \quad (A-1)$$

なる関係が存在し、さらにエネルギー障壁に電位差 V が存在する場合には

$$d\theta/dt = (2\pi/\Phi_0) \cdot V \quad (A-2)$$

が成り立つ。(A-1)式は直流ジョセフソン効果、(A-2)式は交流ジョセフソン効果として知られている。 I_0 は超伝導トンネル電流値の最大値を表す。

現実の接合にはクーパー対のトンネル電流だけではなく、接合が電圧状態に有れば準粒子トンネル電流が、またこの電圧が時間的に変化していれば接合容量を通して変位電流が流れる。これらの電流はジョセフソン電流に並列に流れると考えられるので、図A-1に示す回路がジョセフソン接合の等価回路として考えることができる。ジョセフソン接合に流れるトータル電流 I は(A-1)式、(A-2)式を用いて

$$I_b = I_0 \sin \theta + (\Phi_0/2\pi) \cdot (1/R_j) \cdot (d\theta/dt) + (\Phi_0/2\pi) \cdot C \cdot (d^2\theta/dt^2) \quad (A-3)$$

と表すことができる(R_j :準粒子抵抗、 C :接合容量)。上式は θ を位置座標、 $(\Phi_0/2\pi) \cdot (1/R_j)$ を動摩擦係数、 $(\Phi_0/2\pi) \cdot C$ を質点の

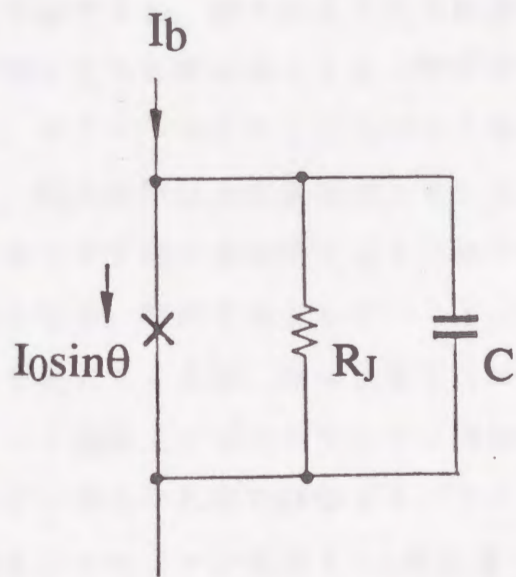


図 A-1. ジョセフソン接合の等価回路 (RSJモデル)

質量とみなすと、質点の運動を記述する方程式と同一であることがわかる。すなわち、接合の応答は図A-2に示されるような起伏のあるポテンシャルの板の上での球の動きを見ることにより把握できる。球の重さ、板の摩擦係数はそれぞれ接合の容量、コンダクタンスに比例し、バイアス電流、印加磁界はそれぞれ板の傾斜、起伏の深さを規定する。球が動いているときは位相差 θ が時間的に変化しており、従って電圧のかかっている状態であり、逆に球が静止しているのはゼロ電圧状態に対応している。

I-V特性上の接合の応答を質点のモデルを用いて考えてみよう。I=0の状態から電流を増加すると、傾きが生じ球の位置は右側に移動するがポテンシャルのくぼみに捕らえられ球は静止する(図B点)。バイアス電流が臨界電流値に到達すると、ポテンシャルのくぼみはなくなり(図C点)、球は動き始める(図C'点)。臨界電流以上の電流が加えられている状況では球はもはや静止していることはできず図D点に示すように球は転がり落ちていく。すなわち、接合は電圧状態となる。電流を減少していくと、坂の傾きが小さくなりポテンシャルのくぼみも現れてくるが、球には慣性力が働きすぐに止まることはできない。これがI-V特性上のヒステリシスに対応する。

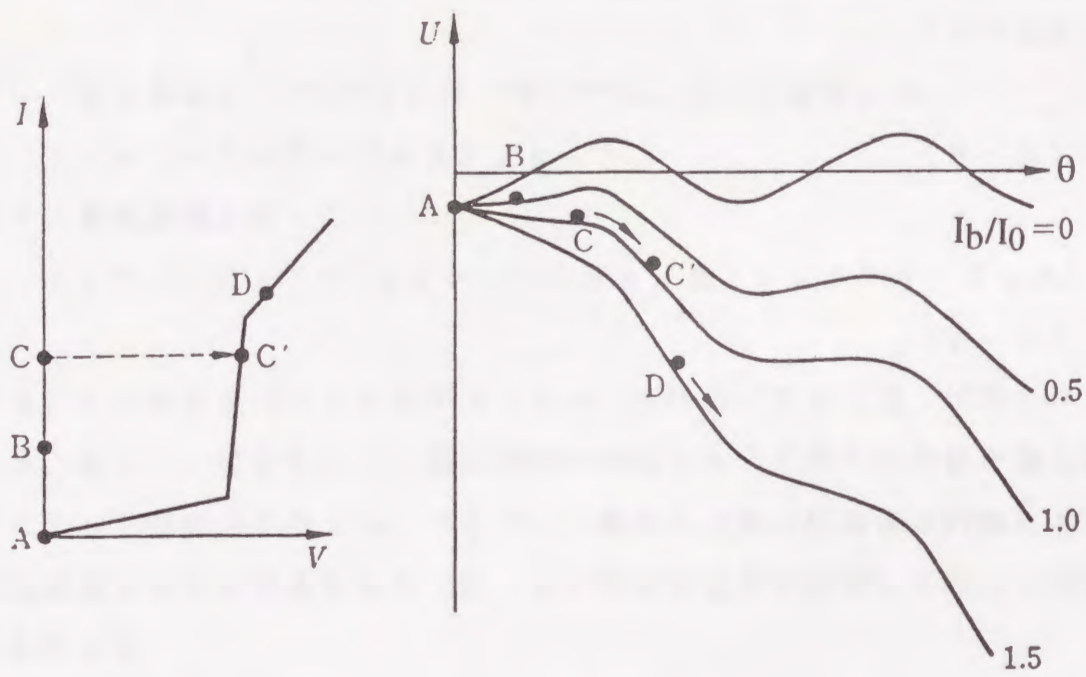
さてジョセフソン接合の性能を評価するパラメータとして次のようなものがあげられる。最大ジョセフソン電流 I_0 、常伝導トンネル抵抗 $A R_{NN}$ (通常、接合面積 A で規格化する)、サブギャップ領域の抵抗 R_{SG} 、ギャップ電圧 V_g などである。 R_{NN} は理論的には I_0 と

$$R_{NN} = k \cdot (\pi/4) \cdot (V_g/I_0) \quad (A-4)$$

なる関係にある。比例係数 k は接合を形成している超伝導金属の特性によって決まる。またサブギャップ領域に流れる電流はBCS理論から予想される準粒子のトンネルによる電流とバリア層が不完全であることに起因する漏れ電流の和として観測される。この漏れ電流を評価するパラメータとして

$$V_m = R_{SG} \cdot I_0 \quad (A-5)$$

を用いることができる。



図A-2. ジョセフソン接合の力学的モデル

(付録B) 磁束の量子化

超伝導リングに磁界を加えた状態で超伝導状態に冷却する状態を考える。この時、超伝導リングを貫く磁束は量子化される。このことは次のように理解することができる。超伝導体中のクーパ対は荷電 $-2e$ を持ったボーズ粒子の集団として記述できる。その確率振幅 $\Psi(\mathbf{r})$ は巨視的な物理量として扱うことができる。 $\Psi(\mathbf{r})$ を振幅 $\sqrt{\rho}$ 、と位相 $\theta(\mathbf{r})$ にわけると

$$\Psi(\mathbf{r}) = \sqrt{\rho} \exp(i\theta), \quad \Psi^*(\mathbf{r}) = \sqrt{\rho} \exp(-i\theta) \quad (\text{B-1})$$

ただし、粒子密度 $\rho (\equiv \Psi^* \Psi)$ は一定とする。粒子の速度 ν は

$$\nu = (-i\hbar \nabla + 2e\mathbf{A}) / m \quad (\text{B-2})$$

であり、電流密度 \mathbf{j} は

$$\mathbf{j} = (-2e) \Psi^* \nu \Psi = (-2e\rho / m) \cdot (\hbar \nabla \theta + 2e\mathbf{A}) \quad (\text{B-3})$$

となる。ここで \mathbf{A} はベクトルポテンシャル、 \hbar は $h/2\pi$ (h :プランク定数)である。図B-1に示すように超伝導体の表面から十分離れた内部を通る閉経路 C に沿った線積分を考える。マイスナー効果によれば超伝導体内部においては電流密度 \mathbf{j} はゼロであるので(B-3)式の両辺を閉経路 C に沿って積分することにより

$$\hbar \oint_C \nabla \theta \cdot d\mathbf{r} + 2e \oint_C \mathbf{A} \cdot d\mathbf{r} = 0 \quad (\text{B-4})$$

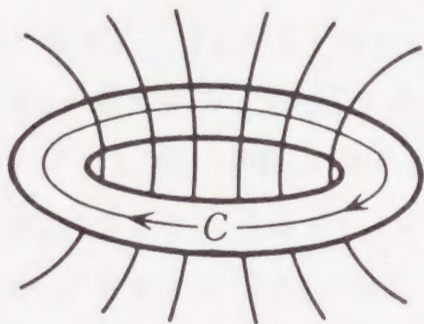
が得られる。閉経路に沿って一周した場合の位相 θ の変化分は 2π の整数倍でなければならないので(B-4)式の第1項を $-(2\pi n)\hbar$ (n :整数)とおいて、

$$\oint_C \mathbf{A} \cdot d\mathbf{r} = n (h/2e) \quad (\text{B-5})$$

が導かれる。ストークスの定理によればベクトルポテンシャルの線積分はその閉経路を貫く磁束 Φ に等しく、

$$\oint_C \mathbf{A} \cdot d\mathbf{r} = \int_S (\mathbf{n} \cdot \text{rot } \mathbf{A}) ds = (\mathbf{B} \cdot \mathbf{n}) ds = \Phi \quad (\text{B-6})$$

磁束 Φ が磁束量子 $\Phi_0 = h/2e$ を単位として量子化されることが説明される。



図B-1. 超伝導リングの内部にとった積分経路C

(付録C) 超伝導量子干渉計 (SQUID)

一般にジョセフソン接合を含む超伝導リングは超伝導量子干渉計としての機能を有するが、ここでは記憶セルの中でセンスゲートとして用いている2接合超伝導量子干渉計を取り上げて説明する。

図C-1に2接合超伝導量子干渉計の等価回路を示す。2つの接合の最大臨界電流値を I_1 、 I_2 、位相を θ_1 、 θ_2 とし、2つの接合をインダクタンス L で結合する。ゲート電流 I_g 、制御電流 I_c (制御電流線路とインダクタンス L との相互インダクタンスは M とする) を印加したときの動作を調べてみる。まずこの回路のポテンシャルエネルギー F を求める。

$$\begin{aligned} F = & (\Phi_0 / 2\pi) \cdot I_1 \cdot (1 - \cos \theta_1) \\ & + (\Phi_0 / 2\pi) \cdot I_2 \cdot (1 - \cos \theta_2) \\ & + (1 / 2L) \cdot (\Phi_0 / 2\pi)^2 \cdot (\theta_1 - \theta_2)^2 \\ & - (\Phi_0 / 2\pi) \cdot (M / L) \cdot I_c \cdot (\theta_1 - \theta_2) \\ & - (\Phi_0 / 2\pi) \cdot (I_g / 2) \cdot (\theta_1 + \theta_2) \quad (C-1) \end{aligned}$$

第1項、第2項はジョセフソン接合エネルギー、第3項はインダクタンスの磁気エネルギー、第4項、第5項は電源に対してする仕事と解釈できる。超伝導量子干渉計の動作は θ_1 、 θ_2 を軸とするポテンシャルエネルギー平面でのボールの動きとして理解することができる。安定な動作点はポテンシャルエネルギー平面上でボールが安定に存在できるくぼみと等価である。しきい値特性を求めることはこのくぼみがちょうどなくなる時の電流条件を求めることと等価である。すなわち、

$$\partial F / \partial \theta_1 = 0, \quad \partial F / \partial \theta_2 = 0 \quad (C-2)$$

の解を求めれば良い。ただし、 F の極小値であるために

$$\partial^2 F / \partial \theta_1^2 > 0 \quad (\text{または } \partial^2 F / \partial \theta_2^2 > 0) \quad (C-3)$$

かつ

$$(\partial^2 F / \partial \theta_1^2) \cdot (\partial^2 F / \partial \theta_2^2) - (\partial^2 F / \partial \theta_1 \partial \theta_2)^2 > 0 \quad (C-4)$$

の条件を満たす必要がある。その結果、図C-2に示されたようなしきい値特

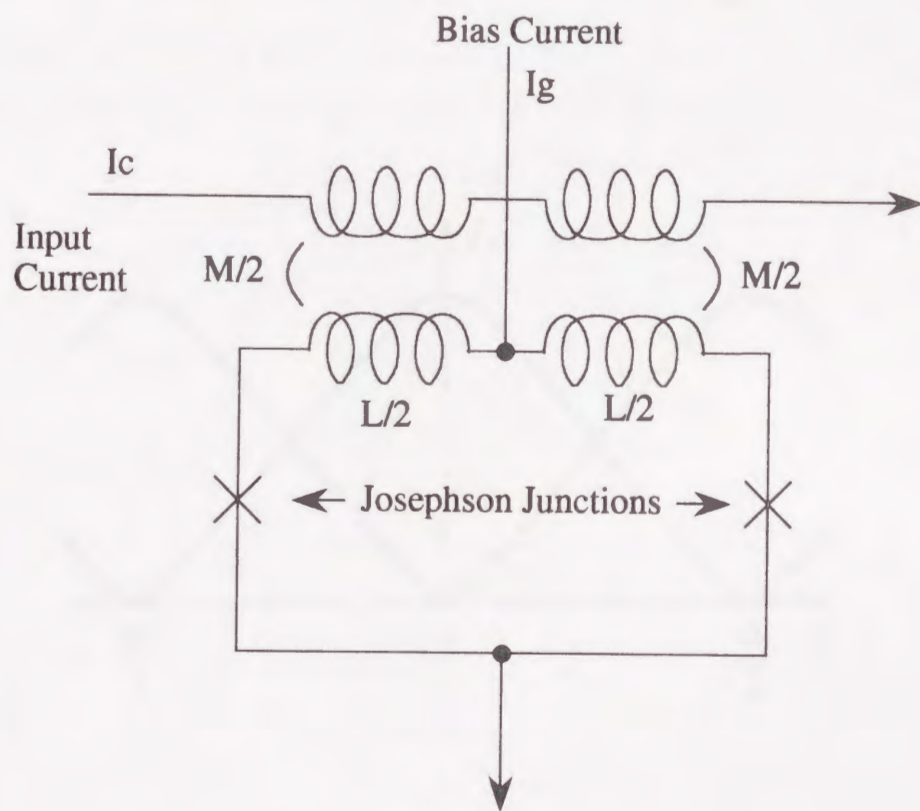


図 C - 2 . 2 接合 S Q U I D の 等 価 回 路

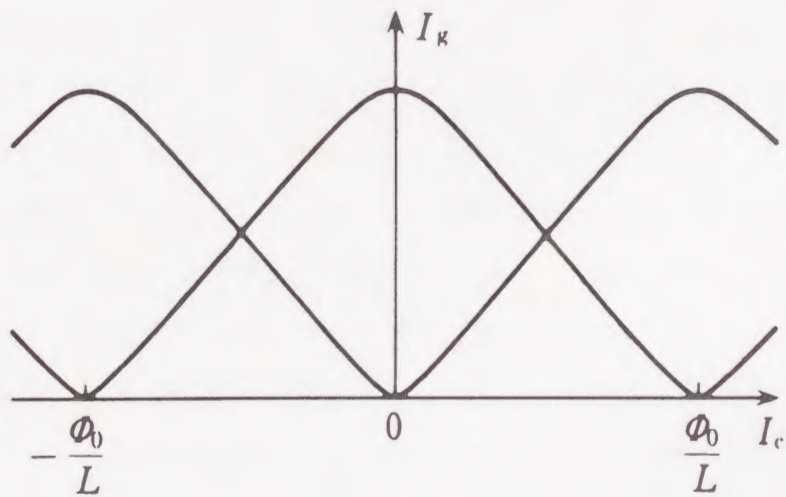


図 C-2. 2 接合 SQUID のしきい値特性

性を得ることができる。しきい値特性が重なっている部分は2つの安定点（ポテンシャルエネルギー平面でのくぼみ）が存在することを示している。しきい値曲線を越えることはボールがある安定点から転がり始めることを意味する。すなわち、電圧状態へ遷移することになる。ただし、安定点が2つ存在する時にはバイアス条件によってはひとつのくぼみから他のくぼみへの移動だけの場合がある。この場合は超伝導量子干渉計は電圧状態にならず磁束量子状態だけに変化する。この状態を磁束量子転移と呼ぶ。電圧状態に遷移するか、磁束量子転移を起こすかの境界は、複数の安定点が存在する領域でなおかつ、ダンピング条件や初期状態などに依存する確率的な要素を含んで決定される。

参考文献

- 1)日経エレクトロニクス No.472 (1989) 74.
- 2)科学技術用高速計算システム研究開発成果発表会講演予稿集 (1984, 6)
- 3)B.D. Josephson, Phys.Lett.,1 (1962) 251.
- 4)P.W. Anderson and J.H. Rowell, Phys.Rev.Lett., 10 (1963) 230.
- 5)中村、クライオエレクトロニクス入門、オーム社 (1980)
- 6)S.Kotani, T.Imamura and S.Hasuo ,IEEE IEDM Technical Digest, (1988)
884
- 7)W.Anacker, IEEE Spectrum 16 (1979) 26.
- 8)R.E. Jewell and T. Van Duzer, IEEE Trans. Magn., MAG-17 (1981) 599.
- 9)M.B. Ketchen and C.J. Anderson, Appl.Phys.Lett., 40 (1982) 272.
- 10)A. Mukherjee and T. Gheewala, IEDM Technical Digest, (1981) 122.
- 11)J.S. Tsai and Y. Wada, IEEE Trans. on Magn. 23 (1987) 879
- 12)IBM J. Res. Develop, 24 (1980) など.
- 13)J. Sone, T. Yoshida and H. Abe, Appl.Phys.Lett., 40 (1982) 741.
- 14)J. Sone, T. Yoshida, S. Tahara and H. Abe, Appl.Phys.Lett., 41 (1982)
886.
- 15)J. Sone, T. Yoshida, S. Tahara and H. Abe, Jap. J. Appl. Phys., 22(Supple-
ment22-1) (1983) 597.
- 16)J. Sone, T. Yoshida, S. Tahara and H. Abe, IEDM Technical Digest, (1982)
762.
- 17)J. Sone, J. S. Tsai, S. Ema and H. Abe, IEEE J. Solid-State Circuits
SC-20 (1985) 1056.
- 18)Y. Wada, S. Nagasawa, I. Ishida, M. Hidaka, H. Tsuge and S. Tahara, ISSCC
Digest of Technical Papers, (1988) 84.
- 19)S. Nagasawa, Y. Wada, H. Tsuge, M. Hidaka, I. Ishida and S. Tahara, IEEE
J. Solid-State Circuits, 24 (1989) 1363.

- 20) 田原、石田、永沢、日高、柘植、和田、電子情報通信学会研究報告、
VLD90-15 (1990) 55.
- 21) 波田野、矢野、森、山田、中原、電子情報通信学会研究報告、
SCE89-60 (1989) 49.
- 22) S.Kotani, T.Imamura and S.Hasuo, IEEE J. Solid-State Circuits, 25
(1990) 117
- 23) Y.Hatano, S.Yano, H.Mori, H.Yamada, M.Hrano and U.Kawaba, IEEE
J. Solid-State Circuits, 24 (1989) 1312.
- 24) S.Kotani, A.Inoue, T.Imamura and S.Hasuo, in IEEE ISSCC Dig. Tech.
Papers, (1990) 148.
- 25) I.Kurosawa, H.Nakagawa, A.Yagi, S.Takada and H.Hayakawa, Extended
Abstracts of 16th Conf. of Solid State Devices and Materials (Kobe)
(1984) 619.
- 26) 黒沢、仲川、青柳、電子情報通信学会春季全国大会 (1990) 5-347
- 27) M.Yamamoto, Y.Yamauchi, K.Miyahara, K.Kuroda, F.Yanagawa and
A.Ishida, IEEE Electron Device Lett., EDL-4 (1983) 150.
- 28) 例えば T.Hasimoto, K.Enpuku and K.Yoshida, IEEE Trans. on Magn. 25
(1989) 1266
- 29) 例えば A.G.Rose-Innes and E.H. Rhoderick, "Introduction to Super-
conductivity" Pergamon Press Ltd. (1978)
- 30) J.Matisoo, Appl.Phys.Lett., 9 (1966) 167.
- 31) F.F.Tsui, IBM J. Res. Develop., 24 (1980) 243.
- 32) P.Gueret, A.Moser and P.Wolf, IBM J. Res. Develop., 24 (1980) 155.
- 33) W.H.Henkels and J.H.Greiner, IEEE J. Solid-State Circuits, SC-14
(1979) 794.
- 34) W.H.Henkels, J.Appl.Phys., 50 (1979) 8143.
- 35) K.Kojima, T.Noguchi and K.Hamanaka, IEEE Electron Device Lett.,
EDL-4 (1983) 264.
- 36) 高田、仲川、黒沢、早川、第46回応用物理学会講演会
- 37) K.Enpuku, K.Sueoka, K.Yoshida and F.Irie, IECE Japan E67 (1984) 331.

- 38) H. H. Zappe, Appl. Phys. Lett., 25 (1974) 424.
- 39) I. Kurosawa, H. Nakagawa, A. Yagi, S. Takada and H. Hayakawa, Appl. Phys. Lett., 43 (1983) 1067.
- 40) H. Suzuki and S. Hasuo, IEEE Trans. Electron Device, 35 (1988) 1137.
- 41) I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi, Y. Hamazaki, Y. Okada and S. Takada, Extended Abstracts of 1989 ISEC, (1989) 302.
- 42) S. Suzuki, N. Fujimaki, H. Tamura, T. Imamura and S. Hasuo, IEEE Trans. Magn., 25 (1989) 783.
- 43) J. H. Greiner and S. P. Klepner, J. Vac. Sci. and Technol., 18 (1981) 262.
- 44) J. H. Greiner, J. Appl. Phys., 42 (1971) 5151.
- 45) M. Murakami and C. M. Serrano, J. Appl. Phys., 53 (1982) 326.
- 46) M. Hatzakis, J. Electrochem. Soc., 116 (1969) 1033.
- 47) M. Hatzakis, B. J. Canavells and J. M. Shaw, IBM J. Res. Develop., 24 (1980) 452.
- 48) J. H. Greiner, IBM J. Res. Develop., 24 (1980) 195.
- 49) R. F. Broom, S. I. Raider, A. Oosenburg, R. E. Drake and W. Walter, IEEE Trans. Electron Device, ED-27 (1980) 1988.
- 50) J. Sosniak and G. W. Hull, J. Appl. Phys., 38 (1967) 4390.
- 51) 後藤、山中、 応用物理 40 (1971) 269.
- 52) 篠木、東海林、電子技術総合研究所彙報、 48 (1984) 312.
- 53) 菅野卓雄、 “半導体プラズマプロセス技術”、産業図書、 (1984) .
- 54) S. E. Rieble, IEEE Trans. Magn., MAG-17 (1981) 303.
- 55) 早川、 “超高速ジョセフソンデバイス”、培風館、 (1986).
- 56) R. F. Broom, R. B. Laibowitz, Th. O. Mohr and W. Walter, IBM J. Res. Develop., 24 (1980) 212.
- 57) H. Kroger, L. N. Smith and D. W. Jillie, Appl. Phys. Lett., 39 (1981) 280.
- 58) F. Shinoki, A. Shoji, S. Kosaka, S. Takada and H. Hayakawa, Appl. Phys. Lett., 38 (1981) 314.
- 59) A. Shoji, S. Kosaka, F. Shinoki, M. Aoyagi and H. Hayakawa, Appl. Phys. Lett., 41 (1982) 1097.

- 60) E. E. Latta and M. Gasser, *J. Appl. Phys.*, 54 (1983) 1115.
- 61) M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, H. Nakagawa, S. Takada and H. Hayakawa, *Jap. J. Appl. Phys.*, 23 (1984) L916.
- 62) H. Kroger, L. N. Smith, D. W. Jillie and J. B. Thaxter, *IEEE Trans. Magn.*, MAG-19 (1983) 793.
- 63) H. Kroger, D. W. Jillie, L. N. Smith, L. E. Phanenf, C. N. Potter and D. M. Shaw, *Appl. Phys. Lett.*, 44 (1984) 562.
- 64) M. Gurvitch, M. A. Washington and H. A. Huggins, *Appl. Phys. Lett.*, 42 (1983) 472.
- 65) 諸橋、篠木、東海林、青柳、早川、電子情報通信学会技術報告、ED84-30 (1984) 5.
- 66) 幸坂、東海林、青柳、篠木、電子技術総合研究所彙報、53 (1989) 683.
- 67) 田原、和田、第46回応用物理学会秋季講演会(1985)。
- 68) H. A. Huggins and M. Gurvitch, *J. Appl. Phys.*, 57 (1985) 2103.
- 69) 田原、和田、昭和61年度電子情報通信学会総合全国大会、(1986) 2-369.
- 70) S. Tahara and Y. Wada, *Jap. J. Appl. Phys.*, 26 (1987) 1463.
- 71) 石田、柳川、吉清、“超伝導集積回路”、電子情報通信学会、(1983)49.
- 72) C. Mead and L. Conway, “Introduction on VLSI system”, Addison-Wesley Publishing Company, (1980) 357.
- 73) S. Tahara, S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki and H. Hayakawa, *IEEE Trans. Magn.*, MAG-21 (1985) 733.
- 74) I. Ishida, S. Tahara, Y. Ajisawa and Y. Wada, *Extended Abstracts of 19th Conf. of Solid State Devices and Materials* (1987) 443.
- 75) I. Ishida, S. Tahara and Y. Wada, *Appl. Phys. Lett.*, 53 (1988) 316.
- 76) S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki, S. Tahara, H. Ohigashi, H. Nakagawa, S. Takada and H. Hayakawa, *IEEE Trans. Magn.*, MAG-21 (1985) 102.
- 77) S. Nagasawa, Y. Wada, H. Tsuge, M. Hidaka, I. Ishida and S. Tahara, *IEEE Trans. Magn.*, MAG-25 (1989) 777.
- 78) S. Tahara, I. Ishida, Y. Ajisawa and Y. Wada, *J. Appl. Phys.*, 65 (1989)

851.

- 79) S. Tahara, I. Ishida, M. Hidaka, S. Nagasawa, Y. Ajisawa and Y. Wada,
Extended Abstracts of the 172nd Electrochemical Society Meeting,
87-2 (1987) 516.
- 80) 田原、石田、和田、昭和62年電子情報通信学会総合全国大会、(1987)
- 81) 田原、曾根、吉田、阿部、電子情報通信学会技術報告、SCE82-20 (1982)
33.
- 82) W. H. Chang, J. Appl. Phys., 50 (1979) 8129.
- 83) S. Tahara, I. Ishida and Y. Wada, Electron Letters, 24 (1988) 1220.
- 84) S. Tahara, I. Ishida, S. Nagasawa, M. Hidaka, H. Tsuge and Y. Wada,
to be appeared in Applied Superconductivity Conference '90.
- 85) Y. Wada, S. Nagasawa and I. Ishida, IEEE J. Solid-State Circuits,
SC-22 (1987) 892.
- 86) M. Hidaka, J. Sone, I. Ishida and Y. Wada, IEEE Electron Device Lett.,
EDL-6 (1985) 267.
- 87) S. Fujita, M. Yamamoto, K. Miyahara and T. Nakanishi, IEEE Trans.
Electron Device, ED-32 (1985) 677.
- 88) W. Kotyczka, C. Schuenemann and P. Wolf, IBM Tech. Disclosure Bulletin,
18 (1976) 4166.
- 89) S. M. Faris, "Hardware and Software Concept in VLSI", Van Nostrand,
Reinhold, (1983).
- 90) S. M. Faris, W. H. Henkels, E. A. Valsamakis and H. H. Zappe, IBM J. Res.
Develop., 24 (1980) 143.

本研究に関する業績

I. 学術論文 (主著者)

1. S.Tahara, S.Kosaka, F.Shinoki, A.Shoji, M.Aoyagi, H.Hayakawa, "Fabrication and performance of all-refractory Josephson logic circuits for 1Kbit SFQ memory", IEEE Transaction on Magnetics, Vol.MAG-21, No.2, 1985.
2. S.Tahara, Y.Wada, "A vortex transitional NDRO Josephson memory cell", Japanese Journal of Applied Physics, Vol.26, No.9, 1987.
3. S.Tahara, I.Ishida, M.Hidaka, S.Nagasawa, Y.Ajisawa, Y.Wada, "Measurements of a vortex transitional NDRO Josephson memory cell" Extended Abstracts of the 172nd Electrochemical Society Meeting, 1987.
4. S.Tahara, I.Ishida, Y.Wada, "Wide-margin polarity-convertible Josephson drivers", Electronics Letters, Vol.24, No.19, 1988.
5. S.Tahara, I.Ishida, Y.Ajisawa, Y.Wada, "Experimental vortex transitional nondestructive read-out Josephson memory cell", Journal of Applied Physics, Vol.65, No.2, 1989.
6. S.Tahara, I.Ishida, S.Nagasawa, M.Hidaka, H.Tsuge, Y.Yada, "A 4Kbit Josephson non-destructive read-out RAM operated 580psec and 6.7mW", to be published on IEEE Transactions on Magnetics.

II. 学術論文 (共著者)

1. J.Sone, T.Yoshida, S.Tahara, H.Abe, "Logic delays of 5- μ m resistor coupled Josephson logic", Applied Physics Letters, Vol. 42, No.9, 1982.
2. J.Sone, T.Yoshida, S.Tahara, H.Abe, "Resistor Coupled Josephson logic full adder circuit", International Electron Devices Meeting Technical Digest, 1982.
3. J.Sone, T.Yoshida, S.Tahara, H.Abe, "Hige speed resistor coupled Josephson logic", Japanese Journal of Applied Pysics, Vol.22, 1983.
4. S.Kosaka, A.Shoji, M.Aoyagi, F.Shinoki, S.Tahara, H.Ohigasi, H.Nakagawa, S.Takada, H.Hayakawa, "An Integration of all refractory Josephson logic LSI circuit", IEEE Transaction on Magnetics, Vol.MAG-21, No.2, 1985.
5. I.Ishida, S.Tahara, Y.Ajisawa, Y.Wada, "Lift-off Planarization Process for Josephson IC Multilevel Interconnections", Extended Abstracts of 19th Conference of Solid State Devices and Material, 1987.
6. Y.Wada, S.Tahara, I.Ishida, M.Hidaka, S.Nagasawa, "Josephson High-Speed Memory", Extended Abstracts of 1987 International Superconductivity Electronics Conference, 1987
7. I.Ishida, S.Tahara, Y.Wada, "Advanced Lift-off Planarization Process for Josephson Integrated Circuits", Applied Physics Letters, Vol.53, No.4, 1987.
8. Y.Wada, S.Nagasawa, I.Ishida, M.Hidaka, H.Tsuge, S.Tahara, "A 570 ps, 13mW Josephson 1kb RAM", International Solid-State Circuit Conference Digest of Technical Papers, 1988.

9. S.Nagasawa, Y.Wada, H.Tsuge, M.Hidaka, I.Ishida, S.Tahara, " Nb multilayer planarization technology for a subnanosecond Josephson 1K-bit RAM", IEEE Transactions on Magnetism, Vol.25, No.2, 1989.
10. S.Nagasawa, Y.Wada, I.Ishida, M.Hidaka, H.Tsuge, S.Tahara, " Subnanosecond Josephson High Speed Memory", Extended Abstracts of 1989 International Superconductivity Electronics Conference, 1989.
11. S.Nagasawa, Y.Wada, I.Ishida, M.Hidaka, H.Tsuge, S.Tahara, " 570-ps 13mW Josephson 1-kbit NDRO RAM", IEEE Journal of Solid-State Circuits, Vol.24, No.5, 1989.
12. I.Ishida, S.Tahara, M.Hidaka, S.Nagasawa, S.Tsuchida, Y.Wada, " A fabrication process for 580ps 4Kbit Josephson non-destructive read-out RAM", to be published on IEEE Transactions on Magnetism.

Ⅲ. 国際学会発表

1. S.Tahara, S.Kosaka, F.Shinoki, A.Shoji, M.Aoyagi, H.Hayakawa, "Fabrication and performance of all-refractory Josephson logic circuits for 1Kbit SFQ memory", Applied Superconductivity Conference, 1984.
2. S.Tahara, I.Ishida, M.Hidaka, S.Nagasawa, Y.Ajisawa, Y.Wada, " Measurements of a vortex transitional NDRO Josephson memory cell" The 172nd Electrochemical Society Meeting, 1987.
3. S.Tahara, I.Ishida, S.Nagasawa, M.Hidaka, H.Tsuge, Y.Yada, "A 4Kbit Josephson non-destructive read-out RAM operated 580psec and 6.7mW", Applied Superconductivity Conference, 1990.
4. J.Sone, T.Yoshida, S.Tahara, H.Abe, "Resistor Coupled Josephson logic full adder circuit", International Electron Devices Meeting, 1982.

5. J.Sone, T.Yoshida, S.Tahara, H.Abe, "Hige speed resistor coupled Josephson logic", International Coneference on Solid State Devives and Materials, 1982.
6. S.Kosaka, A.Shoji, M.Aoyagi, F.Shinoki, S.Tahara, H.Ohigasi, H.Nakagawa, S.Takada, H.Hayakawa, "An Integration of all refractory Josephson logic LSI circuit", Applied Superconductivity Conference, 1984.
7. Y.Wada, S.Tahara, I.Ishida, M.Hidaka, S.Nagasawa, "Josephson High-Speed Memory", International Superconductivity Electronics Conference, 1987.
8. Y.Wada, S.Nagasawa, I.Ishida, M.Hidaka, H.Tsuge, S.Tahara, "A 570 ps, 13mW Josephson 1kb RAM", International Solid-State Circuit Conference, 1988.
9. I.Ishida, S.Tahara, Y.Ajisawa, Y.Wada, "Nb mwtallization technology for Josephson LSI multilevel interconnections", Materials Research Society, 1988.
10. S.Nagasawa, Y.Wada, H.Tsuge, M.Hidaka, I.Ishida, S.Tahara, " Nb multilayer planarization technology for a subnanosecond Josephson 1K-bit RAM", Applied Superconductivity Conference, 1988.
11. S.Nagasawa, Y.Wada, I.Ishida, M.Hidaka, H.Tsuge, S.Tahara, " Subnanosecond Josephson High Speed Memory", International Superconductivity Electronics Conference, 1989.
12. I.Ishida, S.Tahara, Y.Wada, "An advanced multi-layer resist system for precice deliniation with planarization techniques", Microcircuit Engineering, 1990.
13. I.Ishida, S.Tahara, M.Hidaka, S.Nagasawa, S.Tsuchida, Y.Wada, " A fabrication process for 580ps 4Kbit Josephson non-destructive read-out RAM", Applied Superconductivity Conference, 1990.

N. 国内学会発表

1. 田原修一、吉田卓克、曾根純一、「電流注入型ジョセフソンサンプリング回路によるスイッチング波形観測」、応用物理学会春季大会、1983.
2. 田原修一、曾根純一、「ジョセフソンラッチスレーブ回路の検討」、応用物理学会秋季大会、1983.
3. 田原修一、和田容房、「SOG膜を用いたNb系ジョセフソンプロセスの検討」、応用物理学会秋季大会、1985.
4. 田原修一、和田容房、「磁束量子転移型NDROメモリセル」、電子通信学会総合全国大会、1986.
5. 田原修一、和田容房、「磁束量子転移型NDROメモリセルの動作測定」、電子通信学会総合全国大会、1987.
6. 田原修一、石田一郎、味沢由美、和田容房、「極性切換型ドライバ回路」電子情報通信学会春季全国大会、1988.
7. 曾根純一、吉田卓克、田原修一、阿部浩之、「抵抗結合型ジョセフソン全加算器」、応用物理学会秋季大会、1982.
8. 曾根純一、吉田卓克、田原修一、阿部浩之、「抵抗結合型ジョセフソン論理回路RCJL」、電子通信学会総合全国大会、1983.
9. 石田一郎、田原修一、「平坦化によるニオブ系ジョセフソン素子集積化技術」、電子通信学会総合全国大会、1986.
10. 石田一郎、田原修一、日高睦夫、永沢秀一、味沢由美、和田容房、「平坦化プロセスによる磁束量子転移型記憶回路の作製」、応用物理学会秋季大会、1987.
11. 永沢秀一、和田容房、柘植久尚、日高睦夫、石田一郎、田原修一、「新平坦化プロセスを用いたジョセフソン1kbitRAM」、電子情報通信学会半導体・材料部門全国大会、1987.
12. 石田一郎、田原修一、和田容房、「ジョセフソン集積回路平坦化プロセス」、応用物理学会春季大会、1988.

13. 永沢秀一、和田容房、柘植久尚、日高睦夫、石田一郎、田原修一、「サブナノ秒ジョセフソン1kビットRAM」、電子情報通信学会春季全国大会、1988.
14. 永沢秀一、田原修一、石田一郎、日高睦夫、柘植久尚、和田容房、「高速ジョセフソンメモリ技術」、電子情報通信学会春季全国大会、1990.

V. 研究会発表

1. 田原修一、曾根純一、吉田卓克、阿部浩之、「ジョセフソン論理回路の高速動作測定」、電子通信学会超伝導エレクトロニクス研究会、1982.
2. 田原修一、石田一郎、永沢秀一、日高睦夫、柘植久尚、和田容房、「4KbitジョセフソンRAM」、電子情報通信学会集積回路VLSI設計技術研究会、1990.
3. 永沢秀一、和田容房、日高睦夫、柘植久尚、石田一郎、田原修一、「570ps1kビットジョセフソンSRAM」、電子情報通信学会集積回路研究会、1988.

VI. 解説

1. 田原修一、阿部浩之、「最近のジョセフソン素子の進歩」、電子通信学会誌、1985.
2. 田原修一、阿部浩之、「エレクトロニクスへの応用 - 超高速コンピュータやSQUID磁束計はどう変わるか -」、電子情報通信学会誌、1988.
3. S.Tahara, "The state of work in Josephson memory", International Workshop on Josephson junction electronics, 1990.
4. 田原修一、「ジョセフソン記憶集積回路の高速化」、電気学会、超伝導エレクトロニクス調査専門委員会、1990.

5. 和田容房、曾根純一、柘植久尚、蔡兆申、田原修一、日高睦夫、石田一郎、吉田卓克、"IC Technology", Superconductivity Electronics, 学術振興会刊、1987.
6. Y.Wada, S.Nagasawa, I.Ishida, M.Hidaka, H.Tsuge, S.Tahara, "A high-speed low-power Josephson-junction RAM", VLSI System Design, 1988.
7. Y.Wada, S.Nagasawa, M.Hidaka, I.Ishida, H.Tsuge, S.Tahara, "570ps, 13mW Josephson 1kb RAM", Superconductors in Electronics Commercialization Workshop, 1988.
8. 和田容房、石田一郎、田原修一、柘植久尚、永沢秀一、松倉徳丞、日高睦夫、「ジョセフソン接合素子の研究」、科学技術用高速計算システム研究開発組合 研究成果発表会、1990.

Ⅶ. 特許

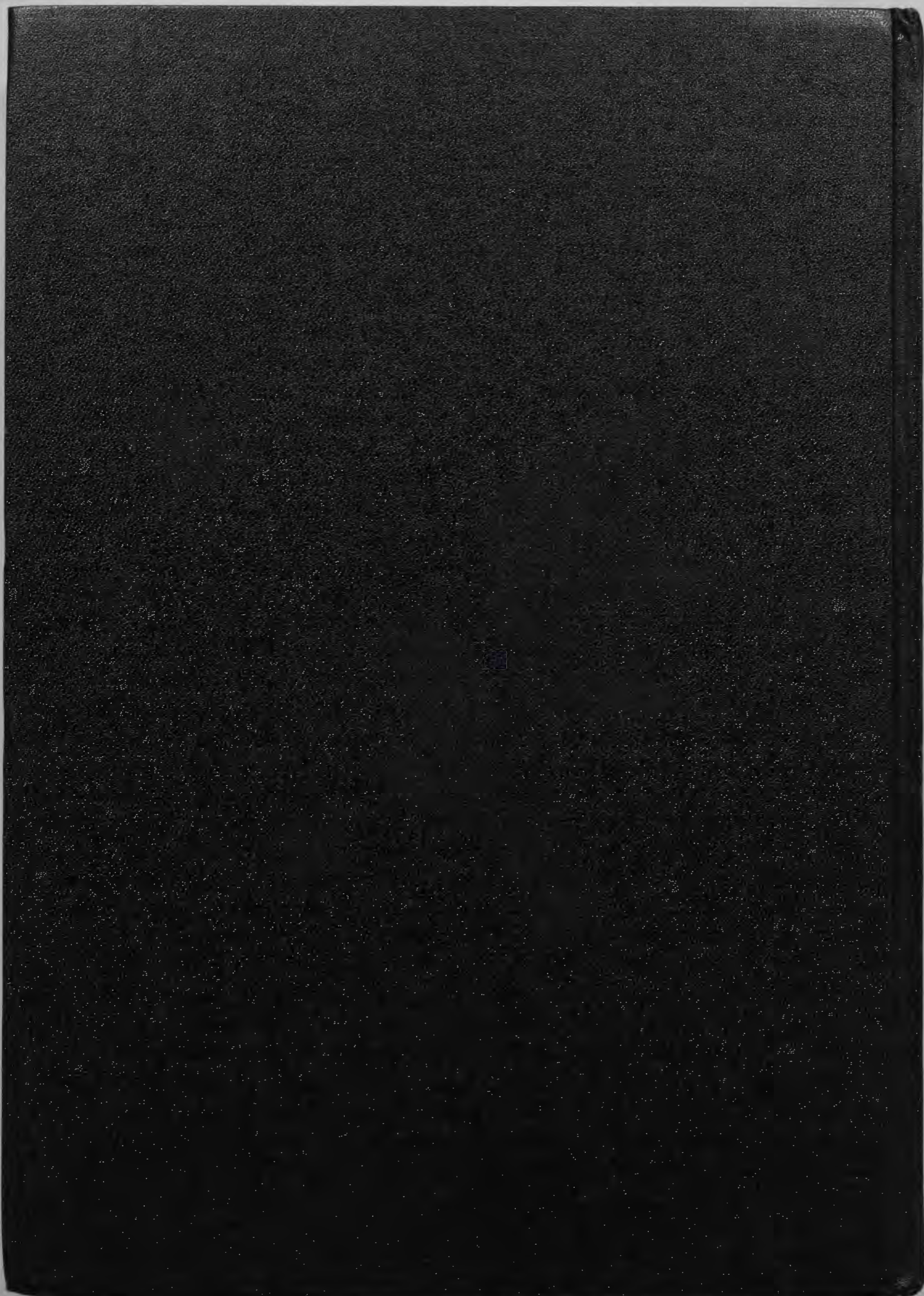
1. 田原修一、「ジョセフソン効果を用いた電流注入型サンプリングゲート回路」、特願昭57-095920.
2. 田原修一、「ジョセフソン効果を用いた電流注入型論理ゲート回路」、特願昭57-211736.
3. 田原修一、「ジョセフソン効果を用いた電流注入型パルス発生回路」、特願昭57-028318.
4. 田原修一、「ジョセフソン効果を用いた電流注入型パルス発生回路」、特願昭57-028319.
5. 田原修一、「ジョセフソン効果を用いた電流注入型パルス発生回路」、特願昭57-030317.
6. 田原修一、「ジョセフソン効果を用いた電流注入型パルス発生回路」、特願昭57-029215.
7. 田原修一、「ジョセフソン効果を用いた電流注入型否定信号発生回路」、特願昭58-066432.

8. 田原修一、「ジョセフソン効果を用いた電流注入型論理ゲート回路」、
特願昭58-063203.
9. 田原修一、「ジョセフソン双対信号保持回路」、特願58-116346.
10. 田原修一、「ジョセフソン双対信号保持回路」、特願58-116347.
11. 田原修一、「超伝導集積回路の製造方法」、特願59-224210.
12. 田原修一、「ジョセフソン集積回路の作製方法」、
特願59-235958.
13. 田原修一、「ジョセフソン集積回路」、特願60-014427.
14. 田原修一、「超伝導集積回路の製造方法」、特願60-102697.
15. 田原修一、「超伝導線路の形成方法」、特願60-103664.
16. 田原修一、「超伝導線路の形成方法」、特願60-112259.
17. 田原修一、「ジョセフソン効果を用いたゲート回路」、
特願60-195948.
18. 田原修一、「ジョセフソン記憶回路」、特願60-172519.
19. 田原修一、「ジョセフソン電流極性切換型駆動回路」、
特願60-290448.
20. 田原修一、「極性切換型ジョセフソンドライバ回路」、
特願61-229534.
21. 田原修一、「極性切換型ジョセフソンドライバ回路」、
特願61-229541.
22. 田原修一、「ジョセフソン駆動回路」、特願62-022472.
23. 田原修一、「ジョセフソン駆動回路」、特願62-022473.
24. 田原修一、「ジョセフソンセンス回路」、特願62-064016.
25. 田原修一、「ジョセフソン破壊読み出し型記憶回路」、
特願62-186603.
26. 田原修一、「超伝導電界効果型トランジスタ」、特願62-234332.
27. 田原修一、「超伝導電界効果型トランジスタ」、特願62-234333.
28. 田原修一、「タイミング信号発生装置」、特願63-125908.
29. 田原修一、「タイミング信号発生装置」、特願63-125909.
30. 田原修一、「タイミング信号発生装置」、特願63-125910.

31. 田原修一、「タイミング信号発生装置」、特願63-125911.
32. 田原修一、「インターフェイス装置」、特願63-125912.
33. 田原修一、「超伝導配線」、特願63-119822.
34. 田原修一、「超伝導配線」、特願63-201613.
35. 田原修一、「ジョセフソン集積回路用チップホルダー」、
特願1-002804.
36. 田原修一、「ジョセフソンラッチ回路」、特願1-063473.
37. 田原修一、「ジョセフソンラッチ回路」、特願1-063474.
38. 田原修一、「ジョセフソンラッチ回路」、特願1-063475.
39. 田原修一、「超伝導配線」、特願2-093411.

Ⅶ. その他

田原修一、「ジョセフソン記憶回路」、特願60-172519. 科学技
術庁、第48回注目発明選定証授与、1989.

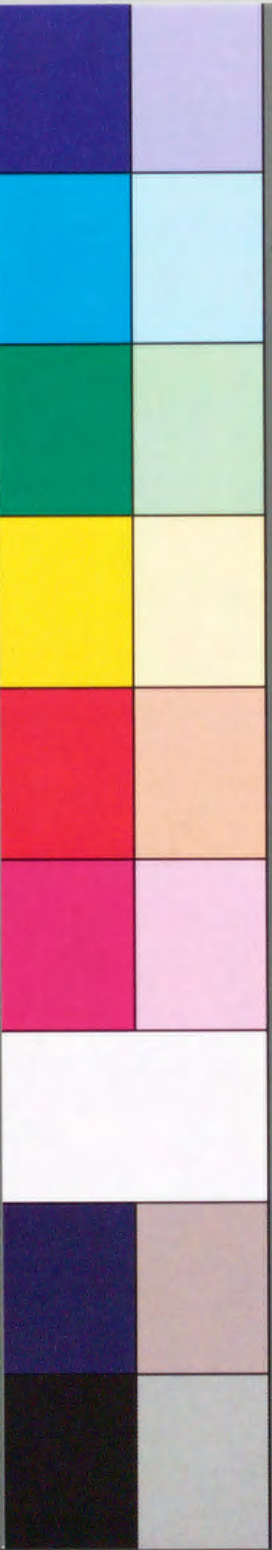


Inches 1 2 3 4 5 6 7 8
cm 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19

Kodak Color Control Patches

© Kodak, 2007 TM: Kodak

Blue Cyan Green Yellow Red Magenta White 3/Color Black



Kodak Gray Scale



© Kodak, 2007 TM: Kodak

A 1 2 3 4 5 6 M 8 9 10 11 12 13 14 15 B 17 18 19

