

CREST ULP研究におけるSLRCの研究成果

石原, 亨
九州大学システムLSI研究センター

<https://doi.org/10.15017/19409>

出版情報 : SLRC Discussion Paper Series. 7 (2), pp.1-29, 2011-03. System LSI Research Center (SLRC)
バージョン :
権利関係 :

CREST ULP 研究における SLRC の研究成果

石原 亨

九州大学システム LSI 研究センター

1. はじめに

平成17年10月から5年半に渡り JST の CREST 研究を実施した。名古屋大学の高田広章教授を代表に、名古屋大学、九州大学、東芝の3グループで実施し、九州大学は下表の通り通算 20 名のメンバーが参加した。情報家電や情報携帯端末などの組込みシステムを対象として、ソフトウェアとハードウェアの協調により、サービス品質(性能、計算精度、信頼性など)を保証しつつ、消費エネルギーを最小限にするための最適化技術を開発した。

氏名	所属	役職	参加時期
石原 亨	システム LSI 研究センター	准教授	H17.10~H23.3
松永 裕介	同上	准教授	H17.10~H18.4
佐藤 寿倫	同上	教授~学術研究員	H18.4~H23.3 (H21.4より福岡大学に異動のため職名変更)
久住 憲嗣	同上	准教授	H22.4~
室山 真徳	同上	助教	H17.10~H20.7
Goudarzi Maziar	同上	学術研究員	H17.10~H20.12
Gauthier Lovic Eric	同上	学術研究員	H21.3~H23.3
Zang Chengjie	同上	学術研究員	H21.5~H22.6
山口 誠一郎	システム情報科学府 情報工学専攻	M2~D3	H17.10~H21.3
El Bourichi Adil	同上	M2~D3	H17.10~H21.3
徳永 将之	同上	M2	H18.4~H19.3
中村 隆二	同上	M2	H18.4~H19.3
坂本 良太	同上	M2	H18.4~H19.3
李 東勲	同上	M1~M2	H18.4~H20.3
山口 聖貴	同上	M1~M2	H18.4~H20.3
大山 裕一郎	同上	M1~M2	H18.4~H20.3
石飛 百合子	同上	M1~M2	H19.4~H21.3
松村 忠幸	同上	M1~M2	H19.4~H21.3
金田 裕介	同上	M1~M2	H20.4~H22.3
奥平 拓見	同上	M1~M2	H21.4~H23.3

九州大学チームは主にハードウェアの省エネルギー技術にフォーカスし、具体的には以下に挙げる6項目の研究を実施した。2章から6章にそれぞれまとめて報告する。

2. マルチパフォーマンスプロセッサ

2.1. 研究背景

携帯型情報端末の市場拡大を背景にコンピュータシステムの省エネルギー化が非常に重要な課題となっている。2000年には斬新な省電力プロセッサとして動的可変電圧プロセッサ(以下DVSプロセッサ)が製品化されたが、テストコストの問題やタイミング設計にかかる手間、オンチップ DC-DC コンバータのコスト、電圧・周波数切替えのオーバーヘッドおよびこれに伴うリアルタイム性保証の困難さなどの理由から、DVS プロセッサがリアルタイム組込みシステムで利用された例は少ない。DVS 制御を行う電力管理ソフトウェアの例として、SpeedStep (Intel)、PowerNow! (AMD)、 LongRun (Transmeta)、 SmartReflex (TI)、 IEM (ARM)、 XEC (Freescale Semiconductor) などがある。しかし、上記の電力管理ソフトウェアは何れもリアルタイムシステムを主なターゲットとはしていない。リアルタイムシステムとは、決められた制約時間内に与えられたタスクを完了するコンピュータシステムのことを意味する。あるいは、厳密に時間制約を守ることができなくても、タスクの最悪実行時間が制約時間よりも小さくなるように設計されたシステムのことを指す。例えば Transmeta 社の LongRun は、プロセッサのサイクルあたりの実行命令数(IPC)の値を実行時に観測し、IPC 値が小さい場合は、プロセッサに高い性能が求められていないと判断し、電圧を下げて省エネルギー化を図る。逆に IPC 値が大きい場合は、プロセッサに高い性能が求められていると判断し電圧を上げて高速化する。この方法はリアルタイム性を必ずしも保障しないため、リアルタイムシステムには適用が難しい。

2.2. 研究内容

本研究テーマでは、DVS プロセッサに代わる省エネルギープロセッサとしてマルチパフォーマンスプロセッサを開発し、その実用可能性についてポストレイアウトシミュレーションにより評価した。マルチパフォーマンスプロセッサは既存の DVS プロセッサと比較して性能切り替えのオーバーヘッドを約 2 桁小さくすることを可能にした。また DVS プロセッサと比較して低電圧動作時の電力効率が 30%以上良いことを HSPICE による解析で確認した。以下にマルチパフォーマンスプロセッサの詳細を述べる。マルチパフォーマンスプロセッサは同じ命令セットアーキテクチャを持つ複数の演算要素(以下 PE)と動的に実効容量を変更できるキャッシュメモリとローカルメモリから構成される。各 PE は異なる消費エネルギーと動作性能を持つ。一般には低消費エネルギーと高速動作はトレードオフの関係にあるため、高速で消費エネルギーの大きい PE と低速で消費エネルギーの小さい PE を CPU コア内に複数搭載し、状況に応じて適切

な PE を稼働させる。同時には一つの PE のみが稼働する。使用しない PE へは信号供給とクロック供給を遮断する。キャッシュメモリやローカルメモリは PE 間で共有する。ただし、同時に一つの PE のみが動作するため、メモリの入出力ポートはそれぞれ 1 ポートのみである。つまり、コストの大きいマルチポートメモリは不要である。タスクレベルの並列性が要求されるアプリケーションにはマルチパフォーマンスプロセッサコアを並列にバス接続することにより並列化する(図 2.1 参照)。

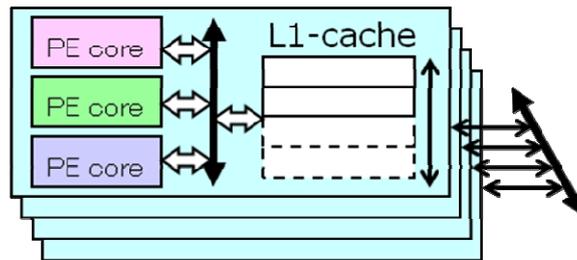


図 2.1 マルチパフォーマンスプロセッサの構成例

東芝社製の 32/16 ビット可変命令語長 RISC プロセッサ MeP をベースにマルチパフォーマンスプロセッサのプロトタイプを設計した。プロセステクノロジーは商用の 90nmCMOS プロセスを使用した。CPU コア部分は同一の回路を複製し、性能と消費エネルギーの異なる PE コアとして実現する。各 PE コアは RT レベルでは同一の回路記述であるが別々の電源電圧を使用してキャラクタライズした標準ライブラリを用いてそれぞれ設計する。それぞれ 1.0V、0.68V、0.52V を使って 3 種類の PE コアを設計した。MPU コア 0 には 3 種類の PE コアを、MPU コア 1 には 1.0V と 0.68V を使用する PE コアを、MPU コア 2 には 1.0V と 0.52V を使用する PE コアをそれぞれ搭載した。PE コアの切り替えはスクラッチパッドメモリの特定のアドレスに特定の値を書き込むことにより行う。メモリは 1.0V を使用し、すべての PE コアで共有する。ただし、PE は同時に一つしか稼働しないためメモリはすべてシングルポートで実現する。

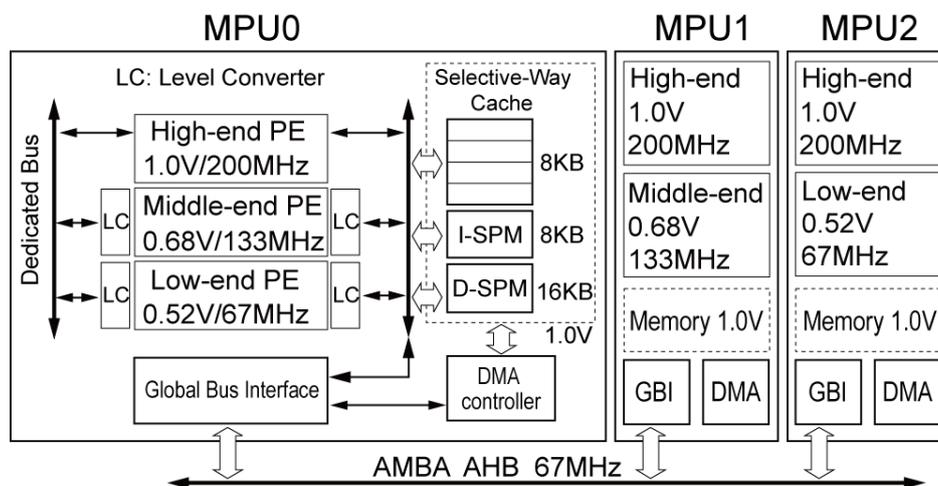


図 2.2 MeP をベースとしたマルチパフォーマンスプロセッサのプロトタイプ

オンチップメモリは 8K バイト 4 ウェイセットアソシアティブの命令キャッシュと 8K バイトの命令コード用スクラッチパッドメモリおよび 16K バイトのデータ用スクラッチパッドメモリを搭載する。命令キャッシュは 4 ウェイのうち、稼働させるキャッシュウェイを選択することが出来る。キャッシュウェイの選択はデータ用スクラッチパッドメモリの特定のアドレスに特定の値を書き込むことにより行う。つまり、プログラムの動作状況に応じてどのキャッシュウェイを使うかをプログラマが指定出来る。また、使用する PE を切替える際には、PE の内部状態(レジスタの値)を現在稼働中の PE から次に稼働する PE へ移動させる。汎用レジスタの値はローカルメモリを経由して移動させ、その他のレジスタの値は直接専用バスで移動させる(図 2.2 参照)。

2.3. 研究の成果

図 2.2 に示したプロセッサを設計し、PE コアの動的切り替えとキャッシュウェイの動的選択機能を含むすべての機能が正常に動作することをポストレイアウトシミュレーションにより確認した。

各 PE コアは使用するそれぞれの電源電圧に最適化されるため、従来型の DVS プロセッサよりも低電圧動作時のエネルギー効率が良い。図 2.3 は、1.0V で最適設計した PE コアの最長パスを抽出し、そのパスに対する電圧・遅延特性を SYNOPSIS 社の HSPICE で計測した結果である。

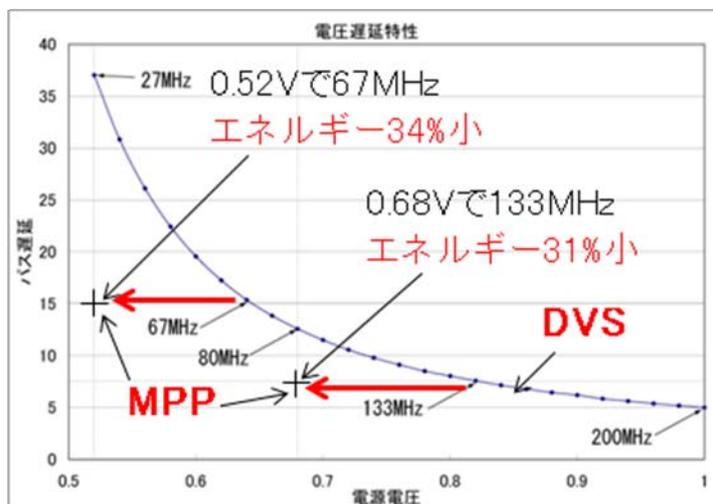


図 2.3 低電圧動作時のエネルギー効率

最長パスは SYNOPSIS 社の静的遅延解析ツール(STA)で抽出した。1.0V 動作時には 5ns のパス遅延は、0.68V の電源電圧では 12.5ns まで増大する。この場合、プロセッサの動作周波数は 80MHz になる。筆者らの設計したマルチパフォーマンスプロセッサ(MPP)は 0.68V で 133MHz を実現する。さらに 0.52V まで電圧を下げるとパス遅延は 37ns になり、プロセッサは 27MHz でしか動作しない。つまり、従来型の DVS プロセッサは、0.52V では 27MHz でしか動作しない。多入力論理セルと高い閾値電圧を使

用する論理セルは低電圧動作時に遅延が急激に増大するためだと考えられる。また、クロックのソースから各フリップフロップへクロック信号が到達する時刻のばらつき(クロックスキューとして現れる)は電源電圧によって異なるため、1.0V で最適設計したプロセッサを 0.52V で動作させる場合にはクロックスキューによりプロセッサが正常動作しない可能性もある。上述したとおりマルチパフォーマンスプロセッサはそれぞれの電圧に最適化して設計しているため、低電圧動作時でも回路のクリティカルパス遅延はそれほど大きくならない。さらには、クロックツリーの設計も特定の電圧に特化して行うため、従来型の DVS プロセッサの設計と比較してクロックスキューの削減にかかる手間を小さく抑えられる。結果的に、マルチパフォーマンスプロセッサは従来の DVS プロセッサと比較すると、133MHz 動作では 31%、67MHz 動作では 34%エネルギー効率が良いことを確認した(図 2.3 参照)。

Direction	Transition Time [ns]	Energy Consumpition [nJ]
High speed → Middle speed	1,113	11.84
High speed → Low speed	1,290	11.25
Middle speed → High speed	968	13.04
Middle speed → Low speed	1,443	9.27
Low speed → High speed	1,205	13.39
Low speed → Middle speed	1,286	8.93
Cache Way Selection	690	10.35

表 2.1 に PE コア切り替え時とキャッシュウェイ選択時のオーバーヘッドを示した。DVS プロセッサと比較すると切り替え時間、消費エネルギー共に約 2 桁小さくなることを確認した。命令キャッシュのウェイ選択も同程度のオーバーヘッドで実現可能であることを確認した。

2.4. 今後期待される効果

Intel 社が 80 コアを搭載するプロセッサを試作し、ハードウェアの実装技術の観点ではメニーコアの時代に突入した。しかし、80 の並列性が存在するアプリケーションは現状では少ない。一方で、組込みコンピュータシステムに必要とされる機能は多様化し、同じアプリケーションでも、高い速度性能を要求する場面と低速動作が可能な場面が混在する。ピーク性能を維持したまま消費エネルギーを低減するためには、性能と消費エネルギーの観点からヘテロジニアスな PE を状況に応じて瞬時に切替えて使用するアーキテクチャが有効である。本研究で開発したマルチパフォーマンスプロセッサは DVS プロセッサと比較して性能の切り替えオーバーヘッドが約 2 桁小さい。また、低電圧動作時のエネルギー効率は DVS プロセッサより 30%以上良い。チップ面積をスレッド

レベル並列化やタスクレベル並列化に使うだけでなく、「多性能化」に使用することにより大幅な省エネルギー化が実現できる可能性があることを確認した。

3. データメモリの省エネルギー技術

3.1. 研究背景

今日製品化されているほとんどの組込みプロセッサは CPU コアと同じチップ上にキャッシュメモリとスクラッチパッドメモリを搭載している。

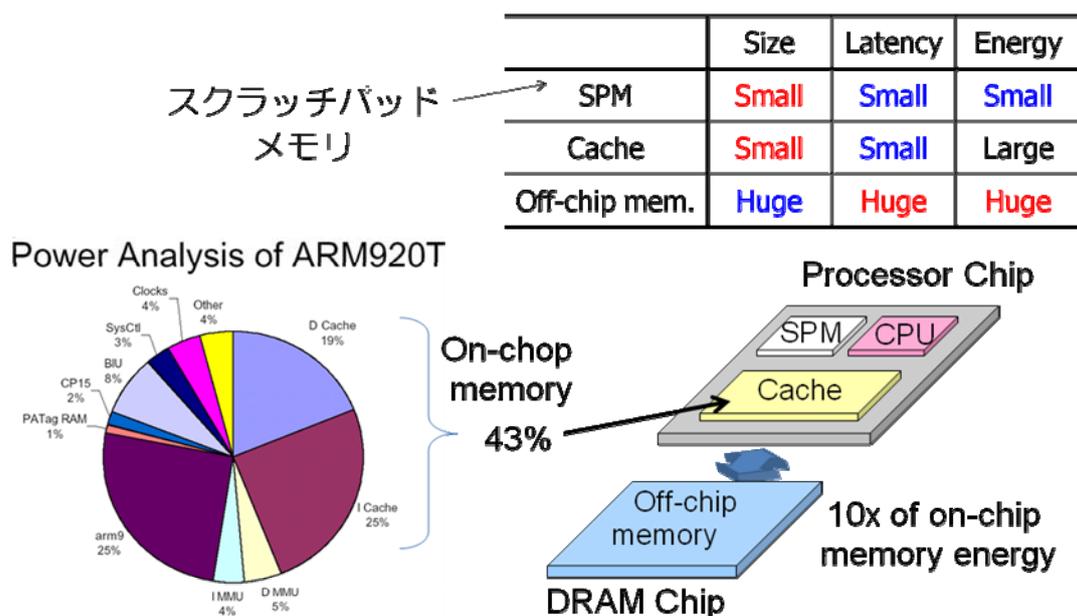


図 3.1 組込みプロセッサの構成例

スクラッチパッドメモリはキャッシュメモリと比較して消費電力が小さいため、頻繁にアクセスされるプログラムコードやデータオブジェクトをスクラッチパッドに配置することによりプロセッサシステムの平均消費電力を低減できる。また、マルチコアプロセッサ(あるいはメニーコアプロセッサ)において同一チップ上に搭載されるプロセッサコア数が増大すると、コヒーレントキャッシュメモリではコヒーレンシ制御のための消費エネルギーが膨大になるため、もともと明示的なメモリ管理を行うスクラッチパッドメモリの方が消費電力の観点でメリットがさらに大きくなる。コヒーレンシ制御とは、マルチコアプロセッサにおいて、それぞれのプロセッサが共有データのコピーを持つ時、その複数のコピーデータ間で一貫性を常に保っておくためのデータ制御のことである。

3.2. 研究内容と成果

本研究では、マルチコアプロセッサにおいてそれぞれのプロセッサコアがローカルに搭載するスクラッチパッドメモリにデータオブジェクトを最適に配置しデータアクセスに伴う消費エネルギーを大幅に削減する手法を開発した。データオブジェクトの中でも

特にスタックデータをスクラッチパッドメモリへ最適に配置する仕組みについて研究した。スタックデータはデータオブジェクトの中でも最もアクセスの多いオブジェクトであるため、スタックをスクラッチパッドメモリに配置できれば大幅な電力削減が見込まれる。しかし、スクラッチパッドメモリ(一般に SRAM)はオフチップメモリ(一般に DRAM)と比較してビット単価が高く、多くの組み込みプロセッサでは高々16K バイト程度のスクラッチパッドメモリしか搭載しない。従って実用的なアプリケーションプログラムではスタック全体をスクラッチパッドに配置することは難しい。そこで、本研究では、関数がコールされる際にスタックフレームをスクラッチパッドと主記憶間で動的に入れ替える仕組みを開発した。スタックフレームの配置はコンパイル時に静的に決定する。スタックフレームの配置最適化の手順は以下のとおりである。

- スタックフレームのアクセス頻度を命令セットシミュレータを用いたプロファイリングにより解析
- 最もアクセス頻度の高いスタックフレームを SPM に配置
- 各スタックフレームの配置(スクラッチパッドメモリかメインメモリ)を決定してスタックアクセスに伴う消費エネルギーを最小化する問題を整数計画問題として定式化
- 関数コールの前後でスタックフレームをメインメモリに Store/Load することが前提
- 上記 Store/Load のエネルギーを最適化問題の中でコストとして考慮
- 上記の整数計画問題を解くことによってコンパイル時にスタックフレームの配置を最適に決定

上記のスタック配置最適化手法を東芝社製の MeP プロセッサとその命令セットシミュレータを用いて評価した。比較のために以下の2つの既存手法(Cyclic と Static)と合わせて評価を行った。

- Cyclic: SPM が一杯になったら古いフレームから順に追い出す
- Static: スタックフレームをプログラム実行時には移動させない
- Ours: スタックの動的入れ替えを前提として、スタック配置を前項で述べた方法で最適化する

8つのベンチマークプログラム(AES, DES, mpeg2dec, MD5, rad2deg, patricia, Cubic, FFT)を用いた評価結果を図 3.2 に示す。グラフのエネルギー値(縦軸)はすべてのスタックフレームをメインメモリに配置した時の消費エネルギーで正規化されている。横軸はスクラッチパッドメモリのサイズ(byte)を示している。すべてをメインメモリに配置した場合と比較するとスタックアクセスに伴うエネルギーを 90%以上削減できることを確認した。

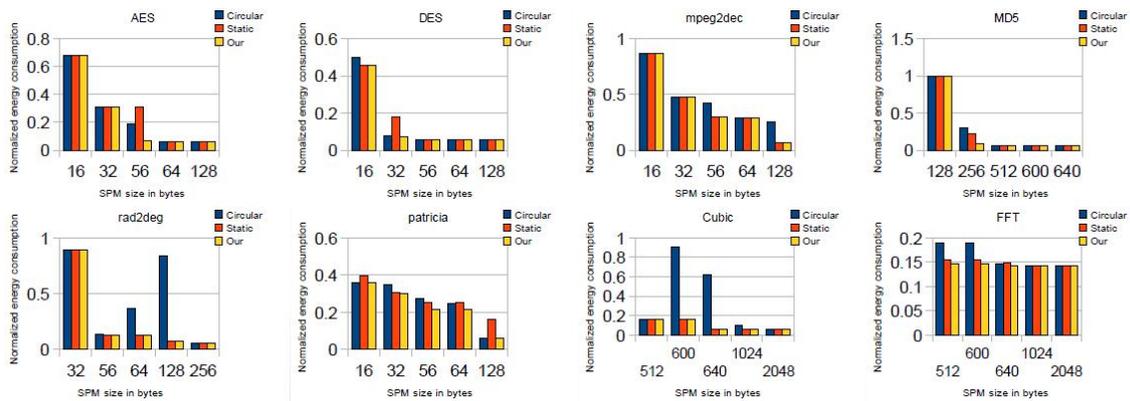


図 3.2 スタックフレーム最適配置結果

上記の結果はシングルタスクの結果であるが、マルチタスク環境ではタスク間でメモリ領域を適切にシェアすることによってスラッシュパッドメモリのアドレス空間を有効に利用できる。図 3.3 にスラッシュパッドの領域をタスク間でシェアする際の3通りの方法を示した。(a)は空間的な共有方法、(b)は時間的な共有方法、(c)はスラッシュパッドメモリを空間的共有部と時間的共有部に分けて(a)と(b)を適用する方法を示している。

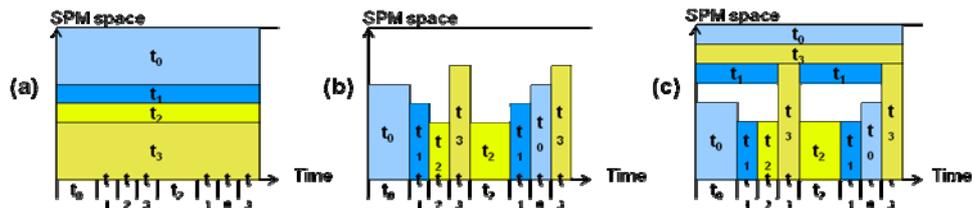


図 3.3 スラッシュパッドメモリの領域共有法

また、スラッシュパッドメモリ内に配置するデータオブジェクトの配置位置を最適化することにより、タスクスイッチの際にスラッシュパッドメモリとメインメモリ間で転送するデータ量を大幅に削減できる。例えば、図 3.4 に示すように、タスク t_0 と t_1 が切り替わる際に t_0 が使用するメモリブロック β_0 とタスク t_1 が使用するメモリブロック β_1 がアドレス上でオーバーラップしていると、スラッシュパッドメモリ内の多くのデータを入れ替える必要がある。そこで、本研究では、マルチタスク環境において、スラッシュパッドメモリ内に配置するデータオブジェクトの配置位置を最適化し、タスク切り替えの際にスラッシュパッドメモリとメインメモリの間で転送するデータ量を最小化する手法を開発した。

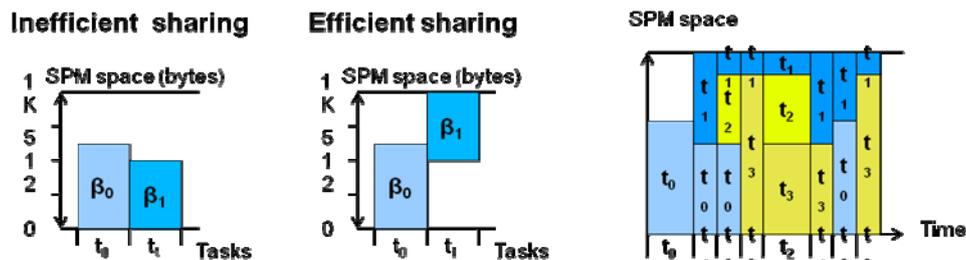


図 3.4 データ転送を最小化するデータ配置

東芝社製の MeP プロセッサとその命令セットシミュレータを用いてスクラッチパッドメモリへのデータ配置手法を評価した。配置対象とするデータオブジェクトはグローバル変数や定数データなどの静的変数とスタックフレームである。MiBench ベンチマークスイートから無作為に複数のアプリケーションプログラムを選択し、6種類のマルチタスクベンチマークプログラム(図 3.5 に示した set0~set5)を人工的に作成した。実験結果を図 3.5 に示す。図中の Space、Time、Hybird はそれぞれ、図 3.3 の(a)、(b)、(c)に示す手法を適用した結果に対応している。“Task”は図 3.4 の右端に示した手法に対応する。図 3.4 に示した“Task”は各タスクが使用するデータオブジェクトに対して連続した1つの領域を割り当てるのに対して、“Block”では各タスクが使用するデータオブジェクトがスクラッチパッドメモリ内の複数の不連続なアドレス領域を使用する。

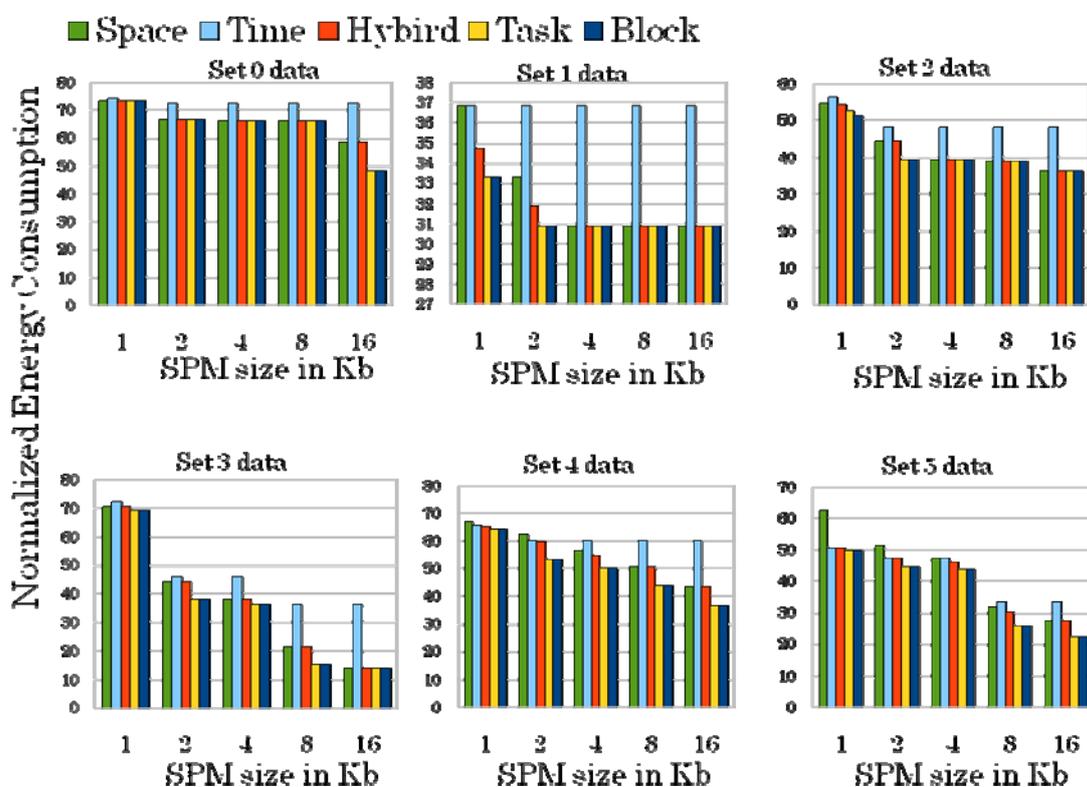


図 3.5 スクラッチパッドメモリへのデータ配置最適化の結果

グラフの縦軸はすべてのデータオブジェクトをメインメモリに配置した時の消費エネルギーで正規化した結果を示している。最も結果が良いケースでは、すべてのデータをメインメモリに配置した場合と比較して最大で消費エネルギーを 85%削減できることを確認した。

3.3. 今後期待される効果

チップに搭載されるプロセッサコア数が増大するにつれ、データコヒーレンシの観点か

らデータキャッシュメモリをオンチップメモリとして利用することが難しくなる。従って将来的にはスクラッチパッドメモリの存在価値がますます高くなることが予想される。特にデータ用のスクラッチパッドメモリを有効に利用する技術は性能と消費エネルギーの両方の観点で非常に重要な技術となる。本研究では、スタックフレームをスクラッチパッドメモリに配置する技術の開発に取り組んだが、実用化にはまだまだ多くの問題が残されている。今後は実用化へ向けた技術開発に取り組む予定である。

4. プロセッサシステムの電力キャラクタライズと電力見積もりツール

4.1. 研究背景

携帯型情報機器の普及と共に組込みシステムの低消費電力化に対する要求はますます強まっている。しかし、組込みソフトウェア設計の分野では低消費電力化に対する意識はそれほど高くない。デジタルシステムの電力見積もり手法は今日までに数多く提案されている。ソフトウェアの振る舞いが消費エネルギーに与える影響を見積もる最も正確かつ高速な方法は実チップの電力を測定することである。しかし、電力測定では、数 μ 秒オーダーの間に消費されるエネルギーを見積もることは難しいため、プロセッサ内部のホットスポット解析やアプリケーションプログラムのホットスポット解析が難しい。一方、ハードウェア設計初期段階の見積もり手法の多くはゲートレベルや RTL のシミュレーションをベースとしているため、大規模ソフトウェアの解析には膨大な時間を要する。また、RTLシミュレータなどのハードウェアシミュレータの使用はソフトウェア開発者にとって敷居が高い方法であると考えられる。命令セットシミュレータ(以下 ISS)を用いた電力見積もり手法も数多く提案されているが、電力見積もり機能を持つISSは一部のプロセッサに限られているため、この機能のサポートが無い場合は、専用のシミュレータと電力モデルを開発する必要がある。本研究で開発した手法は、対象とするプロセッサシステムに対して半自動で消費エネルギーのキャラクタライズを行うことを特徴とする。消費エネルギーのキャラクタライズにより生成された線形モデルは、専用開発されたサイクル精度 ISS や GNU のソフトウェアデバッガと組み合わせて使用することができる。

4.2. 研究内容と成果

本研究では組込みソフトウェア分野の技術者が設計段階で消費エネルギーを意識できる環境の提供を目標として、命令セットシミュレータ(以下 ISS)を用いてプロセッサシステムの消費エネルギーを解析する研究に取り組んだ。アプリケーションソフトウェアから観測しやすい各種パラメータを用いてプロセッサの消費電力を半自動でモデル化するキャラクタライズ手法を開発した。パラメータには ISS から容易に抽出でき、かつ消費エネルギーに影響を与えるものを選択することが重要である。多くのプロセッサシステムでは、メモリアクセスに要するエネルギーが非常に大きな割合を占めるため、キャッ

シムメモリやスクラッチパッドメモリ、外部メモリへのアクセス回数をパラメータとして使用することはモデル精度を高める上で重要である。それ以外に CPU がストールを起こす原因をパラメータとして使用する。具体的には以下のパラメータを使用してプロセッサシステムの電力キャラクタライズを行った。

- 命令毎の実行回数
- 命令キャッシュミス回数
- データキャッシュミス回数
- ロードまたはストア命令が連続して実行される回数(バーストアクセス)
- 分岐命令のうち分岐が不成立であった回数
- 分岐不成立と命令キャッシュミスが同時に発生する回数
- リードアフターライト(RAW)ハザードの発生回数
- データキャッシュミスと RAW ハザードが同時に発生する回数
- 乗算命令や除算命令などのマルチサイクル命令がキャッシュミスを引き起こす回数

上述のパラメータの値を独立に変化させるトレーニングベンチをパラメータ数だけ作成し、それらのトレーニングベンチを対象とするプロセッサシステム上で実行した時の消費エネルギーをポストレイアウトシミュレーションにより見積もる。この消費エネルギー値を E_i とする。ここで i はトレーニングベンチのインデックス番号である。同じトレーニングベンチを実行した際の上記パラメータの値を ISS により取得する。このパラメータ値を P_{ij} とする。ここで j はパラメータのインデックス番号である。ISS による消費エネルギーの見積もり値は $E_i' = \sum c_j \cdot P_{ij}$ で見積もる。ここで、 c_j はパラメータの係数である。このパラメータ係数は $(E_i - E_i')^2$ の値を最小にするように最小二乗法を用いて回帰分析により決定する。つまり、ISS による見積もり値とポストレイアウトシミュレーションによる電力見積もり値の2乗誤差が最小になるように c_j を求める。上述のフローにより求められる $\sum c_j \cdot P_{ij}$ が消費エネルギーの線形近似式となる(図 4.1 左参照)。

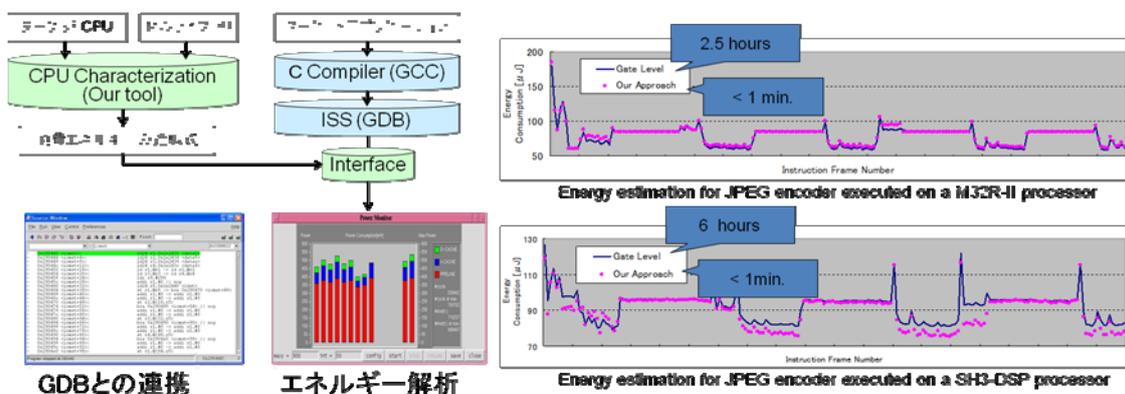


図 4.1 キャラクタライズフローと電力見積もり例

上述のキャラクタライズフローをルネサステクノロジー社の M32R と SH3-DSP に適用したところ、モデルの平均誤差はポストレイアウトシミュレーションによる見積もり値と比較して約3%であった。このモデルの簡略版は上述のデータ配置最適化やコード配置最適化にも利用している。命令セットシミュレータ(以下 ISS)が出力するアドレ스트レースと上記のモデルを使用することにより、特定のプロセッサシステム上で動作するアプリケーションプログラムが消費する電力を高速に見積もることができる。ゲートレベルシミュレーションでは数時間かかる見積もりを数秒で行えることを確認した。

同様のキャラクタライズを上述のマルチパフォーマンスプロセッサにも適用した。マルチパフォーマンスプロセッサは東芝社の MeP をベースに 0.18 μm プロセステクノロジーを使用して設計した。各プロセッサコア内にPEコアを2つ集積し、それぞれの PE コアは、1.8V と 1.0V で動作する。つまり、1.8V モードと 1.0V モードを切り替えて動作可能である。また、使用するキャッシュウェイを選択可能な4ウェイセットアソシアティブの命令キャッシュを搭載している。

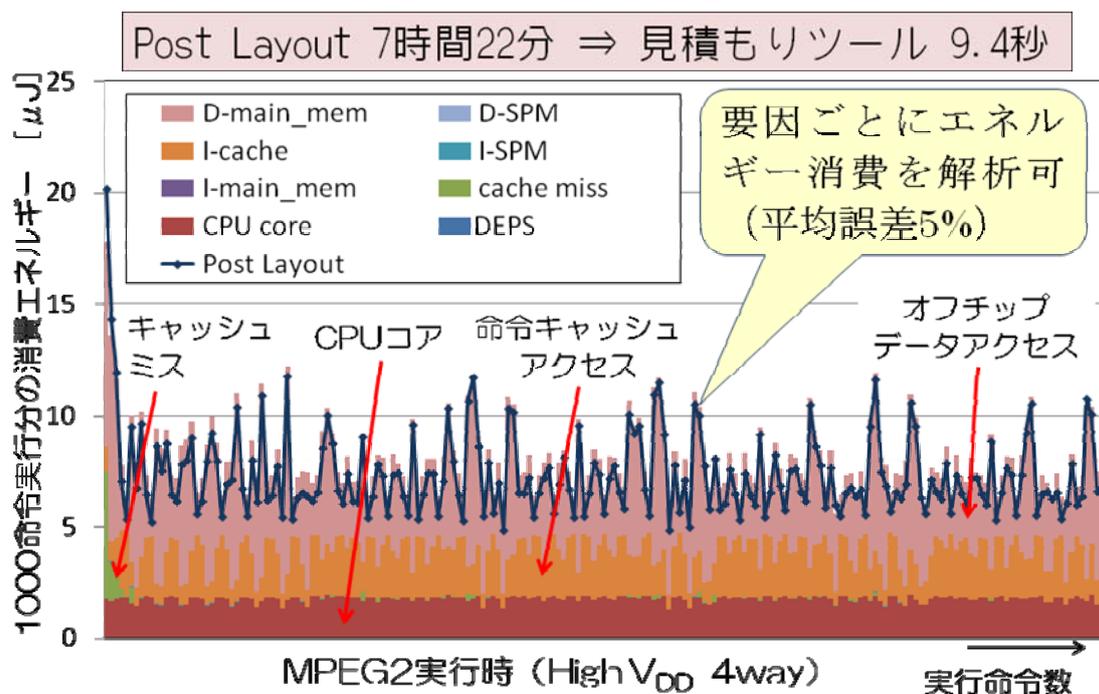


図 4.2 マルチパフォーマンスプロセッサの消費エネルギー解析結果

図 4.2 にマルチパフォーマンスプロセッサ上でMPEG2エンコーダを実行した際の消費エネルギーを示す。プロセッサは 1.8V の高速モードで、命令キャッシュのウェイは4つとも稼働させた。折れ線グラフがポストレイアウトシミュレーションによるエネルギー見積もりの結果を示し、その下部の色塗りされた部分は ISS から取得したパラメータ値と線形近似モデルにより見積もった消費エネルギー値を示している。ISS による見積もり値はポストレイアウトシミュレーションによる見積もり値と比較して誤差が 5%と非常に小さいことを確認した。また、ISS による見積もりは、パラメータ毎の消費エネルギーを個

別に計算できるため、消費エネルギー解析が容易である。例えば、オフチップメモリのアクセスで消費されたエネルギーやキャッシュアクセスによる消費エネルギーなどを個別に見積もることが可能である。これにより消費エネルギーのボトルネックを容易に特定できる。

4.3. 今後期待される効果

本研究テーマでは CPU と主記憶などのメモリサブシステムを含むプロセッサシステムのみを対象として消費エネルギーのキャラクタライズを行ったが、本研究のアイデアは無線通信やストレージおよびディスプレイなどの消費エネルギーキャラクタライズへ拡張可能である。本研究で開発した手法の一部は、上記のような非 LSI 部品を含むさまざまな電子部品のエネルギーキャラクタライズ手法へと拡張し、民間企業との新たな共同研究として展開中である。

5. カナリアによる電源電圧マージンの最適化

正常動作保証のための設計マージンによる不要な消費エネルギーを削減する方式を開発した。

5.1. 研究背景

LSI においては、製造時のプロセス変動、動作時の電源の揺らぎや温度変動、これらのばらつきが遅延時間に影響を及ぼす。これらのパラメータが変動しても、タイミング制約を満足して LSI が正常に動作できるように、通常は右図のように電源電圧に余裕を持たせた設計が実施される。この設計マージンの設定には、上記パラメータの最悪条件を考慮する必要がある。あらゆるパラメータが最悪になる場合は非常に稀であり、上述のようにして決定された電源電圧は過大に高く設定されることになる。本来は必要の無いエネルギーを消費することになる。消費エネルギー100分の1の目標を達成するためには、あらゆる無駄なエネルギー消費を排除する必要がある、条件次第では不要な上記のエネルギーを削減することが必要である。動作状況に応じて最適な電源電圧を設定し、不要なエネルギー消費を排除出来る方式が求められる。

温度変動に
配慮する
マージン

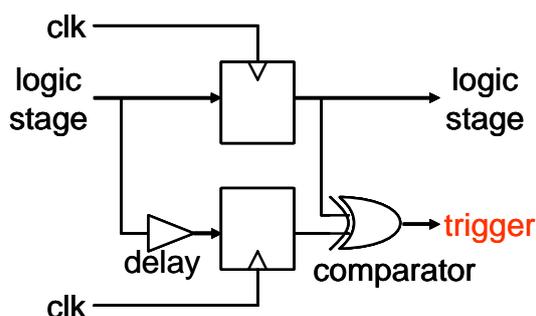
電源の
揺らぎに
配慮する
マージン

プロセス
変動に
配慮する
マージン

最良条件
での電圧

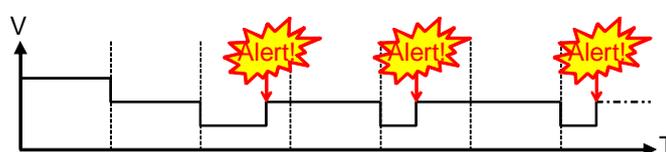
5.2. 研究内容

5.1 節で説明した課題を達成するためには、LSI の動作中にその遅延時間を測定し、タイミング制約を満足できる最低限の電源電圧を選択できる必要がある。遅延時間の絶対値を測定することは困難だが、上述の



目的のためであれば絶対値は必要ではなく、タイミング制約を違反しないことを満足できれば十分である。上記の考察から右上図に示すカナリア・フリップフロップ (FF) を考案した。カナリア FF は通常の FF に加えて、冗長な FF、遅延素子、そして比較器で構成される。図中で上に配置される通常の FF をメイン FF、下に配置される冗長な FF をシャドウ FF と呼ぶことにする。二つの FF で同じ値を冗長に保持することになるが、シャドウ FF の手前には遅延素子があるため、前段の組み合わせ回路の出力は、メイン FF よりも遅れてシャドウ FF に到達することになる。二つの FF の出力は比較に入力され、一致不一致が検出される。不一致はシャドウ FF が誤った値を保持していることを意味する。つまり、比較器によりシャドウ FF におけるタイミング制約違反を検出できる。これは、近い将来にメイン FF でもタイミング違反を生じる可能性があることを予測していることになる。

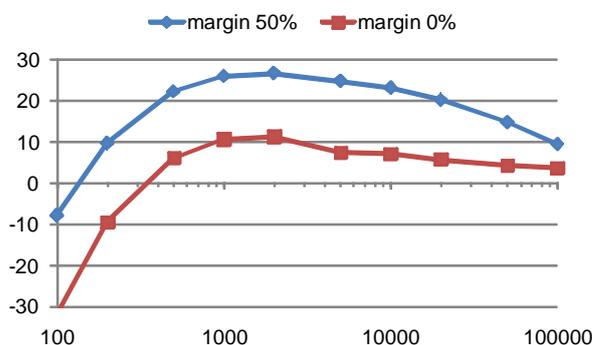
電源電圧が低くなると遅延時間が増大しタイミング違反を生じる。動的電圧制御機構 (DVS) とカナリア FF を組み合



わせることで、右図のように徐々に電源電圧を下げていけば、タイミング違反を起こさない最も低い電源電圧を知ることが可能になる。カナリア FF がタイミング違反を予報すると、現在よりも 1 レベル上の電源電圧に設定する。以上の方法で動作状況に応じて最適な電源電圧を設定し、不要なエネルギー消費を排除出来る。

5.3. 研究成果

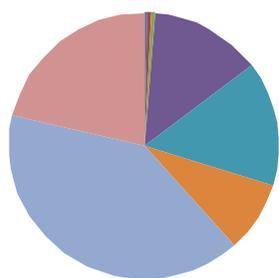
東芝グループより提供された MeP プロセッサのシミュレータ MPI を用いて、5.2 節で説明した方式を評価した。まず MPI 上でアプリケーションプログラムを実行し、実行トレースを採取する。一方、DVS とカナリア FF によるタイミング違反予測機構とを実装した



シミュレータを独自に開発した。MPI で採取したトレースを後者のシミュレータで実行し、エネルギー削減効果の評価に際しては、電源電圧の変更には 100 クロックサイクルのオーバーヘッドを要すると仮定している。まずシングルコア MeP で評価し、その結果を元にデュアルコア及びクアドコア MeP で評価した。

上図は、電源電圧を変更する間隔を 100~100K クロックサイクルで変えた時のエネルギー削減効果を示している。横軸が変更間隔で、縦軸がエネルギー削減割合である。図中の margin は 5.1 節で説明した設計マージンの量を示している。企業で LSI 開

発に携わっている研究者より得た知見によると、通常大凡 50~100%の設計マージンが設けられている。グラフより電源電圧の変更間隔が短いと、期待とは逆に消費エネルギーが増大していることが判る。これは上述のオーバーヘッドが原因である。実行時間が延長したために消費エネルギーが増大している。また、2000 クロックサイクル付近で消費エネルギーの削減効果が最大になることもわかる。2000クロックサイクル時の削減割合は 26.7%である。以下では、電源電圧の変更間隔が 2000 クロックサイクルの場合について、評価結果を報告する。

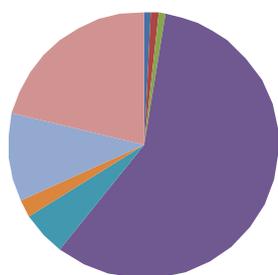
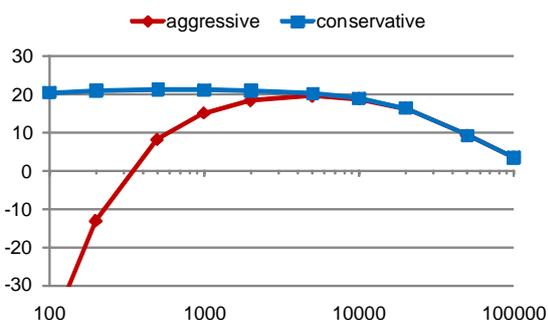


■ 1.340 V ■ 1.260 V ■ 1.228 V ■ 1.180 V
■ 1.132 V ■ 1.084 V ■ 1.036 V ■ 0.988 V

右図はデュアルコア MeP の場合の結果である。同時に二つのプログラムが実行されていると、どちらか一方が高い電源電圧を要求すると、他方も同じ高い電圧で動作することになる。つまり、シングル

コア時と比較すると、電源電圧を下げる機会が少なくなると予想される。上図よりこの予想が正しいことが確認出来る。全実行期間の 57.9%で比較的高い 1.180V を選択している。一方で 1.260V 以上の電圧は 2%未満の期間でのみ選択されており、不用意に高い電圧を選択していないことが確認できる。デュアルコア MeP でのエネルギー削減効果は、プログラムの組み合わせで変動するが、平均 20.5%であった。

左図はプログラム実行時に選択された電源電圧の分布を示している。実行時間の 70%以上の期間で 1.084V 以下の電圧が選択されていることが判る。不用意に高い電源電圧を選択しないで、不要なエネルギー消費を排除できていることが確認できる。



■ 1.340 V ■ 1.260 V ■ 1.228 V ■ 1.180 V
■ 1.132 V ■ 1.084 V ■ 1.036 V ■ 0.988 V

左図はクアッドコア MeP の場合の結果である。まず赤線の aggressive に注目されたい。電圧変更間隔が小さくなるとエネルギー削減効果が失われることが判る。これは 4 つのコアが頻繁に電圧を変更し、そのオーバーヘッドによる実行時間の増大が深刻になるためである。そこで、電源電圧の変更ポリシーに工夫をし、不用意に電圧を下げない様にした。その結果が青線の conservative である。広いクロックサイクル間隔でエネルギー消費を削減出来ている。クアッドコア MeP の場合もプログラムの組み合

わせで効果が異なるが、平均で 21.2%のエネルギー削減を達成出来ている。

5.4. 結果の位置づけ

本方式はシミュレーションによる評価で終了し、実チップへの実装には至らなかった。しかし、本方式が実用性の点で問題があるというわけではなく、寧ろ類似研究と比較して実用性が高いと思われる。最も近い研究はミシガン大学らによる Razor である。カナリア FF がデータパスに遅延を挿入したのとは異なり、Razor ではクロックに遅延を挿入している。そのためホールド時間制約の解消が困難になるという問題が生じている。また Razor ではタイミング違反を予報するのではなく、検出する。マイクロプロセッサのような内部状態を巻き戻す機構を持つ LSI では利用可能であるが、ほとんどの LSI にはそのような機構が存在しない。この点でもカナリア FF の方が実用的であると言える。

5.5. 今後期待される効果

エネルギー消費とディペンダビリティの間にはトレードオフがある。高いディペンダビリティを提供するためには、大きなエネルギー消費を要する。現代社会では益々高いディペンダビリティが求められるようになってきており、今後は両者のトレードオフを考慮した省電力化技術が求められるが、(1)の 5.4 節で述べたように本方式は実用性が高いと期待され、加えてディペンダビリティを獲得する方式への応用も期待できるため、ディペンダビリティを考慮したエネルギー消費削減技術への波及が期待される。

6. 省電力メモリおよび省電力レジスタ回路とその制御技術

6.1. 研究内容と成果

マイクロプロセッサではキャッシュメモリやスクラッチパッドメモリなどのオンチップメモリの消費電力とフリップフロップのクロック変化に伴うレジスタ回路における消費電力が非常に大きい。図 6.1 に 0.18 μm テクノロジを使用し独自に設計を行ったマイクロプロセッサ上でベンチマークプログラムを実行した際のマイクロプロセッサの消費電力内訳を示す。プロセッサはクロックゲーティングを適用して設計した。図 6.1 に示す通りマイクロプロセッサにおいてレジスタ回路とオンチップメモリの消費電力が全体の約 40 %を占めることがわかる。マイクロプロセ

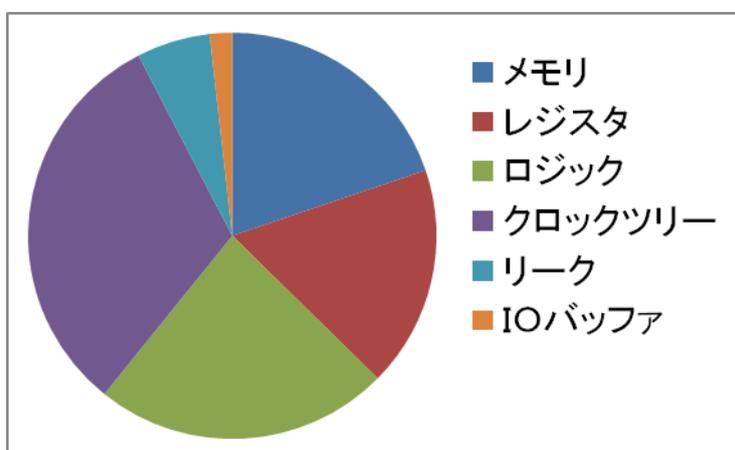


図 6.1 マイクロプロセッサの電力内訳

ッサの低消費電力化のためにはロジック部分と同様にメモリやレジスタ回路の低消費電力化が重要である。ロジック部分は比較的低い電源電圧を利用しやすいが、オンチップメモリの低電圧化は信頼性の劣化を招くため、単純な低電圧化は適用しにくい。本研究では、信頼性を損なうことなくオンチップメモリとレジスタ回路の低消費電力化を実現する技術の開発に取り組んだ。具体的にはオンチップメモリとレジスタ回路の低消費電力化に関して主に次の4つの技術を開発した。

6.1.1. 1サイクルでアクセス可能な2階層キャッシュメモリ

1次キャッシュメモリよりもCPUに近い階層に小容量の0次キャッシュメモリを搭載することによりキャッシュメモリアクセスの省エネルギー化を実現可能であるが、0次キャッシュメモリを備える従来の2階層キャッシュメモリは、0次キャッシュメモリにミスヒットすると1次キャッシュメモリにアクセスするためには1サイクル以上のペナルティサイクルが必要であった。本研究で開発した2階層メモリは図 6.2 に示すように0次キャッシュメモリ (Small-cache) と1次キャッシュメモリ (Main-cache) にいずれも1サイクルでアクセス可能な仕組みを備える。

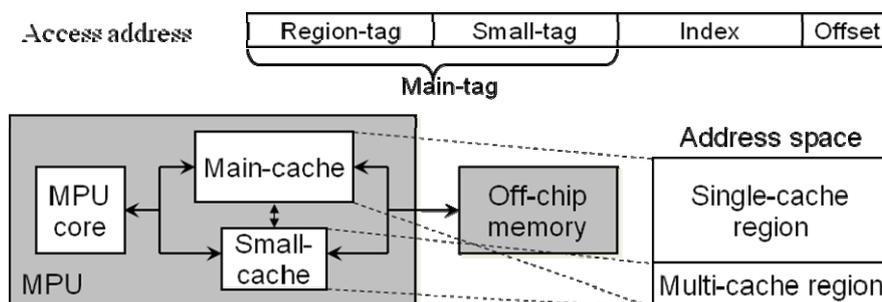


図 6.2 Single-Cycle Accessible Two-Level Cache Memory

従来型の1次階層のみのキャッシュメモリと比べて性能を落とすことなく0次キャッシュメモリ利用によるキャッシュメモリアクセスの省電力化を実現した。この技術により、アプリケーションプログラムによっては、既存の0次キャッシュメモリを用いた手法と比較して消費電力を最大 10%削減できることをシミュレーションにより確認した。

6.1.2. 2電源電圧オンチップメモリ(ハイブリッドメモリ)

SRAM で構成されるオンチップメモリを2種類の異なる電圧を使用するブロックに分割し、低い電圧を割り当てたブロックにアクセスを集中させることにより平均メモリアクセス電力を削減する手法を開発した。従来から多電源電圧を使用する SRAM は多数提案されているが、単純にメモリの電源電圧を低下させるとノイズマージンが劣化し信頼性が低下する。そこで本研究では低い電圧を使用するメモリブロックのセルサイズを最適化し、低電圧下でもスタティックノイズマージンを劣化させない仕組みを開発した。

SRAM のノイズマージンを改善するためには SRAM セルのサイズを大きくする方法が有効であるが、単純にセルサイズを大きくするとメモリの面積増大が問題になる。そこで、全メモリ容量のうち約 15%にあたるメモリブロックのみを低電圧化し大サイズメモリセルに置き換えることによりメモリ全体の面積増大を 3%未満に抑えて平均電力を 50%削減することに成功した。

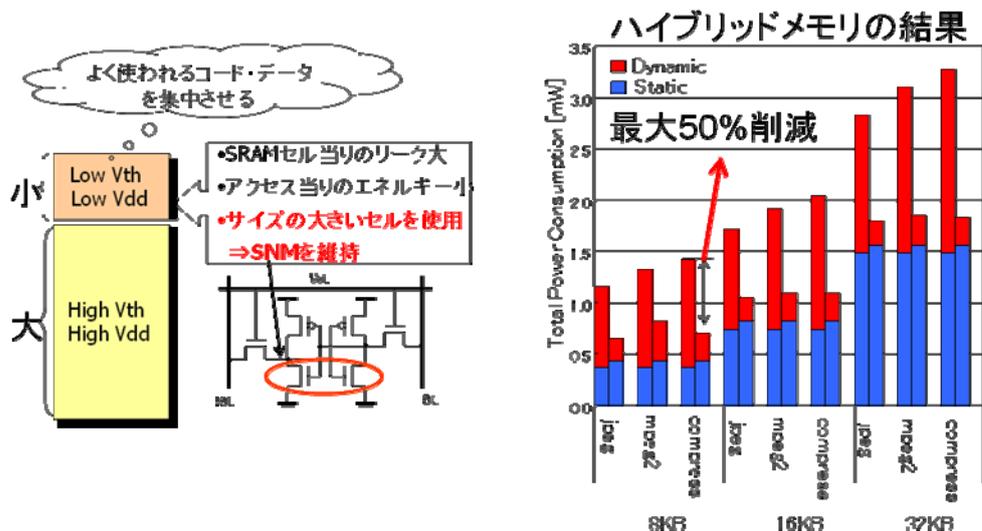
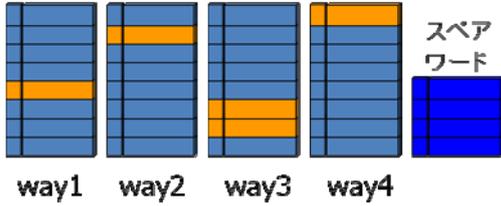


図 6.3 二電源電圧オンチップメモリ(ハイブリッドメモリ)の構成と結果

6.1.3. スペアメモリブロックの有効利用によるオンチップメモリの低消費電力化

オンチップ SRAM モジュールのワードごとのアクセス時間をチップ製造後に計測し、極端にアクセス遅延の大きいワードあるいはキャッシュラインをスペアメモリで置き換えることにより、メモリの性能を劣化させることなく平均消費電力を削減する手法を開発した。スペアメモリは従来から故障したメモリブロックを救済する目的で利用されていたが、本研究ではこれを応用し、プロセスばらつきの保障技術として活用した。最先端の製造技術を利用するとメモリのアクセス時間がメモリセルごとに大きく異なる可能性がある。メモリブロック全体を利用するためには最悪ケースに合わせてメモリアクセスサイクル時間を大きく設定する必要があった。本研究ではごく一部の不良ワード(アクセス時間の大きいワード)をスペアワードで置き換えることにより最悪ケースのメモリアクセス時間を大幅に改善することに成功した。逆に、メモリに供給する電源電圧を低くしても性能劣化とプロセスばらつきの影響を小さく抑えることができ、低電圧効果により平均アクセス電力を大幅に改善することができる。90nm プロセステクノロジーの SPICE モデルを利用したモンテカルロシミュレーションにより、5%のプロセスばらつきを仮定した場合に、わずか40ワード分のスペアワードを用意するだけで 256×256bit のメモリのリーク電力を 70%削減できることを確認した。将来的にメモリブロックのリーク電力の割合が動的電力と同等になると仮定すると(図 6.4 参照)、本手法によりメモリブロック全体の電力を 35%削減できる計算になる。

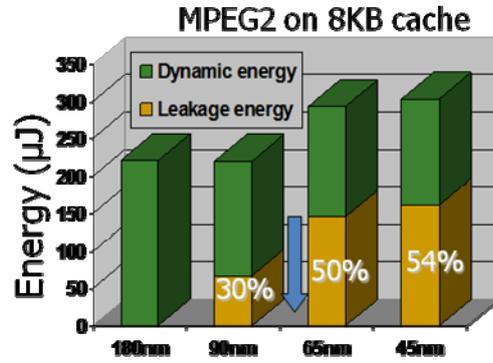
遅延の大きいラインをスペアワードで置き換え



高閾値電圧のプロセスを使用しても最悪ケースの遅延は増えない ⇒ リーク削減

メモリの合計電力を約35%削減(2/3)

ばらつきが5%の時リーク電力を70%削減



電力シェアの将来予想

S Rodriguez et al, "Energy/power breakdown of pipelined nanometer caches (90nm/65nm/45nm/32nm)" ISLPED 2006

図 6.4 スペアメモリワードの利用によるオンチップメモリの低消費電力化

6.1.4. ゲーテッドフリップフロップ結合によるレジスタ回路の低消費電力化

レジスタ回路の低消費電力化のためにはその構成要素であるフリップフロップの低消費電力化が重要である。低消費電力フリップフロップとしてゲーテッドフリップフロップ(以下 GFF)が提案されている。GFF は現在記憶している値と新たに入力される値が異なる時だけフリップフロップにクロックを供給するため、フリップフロップ内部のクロックネットワークで消費される電力は極めて小さい。しかし従来型の GFF は1ビットごとにクロックを停止する回路を備えていたために、このクロック停止回路で消費される電力が大きいという問題があった。さらには、従来型の GFF は回路面積が標準的なフリップフロップの2倍近くあり、面積コストが増大するという問題もあった。

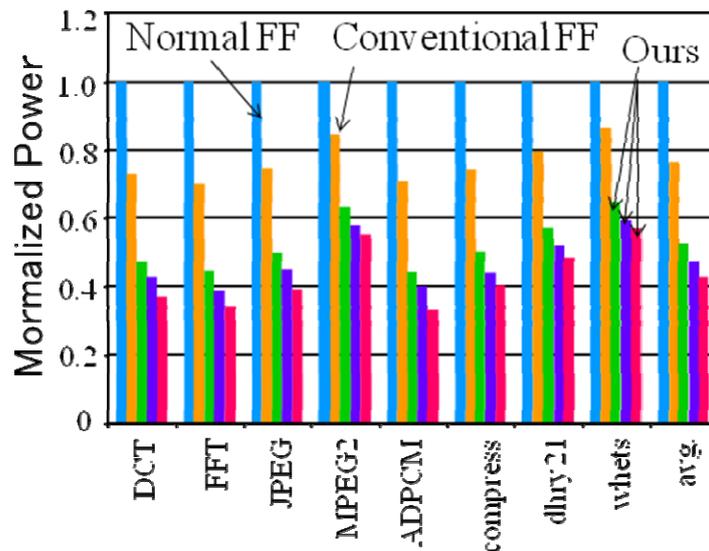


図6.5 GFF の適用による電力削減

本研究では1ビットのゲートドフリップフロップを複数ビット統合することによりクロック停止回路で消費する電力と面積のオーバーヘッドを大幅に削減する方法を開発した。商用の組込みプロセッサのレジスタ回路に、提案する統合 GFF を適用してシミュレーションにより評価した結果、標準的なフリップフロップで構成されるレジスタ回路と比較して 50%以上レジスタ回路の電力を削減できることを確認した(図 6.5 参照)。また、図 6.5 に示す通り、従来型の GFF を適用した場合と比較してもレジスタ回路の消費電力を平均で 27%、最大で 39%削減できることを確認した。

6.2. 今後期待される効果

本章ではメモリのハードウェアの省エネルギー技術についてのみ述べたが、これらのメモリをコンパイラやOSが有効に利用する技術に関しては十分に検討できていない。今後は、対象とするマルチコア・マルチタスクシステムにおいて、コンパイラとOSが上述のメモリを有効に活用し、システムとしてエネルギーを削減する技術を開発する。

7. おわりに

本研究では、組込みシステムに適した省エネルギー指向のプロセッサアーキテクチャおよびソフトウェアによるエネルギー管理技術に関する研究を実施した。プロセッサシステムの電力キャラクタライズと電力見積もりツールに関する研究成果の一部は、九州大学と民間企業との間で「サービスに応じた消費電力管理のためのハードウェアモデリング」に関する共同研究として展開した(2008～2010 年度)。本共同研究により、特許(国内)を1件出願した(特許公開2010-225133)。

また、CREST 研究の最終年である平成23年2月には、内閣府の最先端・次世代研究開発支援プログラムに採択され、「環境エネルギーを使用する情報通信機器の組込みプロセッサアーキテクチャと OS 制御による最適エネルギー管理技術の開発」という研究テーマで、これまでの CREST ULP の研究を発展させて実施する予定である。

CREST ULP 研究における九州大学チームの受賞

- [A-1] 2006 年 IEEE 福岡支部 学生研究奨励賞、李東勲、九州大学、“An Energy Characterization Framework for Software-Based Embedded Systems,” Proc. of the 2006 IEEE/ACM/IFIP Workshop on Embedded Systems for Real Time Multimedia (ESTIMedia 2006), pp.59-64.
- [A-2] 最優秀論文賞受賞、佐藤 寿倫、九州大学、“カナリア・フリップフロップを利用する省電力マイクロプロセッサの評価”，先進的計算基盤システムシンポジウム(SACSYS), pp.227-234, 2007 年 5 月.
- [A-3] IEEE 福岡支部 学生研究奨励賞、石飛百合子、九州大学、“Code placement for Reducing the Energy Consumption of Embedded Processors with

- Scratchpad and Cache Memories”, IEEE/ACM/IFIP Workshop on Embedded Systems for Real-Time Multimedia, pp.13-18, Oct. 2007.
- [A-4] 平成 19 年度連合大会講演奨励賞、Maziar Goudarzi、九州大学、“Variation-Aware Instruction Rescheduling: Reducing Instruction Cache Leakage in Processor-based Embedded Systems,” 電気関係学会九州支部連合大会, page11-2P-05, 2007 年 9 月.
- [A-5] LSI IP デザイン・アワード MeP 賞、山口誠一郎、大山裕一郎(九州大学)、国武勇次(九州工業大学)、松村忠幸、石飛百合子(九州大学)、山口聖貴、李東勲(九州大学)、舟木敏正(九州工業大学)、金田裕介、室山真徳、石原亨、佐藤寿倫(九州大学)、“計算負荷の変動に瞬時適応可能なマルチパフォーマンスプロセッサ”2008 年 4 月.
- [A-6] Intel Asia Academic Forum 2008 Best Research Award, Tohru Ishihara, “Software and Hardware Approaches for Reducing the Energy Consumption of Embedded Systems”, Oct. 2008.
- [A-7] SoC Design Group of IEEK Best Paper Award, International SoC Design Conference (ISOCC), Maziar Goudarzi, Tohru Ishihara (Kyushu Univ.), Nov. 2008,
- [A-8] LG Electronics Co., Ltd. Best Paper Award, International SoC Design Conference (ISOCC), G. Zeng, T. Yokoyama, H. Tomiyama, H. Takada (Nagoya Univ.), and T. Ishihara (Kyushu Univ.), Nov. 2008
- [A-9] 石原亨, 平成 21 年度科学技術分野の文部科学大臣表彰 若手科学者賞, 2009 年 4 月 14 日
- [A-10] 山口誠一郎, 第 140 回情報処理学会 SLDM 研究会優秀発表学生賞, “シングルサイクルアクセス可能な二階層キャッシュアーキテクチャ,” 2009 年 8 月 26 日
- [A-11] Lovic Gauthier, Tohru Ishihara (Kyushu University), Hideki Takase (Nagoya University), Hiroyuki Tomiyama (Ritsumeikan University), Hiroaki Takada (Nagoya University), “Placing Static and Stack Data into a Scratch-Pad Memory for Reducing the Energy Consumption of Multi-task Applications,” SASIMI 2010 Outstanding Paper Award, 2010 年 10 月.
- [A-12] 石原亨, 情報処理学会 長尾真記念特別賞, 2010 年 5 月

発表論文

- [J-1] M. Goudarzi and T. Ishihara, “Value-dependence of SRAM leakage in deca-nanometer technologies”, IEICE Electronics Express, Vol.5, No.1, pp. 23-28, Jan. 2008

- [J-2] Shingo Watanabe, Akihiro Chiyonobu, and Toshinori Sato, ‘‘A Low-Power Instruction Issue Queue for Microprocessors’’, IEICE Transactions on Electronics, Vol.E91-C, No.4, pp.400-409, Apr. 2008.
- [J-3] Shingo Watanabe, Akihiro Chiyonobu, and Toshinori Sato, ‘‘A Low-Power Instruction Issue Queue for Microprocessors’’, IEICE Transactions on Electronics, Vol.E91-C, No.4, pp.400-409, Apr. 2008.
- [J-4] Yuriko Ishitobi, Tohru Ishihara and Hiroto Yasuura, ‘‘Code and Data Placement for Embedded Processors with Scratchpad and Cache Memories,’’ Journal of Signal Processing Systems, Nov. 2008 (online edition).
- [J-5] Maziar Goudarzi, Tohru Ishihara, and Hiroto Yasuura, ‘‘A Software Technique to Improve Lifetime of Caches Containing Ultra-Leaky SRAM Cells Caused by Within-Die Vth Variation,’’ Elsevier Journal of Microelectronics, 39(12), pp. 1797-1808, Dec. 2008 (online edition).
- [J-6] Maziar Goudarzi, Tadayuki Matsumura and Tohru Ishihara, ‘‘Way-Scaling to Reduce Power of Cache with Delay Variation’’, IEICE Trans. Fundamentals, Vol.E91-A, No.12, pp.3576-3584, Dec. 2008.
- [J-7] Maziar Goudarzi, Tohru Ishihara, Hamid Noori, ‘‘Software-Level Instruction-Cache Leakage Reduction using Value-Dependence of SRAM Leakage in Nanometer Technologies,’’ Trans. on HiPEAC (Transactions on High-Performance Embedded Architectures and Compilers), vol.3, issue 4, Nov. 2008..
- [J-8] Maziar Goudarzi, Tohru Ishihara, ‘‘Process-Variation-Aware Instruction Rescheduling to Reduce Leakage in Nanometer Instruction Caches,’’ CSI (Computer Society of Iran) Journal on Computer Science and Engineering, in press.
- [J-9] Seiichiro Yamaguchi, Yuriko Ishitobi, Tohru Ishihara, and Hiroto Yasuura, ‘‘Single-Cycle-Accessible Two-Level Caches and Compilation Technique for Energy Reducion’’, IPSJ Trans. System LSI Design Methodology, vol.2, pp.189-199, Aug. 2009.
doi:10.2197/ipsjtsldm.2.189
- [J-10] Tadayuki Matsumura, Tohru Ishihara, and Hiroto Yasuura, ‘‘An Optimization Technique for Low-Energy Embedded Memory Systems’’, IPSJ Trans. System LSI Design Methodology, vol. 2, pp. 239-249, Aug. 2009.
doi:10.2197/ipsjtsldm.2.239
- [J-11] Maziar Goudarzi, Tohru Ishihara, ‘‘SRAM Leakage Reduction by Row/Column Redundancy Under Random Within-die Delay Variation,’’ IEEE Trans. VLSI Systems, in press.

doi:10.1109/TVLSI.2009.2026048

- [J-12] T. Ishihara, "A Multi-Performance Processor for Reducing the Energy Consumption of Real-Time Embedded Systems," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, E93-A, No.12, pp. 2533-2541, Dec. 2010.
- [M-1] 石原 亨, "ソフトウェアに対する電力見積もりと電力削減技術," 電子情報通信学会 基礎・境界ソサイエティ誌「ファンダムレビュー」, Vol.2, No.3、2009年1月
- [I-1] 石原亨 (九州大学), 富山宏之 (名古屋大学), "低消費電力化ソフトウェア技術," 組込みソフトウェアシンポジウム, 東京, 2005年10月.
- [I-2] T. Ishihara, "Energy-Efficient Embedded System Design at 90nm and Below - A System-Level Perspective -, " International Workshop on Advanced Low Power Systems, Cairns, Australia, July, 2006.
- [I-3] M. Goudarzi, T. Ishihara and H. Yasuura, "Variation Aware Compilation for Improving Energy-Efficiency of Nanometer Processor Caches," Workshop on Compiler-Assisted SoC Assembly (CASA'06), October, 2006
- [I-4] T. Ishihara and M. Goudarzi, "System-Level Techniques for Estimating and Reducing Energy Consumption in Real-Time Embedded Systems", International SoC Design Conference, pp.67-72, Oct. 2007.
- [I-5] 石原 亨, "今さら聞けないローパワー ~ 教えます。現場で使えるローパワー設計 ~ ," Electronic Design and Solution Fair 2008 (EDSFair2008) , 2008年1月.
- [I-6] 石原 亨, "ソフトウェアの消費エネルギー解析と最適化技術," 第21回 回路とシステム (軽井沢) ワークショップ論文集, pp. 343-348, 2008年4月
- [I-7] Maziar Goudarzi, Tohru Ishihara, "Redundancy Techniques for SRAM Leakage Reduction in Presence of Within-Die Delay Variation," in Proc. of International SoC Design Conference, Nov. 2008.
- [I-8] Tohru Ishihara, "Real-Time Dynamic Voltage Hopping on MPSoCs," 9th International Forum on Embedded MPSoC and Multicore, Savannah, Georgia, USA, Aug. 2009.
- [I-9] Tohru Ishihara, "Real-Time Power Management for a Multi-Performance Processor," International SoC Design Conference, Busan, Korea, Nov. 2009.
- [I-10] 石原亨, "組込みシステムの消費エネルギー見える化と省エネルギー技術," LSI とシステムのワークショップ2010, 北九州, 2010年5月18日

- [I-11] L. Gauthier and T. Ishihara, "Compiler Assisted Energy Reduction Techniques for Embedded Multimedia Processors," Asia-Pacific Signal and Information Processing Association (APSIPA) Annual Summit and Conference 2010, Biopolis, Singapore, Dec. 2010.
- [C-1] 李東勲, 石原亨, 室山真徳, 安浦寛人 (九州大学), Farzan Fallah (米富士通研), "マイクロプロセッサのエネルギー消費特性抽出とソフトウェアデバッグを用いた消費エネルギー見積もり," 組込技術とネットワークに関するワークショップ ETNET2006, 2006年3月.
- [C-2] S. Yamaguchi, M. Muroyama, T. Ishihara, H. Yasuura, "Exploiting Narrow Bitwidth Operations for Low Power Embedded Software Design", Workshop on Synthesis And System Integration of Mixed Information Technologies, 2006.04.
- [C-3] T. Sato (Kyushu Univ.) and A. Chiyonobu (Kyushu Institute of Tech.), "Multiple Clustered Core Processors," Proc. of 13th Workshop on Synthesis and System Integration of Mixed Information Technologies, pp.262-267, Nagoya, Apr., 2006.
- [C-4] 山口 誠一郎, 室山 真徳, 石原 亨, 安浦 寛人, "オペランドのビット幅を考慮したソフトウェアレベル消費エネルギー削減手法," 電子情報通信学会技術研究報告, Vol.106, No.31, pp.13-18, 松山, 2006年5月.
- [C-5] S. Yamaguchi, M. Muroyama, T. Ishihara, and H. Yasuura, "Exploiting Narrow Bitwidth Operations for Low Power Embedded Software Optimization," Proc. of the International PhD Student Workshop on SOC, Taiwan, Jul. 2006.
- [C-6] D. Lee, T. Ishihara, M. Muroyama, H. Yasuura (Kyushu Univ.) and F. FALLAH (Fujitsu Lab. of America), "An Energy Characterization Framework for Software-Based Embedded Systems", IEEE Workshop on Embedded Systems for Real-Time Multimedia, 2006.10.
- [C-7] M. Goudarzi, T. Ishihara and H. Yasuura, "A Software Technique to Improve Yield of Processor Chips in Presence of Ultra-Leaky SRAM Cells Caused by Process Variation", Asia and South Pacific Design Automation Conference, Yokohama, Japan, Jan., 2007.
- [C-8] M. Goudarzi, T. Ishihara and H. Yasuura, "Ultra-Leaky SRAM Cells Caused by Process Variation: Detection and Leakage Suppression at System-Level", International CSI Computer Conference, Tehran, Iran, Feb., 2007.
- [C-9] 松村忠幸、室山真徳、石原亨、安浦寛人、"プロセスばらつきを考慮した SRAM セルの低消費電力設計手法"、電子情報通信学会総合大会、AS-3-1, 名古屋, 2007年3月.
- [C-10] 石飛百合子、石原亨、室山真徳、安浦寛人、"プロセッサベース組込みシステムの省

エネルギー化を目的としたコード配置手法”、電子情報通信学会総合大会、AS-3-2、名古屋、2007年3月。

- [C-11] 山口誠一郎、室山真徳、石原亨、安浦寛人、“プロセッサベース組込みシステムの低消費電力化を目的としたクロックゲーティング命令に関する検討”、電子情報通信学会総合大会、A-3-18、名古屋、2007年3月。
- [C-12] T. Sato (Kyushu Univ.) and Y. Kunitake (Kyushu Institute of Tech.) , “A Simple Flip-Flop Circuit for Typical-Case Designs for DFM,” Proc. of International Symposium on Quality Electronic Design, pp.539-545, San Jose, USA, Mar. 2007.
- [C-13] 佐藤 寿倫, “カナリア・フリップフロップを利用する省電力マイクロプロセッサの評価 ” , 先進的計算基盤システムシンポジウム(SACSIS), pp.227-234, 2007年5月。
- [C-14] 佐藤 寿倫 (九州大学), 国武 勇次 (九州工業大学), “カナリア・フリップフロップを利用する DVS 方式の改良”, 情報処理学会研究報告, 2007-ARC-173, Vol. 2007, No. 55, pp.43-48, 2007年5月。
- [C-15] 石飛 百合子, 石原 亨, 安浦 寛人, “スクラッチパッドメモリを考慮したコード配置最適化による組込みシステムの低消費エネルギー化”, 情報処理学会 DA シンポジウム, pp.85-90, 2007年8月。
- [C-16] T. Sato (九州大学) and Y. Kunitake (九州工業大学), “Exploiting Input Variations for Energy Reduction” , 17th International Workshop on Power and Timing Modeling, Optimization and Simulation, pp.384-393, Sep. 2007.
- [C-17] 石飛 百合子, 石原 亨, 安浦 寛人, “組込みシステムの低消費エネルギー化を目的としたコード配置最適化とその ILP モデルの提案” , 電気関係学会九州支部連合大会, pp.206, 2007年9月。
- [C-18] 山口 誠一郎, 室山 真徳, 石原 亨, 安浦 寛人, “小容量オンチップメモリの有効利用による組込みシステムの低消費エネルギー化” , 電気関係学会九州支部連合大会講演論文集, pp.207, 2007年9月。
- [C-19] M. Goudarzi and T. Ishihara, “Variation-Aware Instruction Rescheduling: Reducing Instruction Cache Leakage in Processor-based Embedded Systems,” 電気関係学会九州支部連合大会, page. 11-2P-05, 2007年9月。
- [C-20] Y. Ishitobi, T. Ishihara, and H. Yasuura, “Code placement for Reducing the Energy Consumption of Embedded Processors with Scratchpad and Cache Memories” , Proc. of 2007 IEEE/ACM/IFIP Workshop on Embedded Systems for Real-Time Multimedia, pp.13-18, Oct. 2007.
- [C-21] M. Goudarzi, T. Matsumura, and T. Ishihara, “Taking Advantage of Within-Die Delay-Variation to Reduce Cache Leakage Power Using Additional Cache-Ways” ,

- International Workshop on Dependable Embedded Systems (WDES), Oct. 2007.
- [C-22] T. Matsumura, Y. Ishitobi, T. Ishihara, M. Goudarzi, and H. Yasuura, “A Hybrid Memory Architecture for Low Power Embedded System Design”, Proceedings of the Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.56-62, Oct. 2007.
- [C-23] T. Sato (九州大学) and Y. Kunitake (九州工業大学), “Critical Issues Regarding a Variation Resilient Flip-Flop”, 14th Workshop on Synthesis and System Integration of Mixed Information Technologies, pp.280-286, Oct. 2007.
- [C-24] 松村 忠幸, 石飛 百合子, 石原 亨, 安浦 寛人, “コード配置変更によるハイブリッドローカルメモリの消費エネルギー最小化”, 情報処理学会研究報告, 2007-SLDM-131, pp.25-30, Oct. 2007.
- [C-25] S. Watanabe, A. Chiyonobu (九州工業大学) and T. Sato (九州大学), “Indirect Tag Search Mechanism for Instruction Window Energy Reduction”, 7th International Conference on Computer and Information Technology, pp.841-846, Oct. 2007.
- [C-26] 石飛 百合子, 石原 亨, 安浦 寛人, “組込みプロセッサのエネルギー消費を最小化するコード配置最適化問題の ILP モデル”, 電気情報通信学会技術研究報告, VLD2007-75, Vol.107, No.334, pp.31-36, Nov. 2007.
- [C-27] 山口 誠一郎, 室山 真徳, 石原 亨, 安浦 寛人, “マルチタスク組込みアプリケーションの低消費エネルギー化のためのメモリ管理技術”, 電子情報通信学会技術研究報告, Vol.107, No.334, pp.25-29, Nov. 2007.
- [C-28] M. Goudarzi, T. Ishihara, H. Noori (九州大学), “Variation-Aware Software Techniques for Cache Leakage Reduction using Value-Dependence of SRAM Leakage due to Within-Die Process Variation,” Int’l Conf. on High Performance Embedded Architectures & Compilers (HiPEAC’08), LNCS 4917, pp. 224-239, Jan. 2008.
- [C-29] 山口誠一郎、大山裕一郎 (九州大学)、国武勇次 (九州工業大学)、松村忠幸、石飛百合子、山口聖貴、李東勲、金田裕介 (九州大学)、舟木敏正 (九州工業大学)、室山真徳、石原亨、佐藤寿倫 (九州大学)、“負荷変動に瞬時適応可能なマルチパフォーマンスプロセッサの設計と評価”、情報処理学会研究報告, 2007-SLDM-134, 2008年3月.
- [C-30] S. Watanabe (九州工業大学) and T. Sato (九州大学), “Uncriticality-directed Low-power Instruction Scheduling”, IEEE Computer Society Annual Symposium on VLSI, pp.69-74, Apr. 2008.
- [C-31] T. Ishihara, S. Yamaguchi, Y. Ishitobi, T. Matsumura, Y. Kunitake, Y. Oyama, Y. Kaneda, M. Muroyama and T. Sato (Kyushu Univ.), “AMPLE: An Adaptive Multi-Performance Processor for Low-Energy Embedded Applications,” IEEE

Symposium on Application Specific Processors, pp.83-88, Jun. 2008.

- [C-32] M. Goudarzi and T. Ishihara, "Row/Column Redundancy to Reduce SRAM Leakage in Presence of Random Within-Die Delay Variation," International Symposium on Low Power Electronics and Design (ISLPED), pp.93-98, Aug. 2008.
- [C-33] 松村忠幸、石原亨、安浦寛人、"コード配置とメモリ構成の同時最適化による省電力化手法," DA シンポジウム 2008 論文集, pp13-18, 2008 年 8 月.
- [C-34] 石飛百合子、石原亨、安浦寛人、"キャッシュウェイ割当てとコード配置最適化による組込みプロセッサの省エネルギー化," DA シンポジウム 2008 論文集, pp19-24, 2008 年 8 月.
- [C-35] 山口誠一郎、石飛百合子、室山真徳、石原亨、安浦寛人、"組込みシステムの消費エネルギー削減を目的とした不均一キャッシュアーキテクチャ," DA シンポジウム 2008 論文集, pp25-30, 2008 年 8 月.
- [C-36] S. Yamaguchi, T. Ishihara, H. Yasuura, "A Single Cycle Accessible Two-Level Cache Architecture for Reducing the Energy Consumption of Embedded Systems," In Proc. of International SoC Design Conference (ISOCC), Busan, Korea, Nov. 2008.
- [C-37] G. Zeng, T. Yokoyama, H. Tomiyama, H. Takada (Nagoya Univ.), and T. Ishihara (Kyushu Univ.), "A Generalized Framework for System-Wide Energy Savings in Hard Real-Time Embedded System," In Proc. of International Conference on Embedded and Ubiquitous Computing (EUC), pp. 206-213, Shanghai, China, Dec. 2008.
- [C-38] 石飛百合子、石原亨、安浦寛人、"Non-uniform Selective Way Cache の動的制御による組込みプロセッサの省エネルギー化," 電子情報通信学会技術研究報告, Vol.108, No.463, pp.13-18, 2009 年 3 月.
- [C-39] 山口誠一郎、石原亨、安浦寛人、"シングルサイクルアクセス可能な二階層キャッシュアーキテクチャ," 電子情報通信学会技術研究報告, Vol.108, No.463, pp.19-24, 2009 年 3 月.
- [C-40] T. Sato, S. Watanabe, "Uncriticality-directed Scheduling for Tackling Variation and Power Challenges," 10th International Symposium on Quality Electronic Design, March 2009.
- [C-41] 奥平 拓見, 石原 亨, 井上 弘士, "ゲーテッドフリップフロップの多ビット統合によるレジスタ回路の低消費電力化," DA シンポジウム論文集, pp.25-30, Aug. 2009.
- [C-42] Lovic Gauthier, Tohru Ishihara, "Optimal stack frame placement and transfer for energy reduction targeting embedded processors with scratch-pad memories," In Proc. of IEEE Workshop on Embedded Systems for Real-Time

Multimedia (ESTIMedia), pp.116-125, Nov. 2009.

- [C-43] Takumi Okuhira, Tohru Ishihara, “Unification of Multiple Gated Flip-Flops for Saving the Power Consumption of Register Circuits,” In Proc. of International Conference on Embedded Systems and Intelligent Technology (ICESIT), Feb. 2010.
- [C-44] C. Zang and T. Ishihara, “An Implementation of Energy Efficient Multi-Performance Processor for Real-Time Applications,” in Proc. of International Conference on Green Circuits and Systems, pp.211-216, June, 2010.
- [C-45] L. Gauthier, T. Ishihara (Kyushu Univ.), and H. Takada (Nagoya Univ.), “Stack Frames Placement in Scratch-Pad Memory for Energy Reduction of Multi-task Applications,” DA シンポジウム論文集, pp.171-176, 豊橋, 2010年9月.
- [C-46] Lovic Gauthier, Tohru Ishihara (Kyushu Univ.), Hideki Takase (Nagoya Univ.), Hiroyuki Tomiyama (Ritsumeikan Univ.), Hiroaki Takada (Nagoya Univ.), “Placing Static and Stack Data into a Scratch-Pad Memory for Reducing the Energy Consumption of Multi-task Applications,” In Proc. of Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), pp. 7-12, Taipei, Taiwan, Oct. 2010.
- [C-47] T. Okuhira and T. Ishihara, “A Power Efficient Unified Gated Flip-Flop,” In Proc. of Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), pp. 424-429, Taipei, Taiwan, Oct. 2010.
- [C-48] Lovic Gauthier, Tohru Ishihara (Kyushu Univ.), Hideki Takase (Nagoya Univ.), Hiroyuki Tomiyama (Ritsumeikan Univ.), Hiroaki Takada (Nagoya Univ.), “Minimizing Inter-Task Interferences in Scratch-Pad Memory Usage for Reducing the Energy Consumption of Multi-Task Systems,” In Proc. of International Conference on Compilers, Architecture, and Synthesis for Embedded Systems (CASES), pp. 157-166, Scottsdale, AZ, USA, October 2010.
- [C-49] Yoshimi Otsuka (Fukuoka Univ.), Toshinori Sato (Fukuoka Univ. / Kyushu Univ.), Takahito Yoshiki, Takanori Hayashida (Fukuoka Univ.), MultiCore Energy Reduction Utilizing Canary FF, 10th International Symposium on Communications and Information Technologies, pp.922-927, October 2010.
- [P-1] 大山裕一郎、室山真徳、石原亨、佐藤寿倫、安浦寛人(九州大学)、“低消費エネルギーシステムのための適応型マルチパフォーマンスプロセッサ”、電子情報通信学会総合大会ポスターセッション、ISS-P-61、2007年3月
- [P-2] Y. Oyama, T. Ishihara, T. Sato and H. Yasuura (九州大学), “A Multi-Performance Processor for Low Power Embedded Applications”, COOL Chips

- X IEEE Symposium on Low-Power and High-Speed Chips, Vol. 1, pp.138, Apr. 2007.
- [P-3] M. Goudarzi, T. Matsumura and T. Ishihara, ``Cache Power Reduction in Presence of Within-Die Delay Variation using Spare Ways'', IEEE Annual Symposium on VLSI (ISVLSI), Apr. 2008.
- [P-4] M. Goudarzi and T. Ishihara, ``Instruction Cache Leakage Reduction by Changing Register Operands and Using Asymmetric SRAM Cells'', Great Lakes Symposium on VLSI (GLSVLSI), May. 2008.
- [P-5] T. Matsumura, T. Ishihara and H. Yasuura, ``Simultaneous optimization of memory configuration and code allocation for low power embedded systems'', ACM Great Lakes Symposium on VLSI (GLSVLSI), pp.403-406, May. 2008.
- [P-6] 高瀬英希(名古屋大学), 小原俊逸, 深谷哲司(東芝), Lovic Gauthier, 石原亨(九州大学), 富山宏之(立命館大学), 高田広章(名古屋大学), “ソフトウェアとハードウェアの協調による組込みシステムの消費エネルギー最適化,” ポスター発表, 第12回組込みシステム技術に関するサマーワークショップ (SWEST12), 豊橋, 2010年9月.