メタル・ソース/ドレイン型Ge-CMOSのためのデバイス化技術に関する研究

永富, 雄太

https://doi.org/10.15017/1807082

出版情報：九州大学, 2016, 博士（工学）, 課程博士
バージョン：

メタル・ソース／ドレイン型 Ge-CMOS のためのデバイス化技術に関する研究

永冨　雄太

目次

第1章　序論

1.1 研究の背景 : CMOS デバイスの高性能化とスケーリング

今日、半導体はパーソナルコンピュータやスマートフォン等の情報通信機器分野だけでなく、車や医療分野にも広く使用されており、人類に便利で快適な生活をもたらしている。半導体の誕生は、1874 年の整流器の発明に始まり[1]、1947 年に Ge を材料に用いた点接触型トランジスタ[2]、1948 年に同じく Ge を用いた接合型トランジスタが発明され、デジタル世界への扉が開いた[3]。特に、1959 年に発明されたバイポーラ集積回路（IC: Integrated Circuit）によってその歴史は大きく動き始めた[4,5]。この頃から、Si 表面に安定な酸化膜（SiO_2）が形成できるという利点から、Ge を Si に置き換えたプレナーIC が開発された。以降、Si をベースとして、バイポーラからユニポーラトランジスタ、そして金属/酸化膜/半導体（MOS: Metal-Oxide-Semiconductor）トランジスタへと変革され、爆発的な性能向上を遂げて今日の超大規模半導体集積回路（ULSI: Ultra Large Scale Integrated Circuit）に繋がる[6]。

一方で、情報化社会の発展に伴い、情報通信機器による電力消費量も増大している。2025 年には国内総消費電力の 20%にまで達することが予測されており、ULSI の低消費電力化は喫緊の課題となっている（図 1.1）[7]。

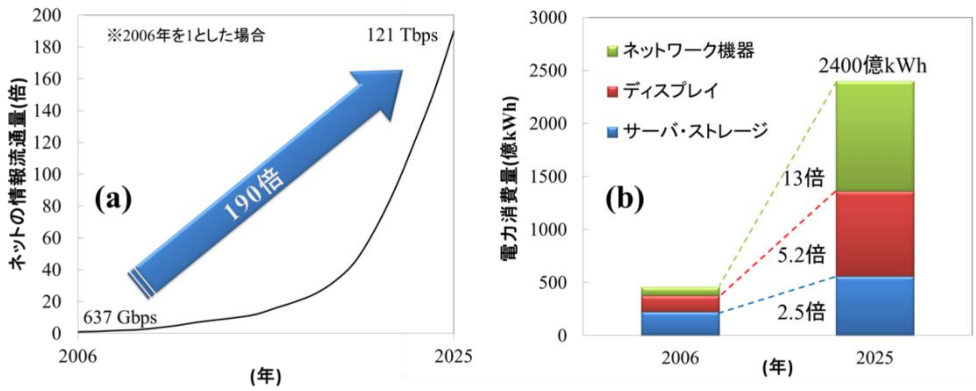

図 1.1 情報通信機器の（a）情報流通量と（b）電力消費量の予測.

ULSI の性能向上は、基本構成素子である MOS 電界効果トランジスタ（FET: Field-Effect Transistor）の高速・低消費電力化によって推進されてきた[8]。MOSFET は伝導するキャリア（電子・正孔）の種類によってそれぞれ n チャネルおよび p チャネル MOSFET（n-および p-MOSFET）と呼ばれ、この両者を近接した素子構造が相補型 MOS（CMOS: Complementary MOS）デバイスである。MOSFET の断面構造図を図 1.2 に示す。MOSFET は、キャリアの入口となるソース（S: Source)、キャリアの出口となるドレイン（D: Drain)、そしてソース/ドレイン(S/D)間のキャリア伝導を水門の開閉の様に制御するゲート(G: Gate)、による 3 端子からなるスイッチング素子である。その原理は、ゲートに印加する電圧によって絶縁膜直下の半導体層（~1-2 nm）にキャリアを誘起して、導通路（チャネル）を形成することでその伝導を制御するものである。

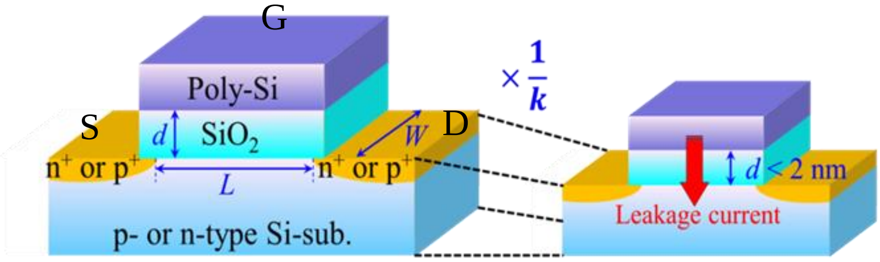

図 1.2 MOSFET の断面図とその微細化.

MOSFET の性能向上は、ムーアの法則に従った微細化（スケーリング）によって推進されてきた[8]。スケーリングとは、MOSFET を三次元的に比例縮小し、同時に電源電圧を低下および不純物濃度を増加させることで、高集積化・高速化・低消費電力化が達成できるという指導原理である。MOSFET の飽和領域に於けるドレイン電流－ゲート電圧（I_D-V_G）特性は式（1.1）で表される。

$$I_D = \frac{W}{2L}\mu C_{OX}(V_G - V_{TH})^2 \qquad (1.1)$$

ここで、W および L はチャネル幅およびチャネル長、μ はチャネルを伝導するキャリアの電界効果移動度、C_{OX} はゲート絶縁膜（酸化膜）の単位面積当たりの容量、V_{TH} はしきい値電圧である。また、C_{OX} は式（1.2）で与えられる。

$$C_{OX} = \frac{\varepsilon_r \varepsilon_0}{d} \tag{1.2}$$

ここで、ε_r および ε_0 はそれぞれ絶縁膜の比誘電率および真空中の誘電率、d は絶縁膜厚である。スケーリングに従って式（1.2）の d を 1/k にした場合、C_{OX} は k 倍となり、V_G を 1/k にすれば式（1.1）より I_D は 1/k となる。このため、消費電力は $V_D I_D$ で与えられるので、$1/k^2$ にまで低減できて素子面積も $1/k^2$ となる。表 1.1 にスケーリングに関する各パラメータを纏めた。以上がスケーリングの概要で、この原理を用いて Si をベースとした MOSFET は性能向上を遂げてきた。

しかし、近年微細化を極限まで推進した結果、ゲート絶縁膜のリーク電流増大や移動度の低下等の問題（図 1.3）が顕在化し、性能低下や消費電力増大といった問題が生じている[9]。ゲート絶縁膜に於けるリーク電流増加は、絶縁膜が 2 nm 以下にまで薄くなったことに伴い、量子力学的トンネル効果によって発生するものである。現在、ムーアの法則に従ったスケーリングは物理的限界に直面しており、更なる性能向上を得るためには、従来のスケーリングに頼らない新たな手法が求められる。それが、材料・構造を変更する「ポストスケーリング技術」である。

表 1.1 MOSFET の微細化に関するパラメータ.

	スケーリング比
平面寸法	1/k
縦方向寸法	1/k
不純物濃度	k
電源電圧	1/k
電流	1/k
面積	$1/k^2$
電流密度	k
容量	k
遅延時間	1/k
消費電力	$1/k^2$

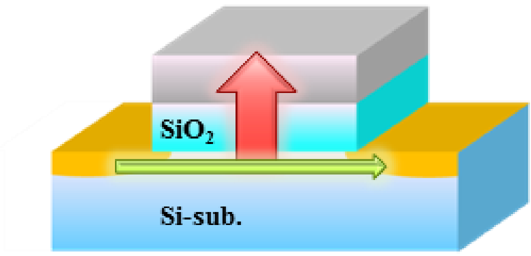

図 1.3 極薄 SiO_2 ゲートで発生する縦方向リーク電流.

1.2 ポストスケーリング技術

図 1.4 は、MOSFET に於ける代表的なポストスケーリング技術である、チャネルエンジニアリング、ゲートスタックエンジニアリング、およびソースエンジニアリング、を示したものである。1.2 節ではこれらの 3 つの技術について述べる。

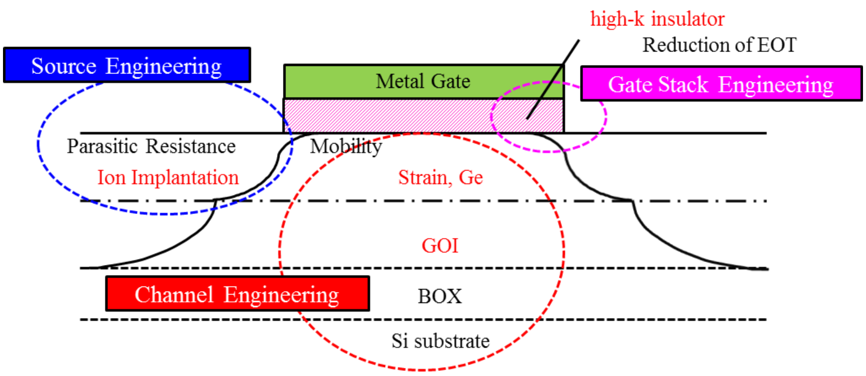

図 1.4 ポストスケーリング技術.

1.2.1 ゲートスタックエンジニアリング

1.1 節で述べた様に、ゲート絶縁膜の薄膜化は物理的限界を迎えている。いかなる材料を用いようとも、物理膜厚が 2 nm 以下になると量子力学的トンネル効果によってリーク電流が発生してしまう。そのため、MOSFET のゲート絶縁膜を 2 nm 以下の領域で用いることはできない。そこで注目されたのが式(1.2)の ε_r である。ε_r は C_{OX} と比例関係にあるため、従来ゲート絶縁膜に用いられてきた SiO_2 の ε_r（=3.9）よりも k 倍高い材料を絶縁膜に用いれば、C_{OX} も k 倍となる。つまり、物理膜厚を 2 nm 以下にすることなく、SiO_2 膜換算で 2 nm 以下の C_{OX} を得ることができ、トンネル効果によるリーク電流を抑制することができる（図 1.5）。この様に、ε_r の高い材料を high-*k* 材料と呼び、high-*k*/半導体構造はゲート絶縁膜の C_{OX} を高める有力な手法として盛んに研究されている。表 1.2 に各 high-*k* 材料の ε_r を纏めた。ゲート絶縁膜の厚さの指標としては、等価 SiO_2 換算膜厚（EOT: Equivalent oxide thickness）が用いられる。これは、SiO_2 膜換算でどの程度の厚さに対応するかを示す指標である。例えば、EOT=1 nm は、SiO_2 膜が 1 nm の場合に得られる C_{OX} を電気的に実現する MOS 構造を意味する。

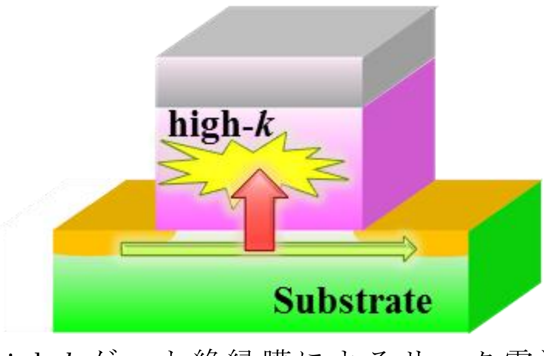

図 1.5 high-*k* ゲート絶縁膜によるリーク電流の抑制.

一方で、Si-MOSFET のゲート電極には、従来多結晶シリコン（ポリ Si）が採用されてきた。このゲート電極はイオン注入によって不純物をポリ Si 中へ高濃

度に導入して低抵抗化を図るが、同時に S/D の位置にも不純物を導入する。そのため、S/D の形成とゲート電極形成が同時にできるため、自己整合プロセスと呼ばれる。このプロセスは、シンプルであることから ULSI の高性能化を牽引してきた技術の 1 つである。しかし、ポリ Si 電極は高濃度に不純物添加した半導体であるため、ポリ Si/酸化膜界面近傍でわずかにポリ Si が空乏化する。このため、絶縁膜が極めて薄い領域では、ポリ Si の空乏層が EOT の増加要因となる。従って EOT を低減するためには、空乏層が形成されない金属をゲート電極として採用するのが有効とされる。

以上のことから、EOT の低いゲートスタック形成には、メタルゲート電極および high-*k* 膜を用いたメタル/high-*k* 構造が必要である。

表 1.2 high-k ゲート絶縁膜材料候補と種々の値.

材料	比誘電率	バンドギャップ [eV]	電子に対する障壁高さ[eV]	正孔に対する障壁高さ[eV]	結晶化温度 [^{o}C]
SiO_2	3.9	9	3.5	4.4	>1000
Si_3N_4	7	5.3	2.4	1.8	>1000
Al_2O_3	8.5~10	8.8	2.8	4.9	>1000
Y_2O_3	12~15	5.6	2.3	2.2	-
La_2O_3	27	4.3	2.3	0.9	-
Ta_2O_5	25	4.4	0.36	2.94	~600
TiO_2	80	3.5	0	2.4	~400
ZrO_2	11~18.5	5.8	1.4	3.3	~400
HfO_2	24	6	1.5	3.4	~400
$HfSiO_4$	-	6	1.5	3.4	-

1.2.2 チャネルエンジニアリング

1.2.1 節で述べた様に、駆動電流（I_D）の向上は絶縁膜の EOT 低減による C_{OX} の増加が極めて有効な手法である。同様に、I_D を向上させる手法として、式(1.1)中の μ に着目したチャネルエンジニアリングがある。従来チャネル材料として使用されてきた Si の真性キャリア移動度は電子および正孔でそれぞれ 1500 および 450 cm^2/Vs で[6]、この移動度を向上させる 1 つの手法として歪 Si 技術が盛んに研究されてきた[10-13]。歪 Si 技術とは、ゲート絶縁膜下のチャネル領域に応力を印加し、結晶格子を歪ませることでキャリア移動度を増加させる手法で、現在既に実用化されている技術である[14]。チャネル領域に引っ張り歪を加えると、有効質量が減り、電子の散乱が減少して電子の移動度が向上する。また、圧縮歪を加えた場合、正孔移動度が向上する。

しかし、大きな歪導入は困難なため、その利用には限界がある。そのため、高移動度材料をチャネルに用いる手法が検討されている。1.2.1 で述べた様に、Si-MOSFET のゲート絶縁膜には従来 SiO_2 が採用されてきた。これは、SiO_2 膜が Si の酸化によって容易に形成でき、また、SiO_2/Si 構造が高品質な界面特性を示すためである[15]。しかし、ゲート絶縁膜に high-*k* 材料を用いるのであれば、チャネル材料を Si とする必要性はない。表 1.3 に新チャネル材料の候補とそのキャリア移動度を示す[6]。Ⅲ-Ⅴ族半導体は非常に高い電子移動度を示すが、正孔移動度は低い。従って、CMOS デバイスの n-MOSFET をⅢ-Ⅴ族半導体で構成する場合、p-MOSFET のチャネル材料には正孔移動度の高い別の材料を用いる必要がある[16]。しかし、p-および n-MOSFET を異なるチャネル材料で構成するには非常に高度な技術が必要であり、相互汚染等の課題も懸念される。一方で、Ge は電子・正孔共に Si よりも高いキャリア移動度を持つため、Si と同じように 1 つのチャネル材料で p-および n-MOSFET が実現できる。また、Ge

に圧縮歪を加えた場合、Si の 10 倍以上の正孔移動度を示すことが理論計算により報告されている[17,18]。従って、Ge は次世代 CMOS デバイスの有力なチャネル材料候補として注目されている。

しかし、人類がこれまで築いてきた高度な Si 技術を全て手放し、新たに全ての技術を Ge で構築することは、コスト・技術の面で現実的ではない[19]。従って、より高速・低消費電力化が求められる CMOS を Ge で実現することが望ましい。そのため、Ge-CMOS デバイスは、Si プラットフォーム上の一部に限定的に採用されると予測される。そのためには、Si 技術と Ge 技術の融合が必要で、特に Ge 薄膜を SiO_2 上に配置した Ge-On-Insulator（GOI）構造が必須となる。

表 1.3 新チャネル材料の候補とそのキャリア移動度.

	Ge	Si	GaAs	InSb	InP
正孔移動度（cm^2/Vs）	1900	450	400	1250	150
電子移動度（cm^2/Vs）	3900	1500	8500	80000	4600

1.2.3 ソースエンジニアリング

従来の Si-MOSFET に於ける S/D は pn 接合型が採用されており、これはポリ Si ゲート電極形成のためのイオン注入と同時に、自己整合的に形成されるものである。pn 接合型 S/D の寄生抵抗（R_{P}）は、図 1.6 に示す様に、金属/半導体接合に於けるコンタクト抵抗（R_{C}）と不純物導入した領域のシート抵抗（R_{SH}）からなる。R_{C} はコンタクト抵抗率（ρ_{C}）に比例し、面積（S）に反比例する。また、ρ_{C} は $\rho_{\mathrm{C}} \propto \exp(\Phi_{\mathrm{B}}/\mathrm{C}\sqrt{N})$ で与えられる。ここで、Φ_{B} は障壁高さ、C は定数、N はドーピング濃度である。従って、デバイスサイズを縮小する（S を小さくする）スケーリングに於いて R_{C} の増大を抑制するためには、S/D をより高濃度で浅い接合としなければならない。しかし、チャネル材料を Ge に変更した場合、表 1.4 および図 1.7 に示す様に、Si よりも低い不純物固溶度と高い拡散係数が問題となる[6,20,21]。特に P や Sb などの不純物を用いた n^{+}-S/D 形成に於いて、高濃度で極浅の pn 接合型 S/D を形成するのが非常に困難となる[20]。

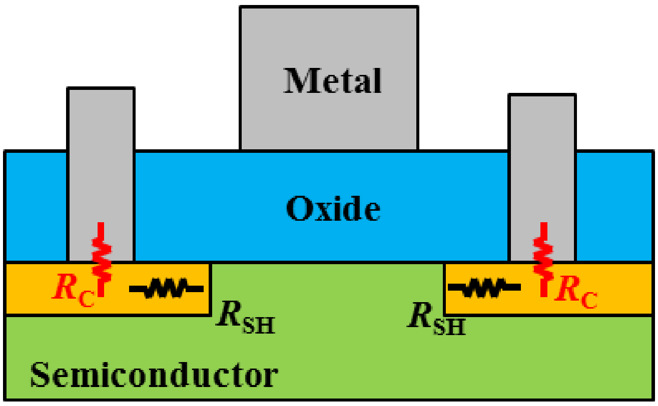

図 1.6 MOSFET の S/D に於けるコンタクト抵抗とシート抵抗.

表 1.4 Ge および Si の最大不純物固溶度[6,20].

Doping element	Ge	Si
B	5.5×10^{18} at./cm^3	8.0×10^{20} at./cm^3
Ga	4.9×10^{20} at./cm^3	4.0×10^{19} at./cm^3
P	2.0×10^{20} at./cm^3	1.7×10^{21} at./cm^3
As	8.1×10^{19} at./cm^3	2.0×10^{21} at./cm^3
Sb	1.2×10^{19} at./cm^3	7.0×10^{19} at./cm^3

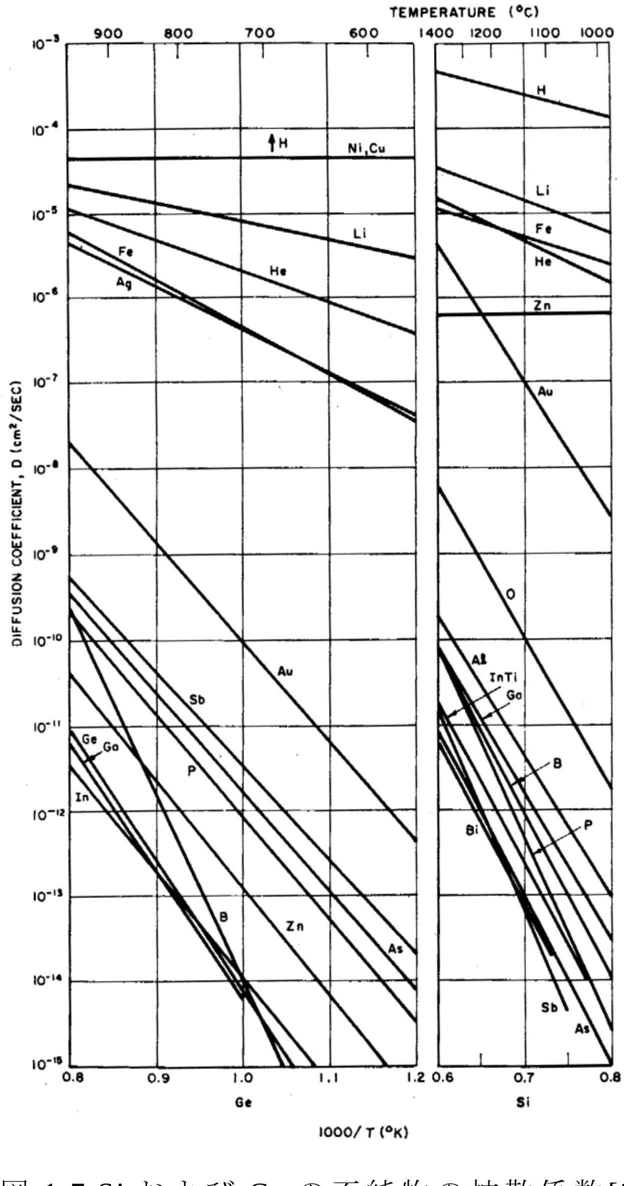

図 1.7 Si および Ge の不純物の拡散係数[21].

また、金属/Ge 界面に於いて、金属のフェルミレベル（E_F）が Ge の価電子帯（E_V）近傍にピンされてしまうフェルミレベルピンニング（FLP: Fermi level pinning）現象も、Ge-CMOS 実現の障壁となる[22,23]。即ち、低い正孔障壁高さ（Φ_{BP}）のコンタクトは容易に形成できるが、低い電子障壁高さ（Φ_{BN}）のコンタクトは非常に困難となる。そのため、メタル/n^+-Ge の ρ_C は必然的に高くなる。最近、Ge n-MOSFET の S/D 形成は進展を見せており、金属/n^+-Ge コンタクトに於いて低いコンタクト抵抗が幾つか報告されている。Manik 等は、エピタキシャル成長した n^+-Ge（2.5×10^{19} cm^{-3}）上に Ti でキャップした薄膜 ZnO 界面層を用いることで、1.4×10^{-7} Ω・cm^2 の低い ρ_C を実証している[24]。Chan 等は、エピタキシャル成長した n^+-GeSn（10^{19} cm^{-3}）に酸素プラズマ処理を施し、3×10^{-7} Ω・cm^2 の低い ρ_C を報告している[25]。著者の所属する中島研究室でも、不純物添加した n^+-Ge（3.9×10^{19} cm^{-3}）上に形成した薄膜 Zr-N-Ge アモルファス界面層を Ti キャップして適切な熱処理を施すことで、4×10^{-7} Ω・cm^2 の低い ρ_C が実現している[26]。しかし、これらは未だ 2013 年版国際半導体技術ロードマップに示される目標 ρ_C 値（4×10^{-9} Ω・cm^2）に達していない[27]。

1.2.2 節でも述べたが、Ge-CMOS の実用化を考えた場合、現在の Si プラットフォーム上で高速動作が求められる部分への搭載が現実的である[18]。そのため、Ge-CMOS にはシンプルな構造、および作製プロセスの低温化が求められる。メタル S/D 型 MOSFET は、これらの要求を満たす魅力的な候補である。更に、メタル S/D 型 MOSFET では、R_{SH} や R_C が増大する課題を解決できる。その高性能化には、低い Φ_{BP} と低い Φ_{BN} を有するコンタクトが、それぞれ p-および n-MOSFET に必要となる。しかし、FLP 現象のため、pn 接合型 MOSFET と同様に、n-MOSFET の作製が非常に困難となる。そのため、Ge 基板に於いて、この問題を解決できる材料および構造を探求することが重要となる。

1.3 高性能 Ge-CMOS デバイス実現のための課題

以上、ポストスケーリング技術を概観した。本研究は、チャネル材料としてGe に着目し、メタル S/D 型 Ge-CMOS を実現するためのデバイス化技術の確立を目的に実施したものである。本節では、確立すべき技術と現状の課題について述べる。

1.3.1 金属/Ge コンタクト形成技術

金属/Ge コンタクトを S/D に用いたメタル S/D 型 Ge MOSFET では、p-および n-MOSFET に於いてそれぞれ低い Φ_{BP} および Φ_{BN} が求められる。しかし、FLP 現象のために、p-MOSFET では容易となるが、n-MOSFET では非常に難しい。著者の所属する中島研究室では、TiN ターゲットを用いた Ge 基板上への直接スパッタ堆積によって、低 Φ_{BN} なコンタクト形成法が提案され、世界で初めてメタル S/D 型 Ge n-MOSFET のデバイス動作実証を報告している[28,29]。また、HfGe/Ge コンタクトを用いたメタル S/D 型 Ge p-MOSFET のデバイス動作も報告されている[28]。しかし、金属を用いることで本質的な低抵抗化が可能というメリットに対し、これらの報告で作製された MOSFET は、高い S/D の R_P を示すとの課題がある。MOSFET のデバイス抵抗は、図 1.8 に示す様に、R_P とチャネル抵抗（R_{CH}）によって構成されるので、R_P が高い場合、チャネル領域に印加される電圧が低下し、駆動電流が落ちてしまう。R_{CH} は EOT に比例するため、極薄の EOT 領域のデバイス程 R_P の低減が必須となる。

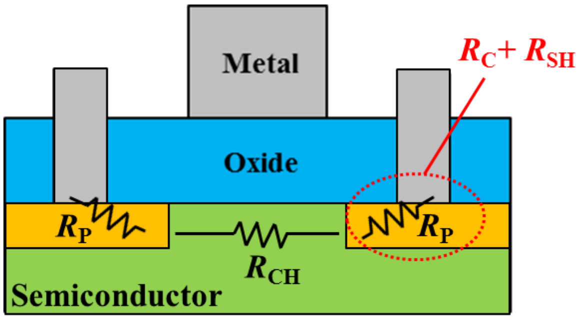

図 1.8 MOSFET に於ける寄生抵抗（R_P）とチャネル抵抗（R_{CH}）.

1.3.2 高品質ゲートスタック形成技術

MOS 界面の品質は、ゲート電圧によってチャネルの電気抵抗を制御する上で極めて重要である。一般に、チャネル移動度は、ゲートスタックの品質、特に界面準位密度（D_{it}）およびボーダートラップ密度（D_{bt}）に敏感に影響を受ける[30,31]。従って、MOSFET の高性能化には、優れた MOS 界面を有するゲートスタックの作製が重要となる。Si-MOSFET の場合、SiO_2/Si 構造は非常に優れた界面特性を示すが、high-k/Ge は互いに全く異なる材料であるため、乏しい界面品質となる。そのため、Ge の酸化物である GeO_2 膜を界面層（IL: Interlayer）として挿入することが界面の高品質化を図る手法として一般化されつつある[32]。しかし、GeO_2 は大気圧で 425°C 以上の熱処理により揮発性の GeO 分子に分解し、脱離が生じることで界面特性の深刻な劣化を招く[33]。本研究では、MOSFET の作製に於いて S/D 形成後にゲートスタックを作製するゲートラストプロセスを採用している。この場合、S/D コンタクトの熱的安定性によってゲートスタックの作製プロセス温度が制限を受ける。特に、TiN/Ge コンタクトは 400°C より高い温度で特性が劣化するため[34]、ゲートスタックも 400°C 以下のプロセス温度で作製する必要がある。

以上の理由より、p-および n-MOSFET 共に 400°C 以下のプロセス温度にて高品質な界面特性を有するゲートスタックを作製する必要がある。著者の所属す

る中島研究室では、平山等によって MOS 界面高品質化の手法として $SiO_2/GeO_2/Ge$ ゲートスタックに於ける Al 堆積後熱処理（Al-PMA: Al-post metallization annealing）効果が報告されている[35,36]。これは、Al-PMA によって、ゲート電極から Al 原子がゲートスタック中へ導入されると考えられており、Al 導入によりバンドギャップ下半分の GeO_2/Ge 界面の D_{it} とゲート絶縁膜中の D_{bt} が低減する、とされている。しかし、この Al-PMA 効果の本質は明らかでない。即ち、PMA 処理により Al がゲート電極からゲートスタック中へ本当に導入されるのか、もし Al がゲートスタック中に導入されるのであれば、ゲートスタック中でどのような反応が起こっているのか、等の疑問には答えられていない状況である。Ge チャネルが導入される 2017-2018 年頃には、0.8 nm 以下の EOT が求められるものと予想されている[37]。従って、メタル S/D 型 Ge MOSFET に於いて低 EOT を有するゲートスタックの低温形成は非常に重要な課題である。

1.4 本論文の目的と概要

本研究では、次世代 CMOS デバイスのチャネル材料候補である Ge に着目し、メタル S/D 型 Ge-CMOS を実現するためのデバイス化技術を確立することを目指し、高品質ゲートスタック形成技術および高品質 S/D 形成技術の確立に取り組んだ。具体的には、以下の課題に取り組んだ。

1. S/D 金属膜厚よりも薄いゲートスタックのメタル S/D 型 Ge MOSFET の作製技術を確立すること。
2. 400°C 以下の低温プロセスにて良好な界面品質を持つメタル S/D 型 Ge MOSFET の作製技術を確立すること。
3. 低い R_P のメタル S/D 型 Ge MOSFET の作製技術を確立すること。
4. Al-PMA 効果による μ の向上機構を明確にすること。

本論文は上記の研究から得られた成果を纏めたもので、全 6 章より構成されている。

第 2 章では、従来の $SiO_2/GeO_2/Ge$ とは異なる high-k/Ge 構造に対して、Al-PMA 効果を調査した結果を述べる。high-k 膜には Al_2O_3 膜を用い、電子サイクロトロン共鳴（ECR: Electron cyclotron resonance）プラズマ酸化と組み合わせることで $Al_2O_3/GeO_X/Ge$ 構造を作製し[38]、その基本的な作製プロセスを確立した。その詳細を述べる。また、確立した $Al_2O_3/GeO_X/Ge$ 構造に対して Al-PMA 効果を調査するため、Al/Al_2O_3 界面に SiO_2 膜を挿入して Al-PMA 効果を電気的特性から調べた結果を述べる。結果として、1×10^{11} $cm^{-2}eV^{-1}$ までの D_{it} の低減を実現し、$Al_2O_3/GeO_X/Ge$ 構造に対する Al-PMA の有用性を実証した。

第 3 章では、S/D コンタクトに PtGe/Ge を用い、そのコンタクトの電気特性と熱安定性を調べた結果を述べる。また、PtGe/Ge コンタクトに対して有効なパッシベーション法を確立するため、数種類の絶縁膜を用いてコンタクト特性を比較した結果を述べる。PtGe/Ge コンタクトを S/D に用いた p-MOSFET を試作し、そのデバイス特性を調べた結果を述べる。結果として、p-MOSFET は典型的なトランジスタ動作することを示す。更に、HfGe-S/D の R_{P} は~300 Ω であるのに対し、PtGe-S/D の R_{P} は~50 Ω であることを示し、PtGe/Ge コンタクトがメタル S/D 型 Ge p-MOSFET の S/D として有効であることを示す。

第 4 章では、Al-PMA による正孔移動度向上のメカニズムについて検討した結果を述べる。Ge-MOS キャパシタ（CAP: capacitor）を用いて電気的特性を詳細に調査することで、Al-PMA によって生じる各現象を明確化する。また、Al-PMA 前後の MOSCAP に対して構造解析を行い、Al-PMA によるゲートスタック中の構造変化を調べた結果を述べる。これらの結果から、Al-PMA による正孔移動度の向上は、MOS 界面付近のクーロン散乱中心の量に強く依存することを示す。

第 5 章では、TiN-S/D 型 Ge n-MOSFET に於ける R_{P} の低減について検討した結果を述べる。TiN-S/D を埋め込み構造とすることで、埋め込み構造のない場合の R_{P}（~1400 Ω）を 1 桁以上低減させることに成功している。また、ALD-HfO_2 膜を用いた低 EOT 領域の n-MOSFET も作製し、両者を比較することで R_{P} が低減するための埋め込み深さを適正化した結果を述べる。

第 6 章では、各章で得られた結果を纏めている。

1.5 参考文献

[1] F. Braun, “Über die Stromleitung durch Schwefelmetalle,” 「金属硫化物の電気伝導について」 Ann. Phy. Chem. **153** (1874) 556.

[2] 1947 Invention of the point-contact transistor (http://www.computerhistory.org/semiconductor/timeline/1947-invention.html)

[3] 1948 Conception of the junction transistor (http://www.computerhistory.org/semiconductor/timeline/1948-conception.html)

[4] J. S. Kilby: IEEE Trans. Electron Devices **23** (1976) 648.

[5] R. N. Noyce: U. S. Patent 2981877 (filed 1959, granted 1961).

[6] Sze, S. M., Physics of Semiconductor Devices, 2nd edition, Wiley, New York, (1981).

[7] 経済産業省 商務情報政策局情報通信機器課

[8] R. H. Dennard, F. H. Gaenssien, H.-N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc: IEEE J. Solid-State Circuits **9** (1974) 256.

[9] 高木真一 : 電子情報つ新学会誌 **85** (2002) 788.

[10] F. Schaffler, Semicond. Sci. Technol. **12** (1997) 1515.

[11] C. K. Maiti, L. K. Bera and S. Chattopadhyay, Semicond. Sci. Technol. **13** (1998) 1225.

[12] C. K. Maiti, N. B. Chakrabarti and S. K. Ray, Materials and Devices, IEE Circuits, Devices and System Series No.12.

[13] M. L. Lee, E. A. Fitzgerald, M. T. Bulsara, M. T. Currie and A. Lochtefeld, J. Appl. Phys. **97** (2005) 011101.

[14] インテル社プレスリリース 2004 年 2 月 3 日 (http://www.intel.co.jp/jp/intel/pr/press2004/040203.htm)

[15] H. Houssa: High-k Gate Dielectrics, Institute of Physics Publishing (Taylor & Francis, London, (2004) 597.

[16] S. Takagi and M. Takenaka: Proc. 10th IEEE Int. Conf. Solid-State and Integrated Circuit Technology, (2010) 50.

[17] E. Murakami, K. Nakagawa, H. Etoh. A. Nishida and M. Miyao, Tech. Dig. Int. Electron Devices Meet., San Francisco, (1990) 375.

[18] T. Irisawa, S. Tokumitsu, T. Hattori, K. Nakagawa, S. Koh and Y. shiraki, Appl. Phys. Lett. **81** (2002) 847.

[19] S. Takagi, R. Zhang, S. H. Kim, N. Taoka, M. Yokoyama, J. K. Suh, R. Suzuki, and M. Takenaka, Tech. Dig. – Int. Electron Devices Meet. (2012) 505.

[20] C. Claeys, and E. Simoen, 2007 Germanium-Based Technologies: From Materials to Devices (Elsevier, Amsterdam) Chap. 3.

[21] F. A. Trumbore, Bell Syst. Tech. J. **39** (1960) 205.

[22] A. Dimoulas, P. Tsipas, and A. Sotiropoulos, Appl. Phys. Lett. **89** (2006) 252110.

[23] T. Nishimura, K. Kita, and A. Toriumi. Appl. Phys. Lett. **91** (2007) 123123.

[24] P. P. Manik, R. K. Mishra, V. P. Kishore, P. Ray, A. Nainani, Y. C. J. Huang, M. C. Abraham, U. Ganguly, and S. Lodha, Appl. Phys. Lett. **101** (2012) 182105.

[25] K. Y. Chen, C. C. Su, C. P. Chou, and Y. H. Wu, IEEE Electron Device Lett. **37** (2016) 827.

[26] H. Okamoto, K. Yamamoto, D. Wang, and H. Nakashima, Ext. Abstr. – Solid State Devices and Materials (2016) 643.

[27] International Technology Roadmap for Semiconductor, 2013 edition

[28] K. Yamamoto, T. Yamanaka, K. Harada, T. Sada, K. Sakamoto, S. Kojima, H. Yang, D. Wang, and H. Nakashima, Appl. Phys. Express **5** (2012) 051301.

[29] K. Yamamoto, T. Sada, D. Wang, and H. Nakashima, Appl. Phys. Lett. **103** (2013) 122106.

[30] J. H. Choi, Y. Mao, and J. P. Chang, Development of hafnium based high-k materials—A review, Mat. Sci. Eng. R, **72** (2011) 97.

[31] T. Kawanago, T. Suzuki, Y. Lee, K. Kakushima, P. Ahmet, K. Tsutsui, A. Nishiyama, N. Sugii, K. Natori, T. Hattori, and H. Iwai, Solid-state Electron. **68** (2012) 68.

[32] S. Takagi, R. Zhang, J. Suh, S.-H. Kim, M. Yokoyama, K. Nishi, and M. Takenaka, Jpn. J. Appl. Phys. **54** (2015) 06FA01.

[33] K. Prabhakaran, F. Maeda, Y. Watanabe, and T. Ogino, Thin Solid Films **369** (2000) 289.

[34] M. Iyota, K. Yamamoto, D.Wang, H. Yang, H. Nakashima, Appl. Phys. Lett. **98** (2011) 192108.

[35] K. Hirayama, R. Ueno, Y. Iwamura, K. Yoshino, D. Wang, H. Yang, and H. Nakashima, Jpn. J. Appl. Phys. **50** (2011) 04DA10.

[36] D. Wang, S. Kojima, K. Sakamoto, K. Yamamoto, and H. Nakashima, J. Appl. Phys. **112** (2012) 083707.

[37] Y. Kamata, High-k/Ge MOSFETs for future nanoelectronics. Materials Today., (2009) 11, 1-2, 30.

[38] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, Appl. Phys. Lett. **98** (2011) 112902.

第 2 章 ALD と ECR プラズマ後酸化によって作製した $Al_2O_3/GeO_X/Ge$ ゲートスタックに於ける Al-PMA 効果[1]

2.1 諸言

2011 年、Zhang 等は、ALD での Al_2O_3 の成膜とそれに続く ECR プラズマ後酸化（PPO: post plasma oxidation）によって、400°C 以下のプロセス温度で $Al_2O_3/GeO_X/Ge$ ゲートスタックを作製し、10^{11} $eV^{-1}cm^{-2}$ 台の低い界面準位密度（D_{it}）を報告している[2]。Al_2O_3 膜は比誘電率（ε_r）が 8-10 と高く、EOT の低減にも有用である。一方、著者の所属する中島研究室では、2011 年に平山等が MOS 界面高品質化の手法として、$SiO_2/GeO_2/Ge$ ゲートスタックに於ける Al 堆積後熱処理（Al-PMA: Al-post metallization annealing）効果を報告している[3,4]。これは、Ge のバンドギャップ下半分（真正フェルミ準位（E_i）－E_V）に於ける GeO_2/Ge 界面の D_{it}、およびゲート絶縁膜中のボーダートラップ密度（D_{bt}）が低減する現象であり、そのメカニズムは PMA によってゲート電極から Al 原子がゲートスタック中へ導入されるためと考えられている。Al-PMA が $Al_2O_3/GeO_X/Ge$ ゲートスタックに於いても有効ならば、低 EOT かつ高品質 MOS 界面を有する p-MOSFET の性能向上に有用となる。以上の背景を踏まえ、本章では ALD-Al_2O_3 膜と ECR-PPO によって作製した $Al_2O_3/GeO_X/Ge$ ゲートスタックに於ける Al-PMA 効果について調査した結果を述べる。まず、$Al_2O_3/GeO_X/Ge$ ゲートスタック作製の基本プロセス構築について、2.2 節で述べる。次に、このゲートスタックに対する Al-PMA の影響を調査するために、MOSCAP を作製し、電気的特性を評価した。その結果を 2.3 節で述べる。次に、この構造を MOS ゲートスタックとした、HfGe-S/D 型 p-MOSFET のデバイス特性について 2.4 節

で述べる。

2.2 Al_2O_3/GeO_X/p-Ge 構造作製の基本プロセス構築

2.2.1 試料作製

実験に用いた試料は、面方位：(100)、不純物濃度：1.5×10^{16} cm^{-3}、抵抗率：0.38 Ω･cm、の p 形 Ge 基板である。図 2.1 に Al_2O_3/GeO_X/p-Ge 構造の Ge-MOSCAP の作製プロセスを示す。試料は、以下に記述した手順で作製した。

1. 基板をアセトンで超音波洗浄後、10%の希 HF 溶液で洗浄して自然酸化膜を除去した。
2. ALD を用いて厚さ 1 nm の Al_2O_3 膜を 300°C で堆積した。続いて試料を ALD チャンバーから取り出し、室温で 1 分間の ECR-PPO を Al_2O_3 膜上から行い、Al_2O_3/Ge 界面に GeO_X 膜を形成した。プラズマ酸化の詳細な条件を表 2.1 に示す。その後、絶縁耐圧性確保のために再度試料を ALD チャンバーにセットし、2 層目 Al_2O_3 膜を堆積した。2 層目 Al_2O_3 膜の厚さは、4.1 nm(25 cycle)、7.8 nm（50 cycle）、11.3 nm（75 cycle）および 13.6 nm（100 cycle）の 4 種類を用意した。
3. 電気炉を用いて窒素雰囲気中で 400°C-30 分間の PDA を行った。
4. メタルゲート電極として厚さ 25 nm の TiN をマグネトロンスパッタによって堆積し、窒素雰囲気中で 350°C-20 分間の PMA を行った。マグネトロンスパッタによる成膜は、到達真空度 6×10^{-4} Pa 以下まで排気した後行った。TiN 成膜の詳細な条件を表 2.2 に示す。
5. 真空蒸着により厚さ 100 nm の Al を堆積した。フォトレジストによるパターニング後、46°C のリン酸溶液（リン酸：硝酸：酢酸=50：1：5）および 52°C

のアンモニア過酸化水素水（アンモニア：過酸化水素水=1：4）を用いて Al および TiN をエッチングし、2.25×10^{-4} cm^2 の面積を持つ電極パターンに加工した。その後、窒素雰囲気中で 300°C-10 分間のコンタクト熱処理（CA: Contact annealing）を行った。

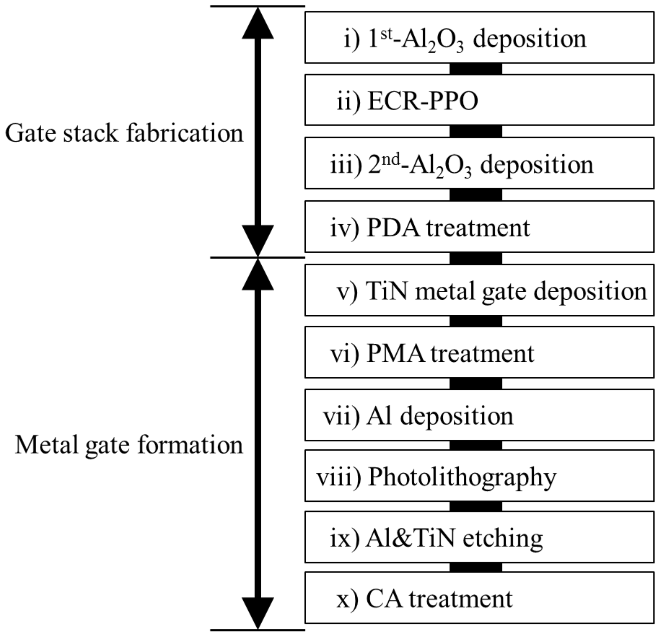

図 2.1 試料の作製手順.

表 2.1 ECR-PPO 条件.

P_{μ} (W)	Ar (sccm)	O_2 (sccm)	Pressure (Pa)	Time (min)	Temp. (°C)
500	18	3	1.5×10^{-1}	1	R.T.

表 2.2 TiN メタルゲートのマグネトロンスパッタ成膜条件.

P_{RF} (W)	Ar (sccm)	Pressure (Pa)	Deposition Rate (nm/min)	Temp. (°C)	Time (min)
60	30	2	5	R.T.	5

2.2.2 MOSCAP の電気特性

前述の $Al_2O_3/GeO_X/Ge$ 構造を有する Ge-MOSCAP の電気特性を評価した。図 2.2（a）および（b）は Al_2O_3 膜厚の異なる 4 種類の Al_2O_3/GeO_X/Ge-MOSCAP の容量－電圧（*C-V*）特性および電流密度－電圧（*J-V*）特性である。ここで、測定温度は室温で、測定周波数は 1 MHz である。走査バイアスは+1→-2 V および -2→+1 V の双方向に掃引した。図 2.2（a）では、+1→-2 V の *C-V* 曲線を代表して示している。作製した全ての MOSCAP で典型的な *C-V* 特性が得られた。表 2.3 にこれらの *C-V* および *J-V* 特性から算出した EOT、フラットバンド電圧（V_{FB}）、ヒステリシス（HT）、および実効絶縁破壊電界（E_B）を纏めた。図 2.3（a）および（b）は、Al_2O_3 膜厚の異なる 4 種類の MOSCAP の物理膜厚と ALD サイクル数との関係、および EOT と物理膜厚との関係をそれぞれ示す。ここで、物理膜厚はエリプソメトリーを用いて評価した。図 2.3（a）の近似直線の傾きより、本研究で使用した ALD-Al_2O_3 膜の成膜レートは、基板温度 300°C で 0.13 nm/cycle と得られた。また、作製した全ての MOSCAP は同じ厚さの GeO_X 膜を有しており、Al_2O_3 膜厚のみが異なる。従って図 2.3(b)の直線の傾きは $\varepsilon_{SiO_2}/\varepsilon_{Al_2O_3}$ を表している。ここで、ε_{SiO_2} は SiO_2 の比誘電率、$\varepsilon_{Al_2O_3}$ は Al_2O_3 の比誘電率である。実験的に得た直線の傾きより、本研究で使用した ALD-Al_2O_3 膜の ε_r は 8.47 と得られた。y 軸との切片の値は 0.63 nm で、これは GeO_X の EOT を意味している。GeO_2 膜の ε_r を 6.0 とすると、Al_2O_3/Ge 界面に形成された GeO_X の物理膜厚は 0.98 nm と算出される。

図 2.4 は 2 層目 Al_2O_3 膜厚が 4.1 nm の MOSCAP の周波数分散を示す。周波数分散が非常に小さく、また V_{FB} は-0.09 V と 0 V に近い。これは、ECR-PPO によって Al_2O_3 膜下に形成した GeO_X が、固定電荷の少ない高品質な膜であることを示唆している。次節では、この $Al_2O_3/GeO_X/Ge$ 構造に於ける Al-PMA 効果に

ついて調査した結果を述べる。

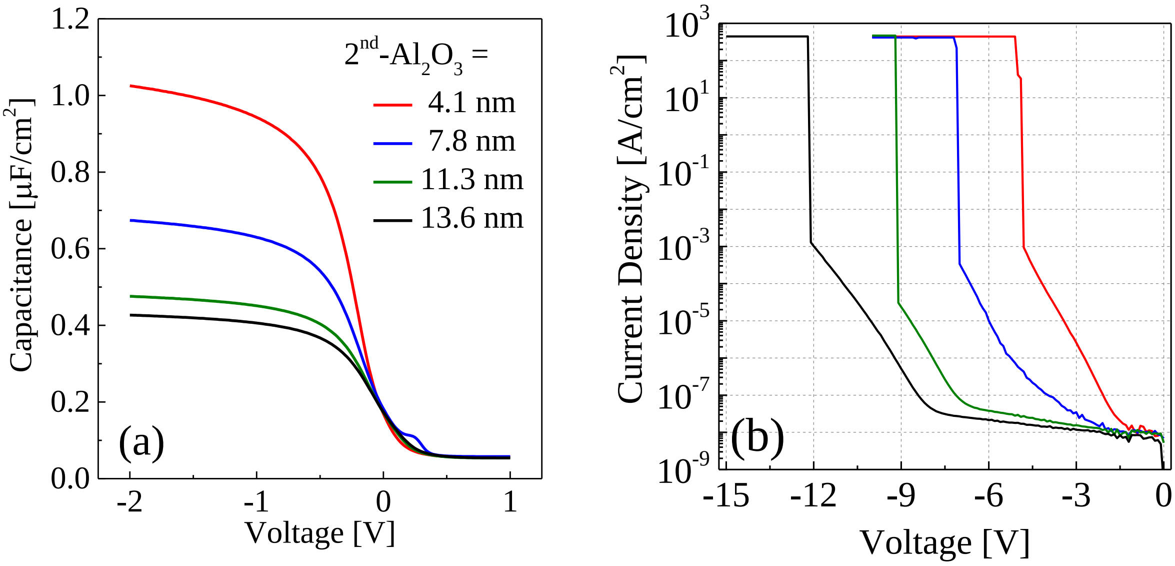

図 2.2 Al_2O_3 膜厚の異なる 4 種類の MOSCAP の（a）*C-V* および（b）*J-V* 特性.

表 2.3 Al_2O_3 膜厚の異なる 4 種類の MOSCAP の EOT, V_{FB}, HT および E_B.

2^{nd}-Al_2O_3 （nm）	EOT （nm）	V_{FB} （V）	HT （mV）	E_B （MV/cm）
4.1	3.1	-0.09	134.9	14.4
7.8	4.7	-0.09	102.3	14.9
11.3	6.6	-0.08	80.3	14.7
13.6	7.4	-0.07	78.3	16.2

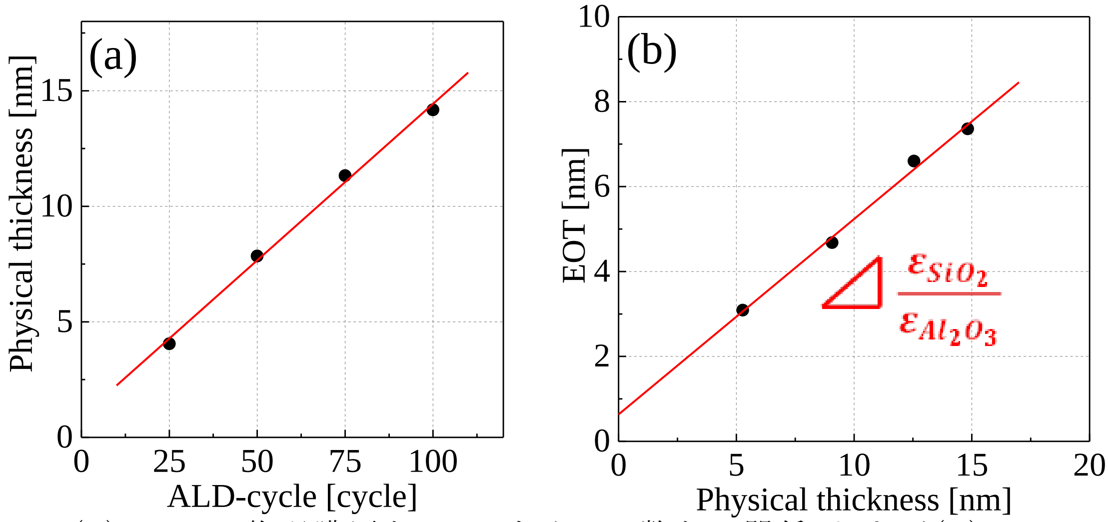

図 2.3 （a）Al_2O_3 の物理膜厚と ALD サイクル数との関係、および（b）MOSCAP の EOT と Al_2O_3 の物理膜厚との関係.

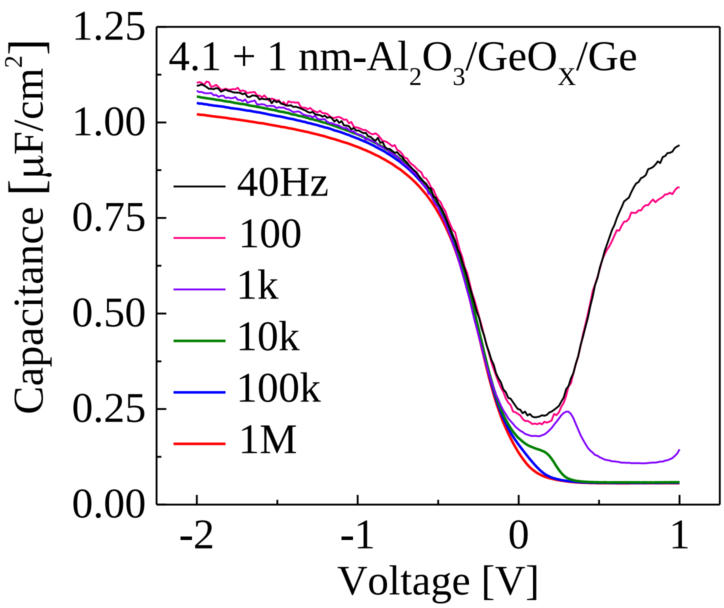

図 2.4 4.1 nm-Al_2O_3/1.0 nm-Al_2O_3/GeO_X/Ge-MOSCAP に於ける *C-V* 特性の周波数分散.

2.3 Al_2O_3/GeO_X/p-Ge ゲートスタックに於ける Al-PMA 効果

2.3.1 試料作製

前節で確立した Al_2O_3/GeO_X/ Ge 構造作製プロセスを用いて、4.1 nm-Al_2O_3/1.0 nm-Al_2O_3/GeO_X/Ge 構造の MOSCAP に於ける Al-PMA 効果を調査した。この時、ゲートスタック中へ Al 原子を導入しなければならないが、2.2 節で用いた TiN メタルゲート電極上に Al 電極を堆積した場合、Al 原子は TiN 膜を透過することができない。一方で、TiN の代わりに Al をメタルゲート電極として Al_2O_3 上に直接堆積した場合、熱処理時に Al と Al_2O_3 が反応して、絶縁特性が劣化してしまう。そこで本節では、Al_2O_3 上にマグネトロンスパッタを用いて 1 nm-SiO_2 を堆積した後、Al メタルゲートを堆積することで、Al/Al_2O_3 界面反応を抑制させた。その後、窒素雰囲気中にて 300-450^{o}C の範囲で 30 分間の Al-PMA を施した。比較のため、Al-PMA を施していない試料も準備した。1 nm-SiO_2 堆積時のマグネトロンスパッタの詳細な成膜条件を表 2.4 に示す。

表 2.4 Al_2O_3 上の SiO_2 膜のマグネトロンスパッタ成膜条件.

P_{RF} (W)	Ar (sccm)	Pressure (Pa)	Deposition Rate (nm/min)	Temp. (^{o}C)	Time (sec)
10	20	2	1.3	R.T.	263

2.3.2 Al-PMA を施した MOSCAP の電気的特性

図 2.5（a）および（b）に、各温度で熱処理した MOSCAP の *C-V* および *J-V* 特性を示す。また、図 2.5（a）の結果から算出した EOT、V_{FB} および HT の Al-PMA

温度依存性を図 2.6 に示す。図 2.5（b）より、ゲートスタックの絶縁特性は、$400^{o}C$ の Al-PMA 後でも劣化していないことが分かる。しかし、$450^{o}C$ の熱処理を行うと *C-V* 曲線が著しく劣化し、絶縁特性も劣化した。これは Al と SiO_2 が反応し、更に Al_2O_3 とも反応した結果と考えられる。

図 2.5（a）および図 2.6 から、Al-PMA 温度の増加に伴い、V_{FB} が正方向へシフトしていることが分かる。これは、Al-PMA によってゲートスタック中に負の固定電荷密度が増加したこと、もしくは界面ダイポールが生成したことに起因すると考えられる。後者の場合、一般的にダイポールは high-k/SiO_2 界面に形成することが知られている[5-7]。SiO_2/Al_2O_3 界面の場合、界面に於いて酸素密度差により Al_2O_3 側から SiO_2 側へ酸素原子の移動が生じる。この移動は、SiO_2 中で負に帯電した格子間酸素を、Al_2O_3 中で正に帯電した酸素欠損を作り、これにより界面ダイポールが生成される。しかし、Al-PMA 無の MOSCAP の V_{FB} は 0 V に近く、TiN/Al_2O_3/GeO_X/Ge ゲートスタックの V_{FB} と近いこと、更に 4 章で述べるように、熱処理した Al/SiO_2 界面にはダイポールが形成されないこと、から判断して、Al-PMA による V_{FB} シフトはダイポールの生成とは無関係と推察される。従って、Al-PMA による V_{FB} の正方向シフトは、ゲートスタック中への負の固定電荷密度の増加によるものと考えられる。

Al-PMA によるその他の効果として、HT の減少が見られる。これは、平山等が報告している SiO_2/GeO_X/Ge ゲートスタックに於ける Al-PMA 効果とよく一致し[3]、ゲートスタック中への Al 原子導入が GeO_2/Ge あるいは Al_2O_3/GeO_2 界面付近の欠陥を低減する要因となっていることを示唆している。定量的な界面欠陥評価を行うため、一定温度 DLTS 法を用いて欠陥密度の評価を行った[4]。ここで、D_{it} 測定では、測定温度を一定とし、パルス電圧（V_P）を V_{FB} とし、V_P 印加時の GeO_2/Ge 界面での電界をゼロとしている。これにより、GeO_2/Ge 界面の D_{it} にのみキャリアを捕獲させている。また、D_{bt} 測定では、ストレス電界（V_{AP}）

を V_{AP}/EOT＝1 MV/cm の関係を満たすようセットしている。これにより、キャリアが絶縁膜中に注入される。D_{bt} は V_{AP}=0 V（D_{it} 測定）と V_{AP}/EOT=1 MV/cm で観測される信号の差から算出した。評価法の詳細は王等の論文に述べられている[4]。図 2.7 は Al-PMA を施していない MOSCAP と 400°C の Al-PMA を施した MOSCAP のバンドギャップ下半分に於ける D_{it} のエネルギー分布を示している[4]。ここで、D_{bt} は実線と破線の差で表される。HT の結果と同様に、Al-PMA によってバンドギャップ下半分の D_{it} と D_{bt} の両方が低減していることが確認できる。また、この結果は SiO_2/GeO_X ゲートスタックに於ける Al-PMA 効果と類似しており、Al_2O_3/GeO_X/Ge ゲートスタックに於いても Al-PMA が有効であることを意味する。

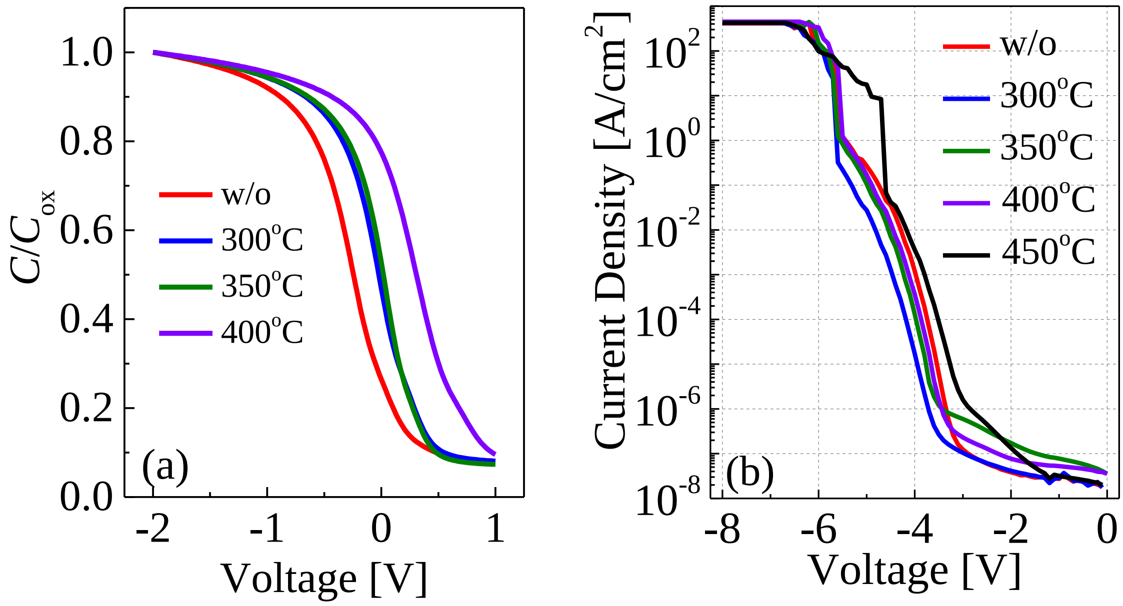

図 2.5 Al/SiO_2/Al_2O_3/GeO_X/Ge-MOSCAP の（a）*C*-*V*、および（b）*J*-*V* 特性の Al-PMA 温度依存性.

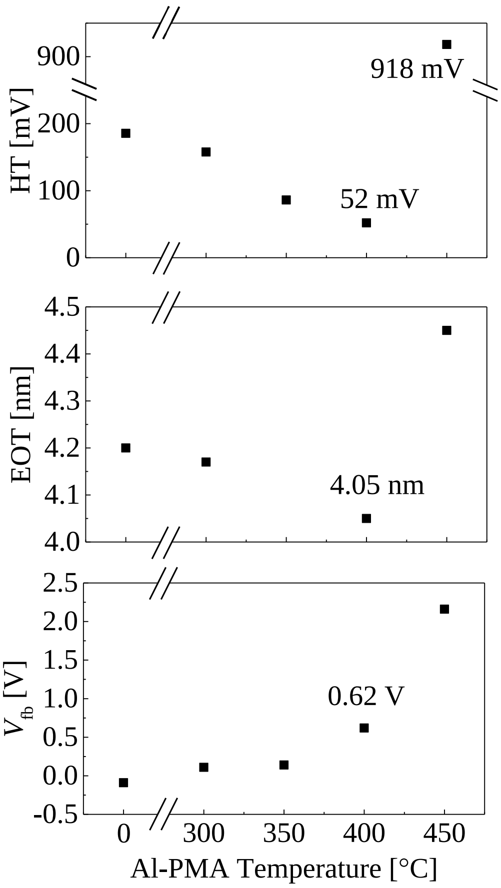

図 2.6 $Al/SiO_2/Al_2O_3/GeO_X/Ge$-MOSCAP における HT、EOT および V_{FB} の Al-PMA 温度依存性.

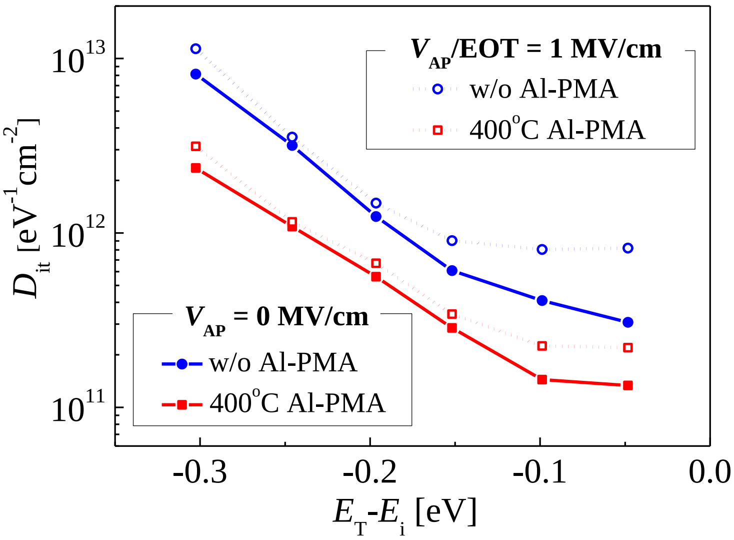

図 2.7 Al-PMA 無しおよび 400°CAl-PMA を施した MOSCAP の D_{it} エネルギー分布.

2.4 $Al_2O_3/GeO_X/Ge$ ゲートスタックを有するメタル S/D 型 p-MOSFET の作製とデバイス特性

2.4.1 試料作製

メタル S/D 型 MOSFET の S/D は凸構造をしているため、ゲート電極と S/D 電極の短絡に留意しなければならない。このため、段差被覆性に乏しいスパッタなどの PVD 法によってゲートスタックを作製する場合、ゲートスタックの厚さはメタル S/D の厚さよりも厚くしなければならない。そのため、Ref.8 で報告されている MOSFET の EOT は約 50 nm と厚い。一方で、ALD は優れた段差被覆性を有するため、図 2.8 に示す様に、メタル S/D の側壁部にも堆積できるので、短絡を防止でき、低 EOT のメタル S/D 型 MOSFET の作製が可能となる。本節では、S/D に HfGe、ゲートスタックに前節までに確立した $SiO_2/Al_2O_3/GeO_X$ 構造を用いて、メタル S/D 型 p-MOSFET を作製した。

実験に用いた試料は、面方位：(100)、不純物濃度：8×10^{15} cm^{-3}、抵抗率：0.29 Ω･cm、の n 形 Ge 基板である。図 2.9 にゲートスタックとして $SiO_2/Al_2O_3/GeO_x/Ge$ 構造を持つ HfGe -S/D 型 p-MOSFET の作製プロセスを示す。試料は、以下に記述した手順にて作製した。

1. 基板をアセトンで超音波洗浄後、10%の希 HF 溶液で洗浄して自然酸化膜を除去した。
2. 基板全面に 200 nm-SiO_2 を堆積し、続いてフォトリソグラフィによりデバイス領域を開口した。デバイス領域上の露出した Ge 表面を化学洗浄後、フォトレジストを塗布して S/D パターンを開口した。
3. マグネトロンスパッタを用いて厚さ 10 nm の Hf を堆積し、Hf 膜上に厚さ 10 nm の TiN を堆積した。ここで、TiN 膜は Hf 膜の酸化防止膜として機能

する。Hf および TiN の成膜条件の詳細を表 2.5 に示す。その後、フォトレジスト除去によって S/D を形成した。

4. 電気炉を用いて窒素雰囲気中で 400°C-30 分間の PMA を施すことで、Hf のジャーマナイド（HfGe）化を行った。
5. 2.3 節と同様のプロセスを用いて 200 nm-Al/1.0 nm-SiO_2/5.1 nm-Al_2O_3/GeO_X/Ge 構造を持つゲートスタックを作製し、400°C-30 分間の Al-PMA を施した後、ゲート電極を加工した。
6. フォトレジストを塗布し、S/D 上のコンタクトホールを開口した。その後真空蒸着を用いて 50 nm の Al を堆積し、リフトオフ技術によってコンタクト電極を形成した。最後に CA を窒素雰囲気中で 300°C-10 分間行った。

また、上記のプロセスを用いて、Al-PMA を行っていないメタル S/D 型 Ge p-MOSFET も作製した。

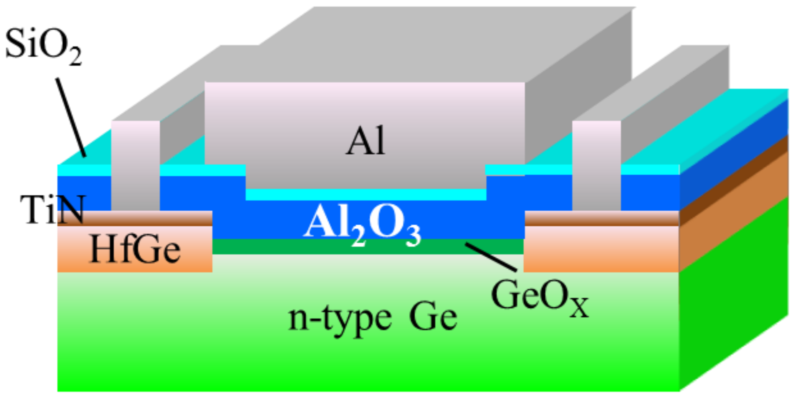

図 2.8 メタル S/D 型 Ge p-MOSFET の断面構造図.

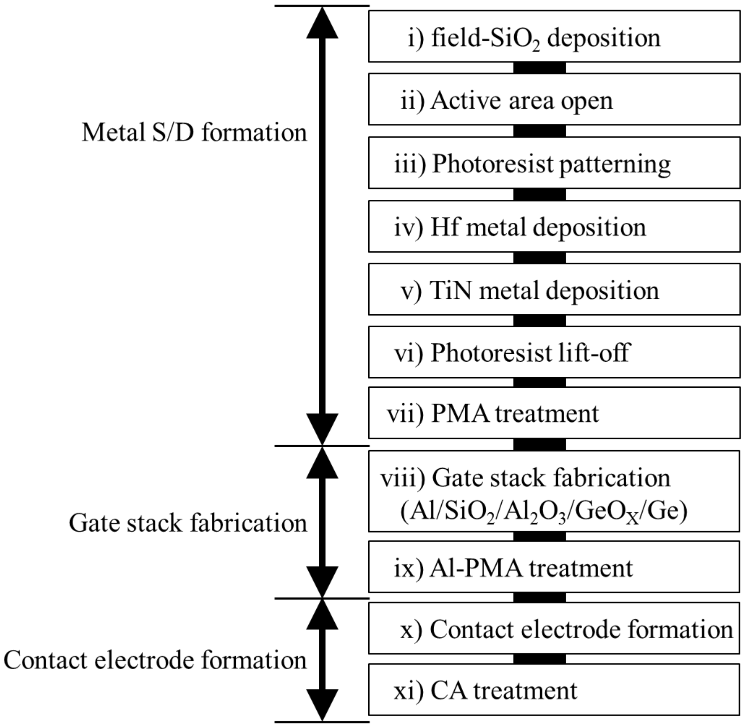

図 2.9 メタル S/D 型 Ge p-MOSFET の作製手順.

表 2.5 Hf および TiN マグネトロンスパッタ成膜条件.

	P_{RF}（W）	Ar（sccm）	Pressure（Pa）	Deposition Rate（nm/min）	Temp.（°C）	Time（min）
Hf	10	20	5	3.3	R.T.	3
TiN	60	30	2	5	R.T.	4

2.4.2 メタル S/D 型 p-MOSFET の電気的特性

図 2.10（a）、（b）および（c）に Al-PMA を施していない p-MOSFET のドレイン電流－ドレイン電圧（I_D-V_D）特性、ドレイン電流/ソース電流－ゲート電圧（I_D,I_S-V_G）特性および電界効果移動度－ゲート電圧（μ_h-V_G）特性をそれぞれ示す。メタル S/D の膜厚より薄いゲートスタックにも拘わらず、良好なトラ

ンジスタ動作を示しており、ゲート電極とメタル S/D 間の電気的絶縁が ALD-Al_2O_3 膜によって保たれている。しかし、400°C の Al-PMA を施した p-MOSFET では、ゲートスタックの絶縁耐圧が著しく悪く、トランジスタ動作が得られなかった。Al/Al_2O_3 の直接接触を避けるため、界面に厚さ 1 nm の SiO_2 を挿入したが、メタル S/D 側壁部分には SiO_2 が堆積できていないため、Al と Al_2O_3 が直接接触している。そのため Al-PMA によって Al/Al_2O_3 界面で反応が生じ、ゲート電極ーメタル S/D 間で電気的絶縁が保てなくなったことが原因と考えられる。この問題を解決するためには、S/D 側壁上に堆積した Al_2O_3 と Al の界面にも極薄の SiO_2 膜を挿入する、もしくは Ge を掘り込むことでメタル S/D を埋め込んだフラット構造のメタル S/D 型 MOSFET を作製する必要がある。

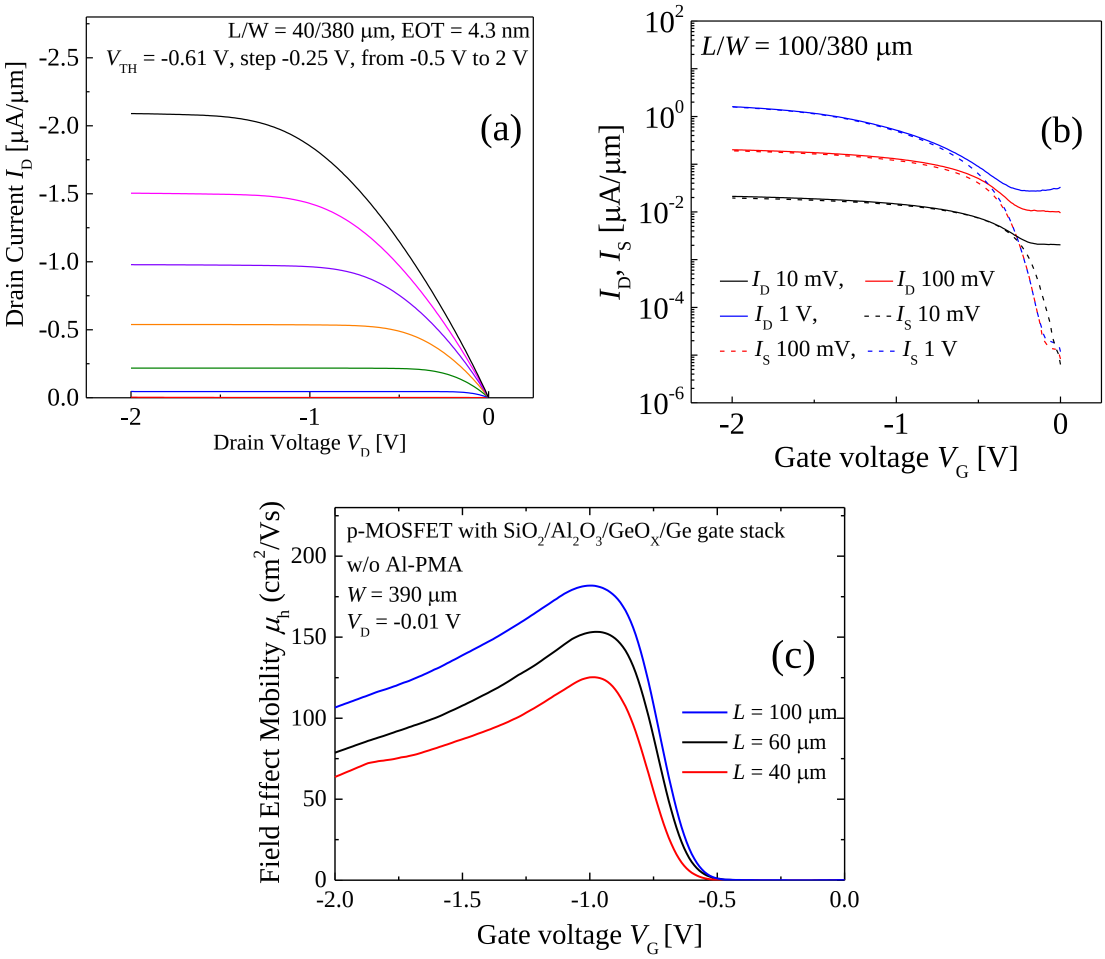

図 2.10 Al-PMA を施していないメタル S/D 型 Ge p-MOSFET の（a）I_D-V_D、（b）I_D, I_S-V_G および（c）μ_h-V_G 特性.

一方で、図 2.10（b）に示す様に、Al-PMA を施していないデバイスでは、チャネル長(L)の減少により μ_h が減少している。これは HfGe-S/D の寄生抵抗(R_P)がチャネル抵抗(R_{CH})に比べて無視できない程度であることを意味する。即ち、L の減少に伴い R_{CH} は低くなるが、R_P が R_{CH} に比べて無視できなくなると、R_P による電圧ドロップが生じ、チャネルに印加される電圧が小さくなる。この原因として、HfGe 膜が容易に酸化すること、またその構造がアモルファスであるためシート抵抗が高いこと、等が考えられる[9]。本研究では特に ECR-PPO を使用したため、側壁部の HfGe/Ge コンタクトの一部がプロセス中に酸化し、高抵抗化したものと推察している。また、HfGe 膜をアモルファスから結晶へ変化させるためには、500°C 以上の熱処理が必要である。本研究に於ける HfGe の膜質がアモルファスであることも、高抵抗化を招いた原因と考えられる。この様に R_P が高い場合、チャネルに印加される V_D が低下し、電流駆動力などのデバイス特性が劣化する。特に、低 EOT 領域のデバイスでは R_{CH} が減少するため、R_P の低減は非常に重要となる。従って、HfGe/Ge コンタクトに代わる低抵抗のメタル S/D 材料の導入が必要である。3 章では、この課題を解決するため、PtGe/Ge コンタクトを導入した結果を述べる。HfGe-S/D の場合の R_P の大きさについても第 3 章で述べる。

2.5 本章のまとめ

本章では、$Al_2O_3/GeO_X/Ge$ ゲートスタックに於ける Al-PMA 効果について調査した結果を述べた。得られた知見は以下の通りである。

1. ALD-Al_2O_3 の成膜とそれに続く ECR-PPO によって、$Al_2O_3/GeO_X/Ge$ 構造のゲートスタックを作製した。Al_2O_3 膜上からの ECR-PPO によって形成した GeO_X 膜の厚さは 0.98 nm であった。また本研究で用いた ALD-Al_2O_3 の成膜レートは 0.13 nm/cycle、Al_2O_3 の ε_r は 8.47 であった。
2. $SiO_2/Al_2O_3/GeO_X/Ge$ 構造を有する MOSCAP に対して Al-PMA 効果を調べた。400°C 以下の Al-PMA による絶縁性の劣化は見られず、V_{FB} の増加、HT の減少、バンドギャップ下半分に於ける D_{it} の低減、を明らかにした。
3. $SiO_2/Al_2O_3/GeO_X/Ge$ ゲートスタックを有する HfGe-S/D 型 p-MOSFET に対して Al-PMA を施した。メタル S/D 側壁で Al が Al_2O_3 と直接接触しているため、Al-PMA 後にゲートスタックの絶縁性が劣化し、デバイス特性を得ることができなかった。
4. Al-PMA を施していないデバイスでは、S/D メタルの厚さよりも薄いゲートスタックにも拘わらず、典型的なトランジスタ動作を示した。しかし、R_P が大きいとの課題が明らかとなった。

第 3 章では、本章で顕在化した HfGe-S/D の高い R_P の問題を解決するため、PtGe/Ge コンタクトを S/D に採用したメタル S/D 型 Ge p-MOSFET プロセスとそのデバイス特性について述べる。また、HfGe-S/D の R_P 値についても第 3 章で述べる。

2.6 参考文献

[1] Y. Nagatomi, Y. Nagaoka, K. Yamamoto, D. Wang, and H. Nakashima, ECS Transactions **64** (2014) 261.

[2] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, Appl. Phys. Lett. **98** (2011) 112902.

[3] K. Hirayama, R. Ueno, Y. Iwamura, K. Yoshino, D. Wang, H. Yang, and H. Nakashima, Jpn. J. Appl. Phys. **50** (2011) 04DA10.

[4] D. Wang, S. Kojima, K. Sakamoto, K. Yamamoto, and H. Nakashima, J. Appl. Phys. **112** (2012) 083707.

[5] Y. Yamamoto, K. Kita, K. Kyuno and A. Toriumi, Jpn. J. Appl. Phys. **46** (2007) 7251.

[6] P. D. Kirsch, P. Sivasubramani, J. Huang, C. D. Young, M. A. Quevedo-Lopez, H. –C. Wen, H. Alshareef, K. Choi, C. S. Park, K. Freeman, M. M. Hussain, G. Bersuker, H. R. Harris, P. Majhi, R. Choi, P. Lysaght, B. H. Lee, H. –H. Tseng, R. Jammy, T. S. Boscke, D. J. Lichtenwalner, J. S. Jur, and A. I. Kingon, Appl. Phys. Lett. **92** (2008) 092901.

[7] K. Kita, and A. Toriumi, Appl. Phys. Lett. **94** (2009) 132902.

[8] K. Yamamoto, T. Yamanaka, K. Harada, T. Sada, K. Sakamoto, S. Kojima, H. Yang, D. Wang, and H. Nakashima, Appl. Phys. Express **5** (2012) 051301.

[9] S. Gaudet, C. Detavernier, A. J. Kellock, P. Desjardins, and C. Lavoie, J. Vac. Sci. Technol. **A 24** (2006) 474.

第 3 章 PtGe/Ge コンタクトを用いたメタル S/D 型 p-MOSFET の寄生抵抗の低減[1]

3.1 諸言

2 章では、$Al_2O_3/GeO_X/Ge$ ゲートスタックに於ける Al 堆積後熱処理（Al-PMA: Al-postmetallization annealing）効果について調べた結果を述べた。しかし、メタル S/D 型 p-MOSFET を試作したところ、正孔の電界効果移動度（μ_h）がチャネル長（L）の減少に伴い低下し、S/D の寄生抵抗（R_P）が高いことが分かった。本章では、R_P 低減に向けた材料選択とプロセスの適正化についてを述べる。

p-MOSFET のメタル S/D コンタクトには、低い正孔障壁高さ（Φ_{BP}）が求められる。n 形 Ge 基板上にメタルを堆積した場合、メタルのフェルミレベルが Ge の価電子帯近くにピンされる FLP 現象により[2,3]、容易に整流性コンタクトが実現できる。典型的な例として、NiGe/Ge コンタクトの電子障壁高さ（Φ_{BN}）は ~0.50 eV と報告されている[4-6]。$\Phi_{BN}+\Phi_{BP}=E_G$（E_G は Ge のバンドギャップで 0.66 eV）の関係より、Φ_{BP} は 0.16 eV と推定される。NiGe/Ge コンタクトを S/D に用いたメタル S/D 型 Ge p-MOSFET の動作も報告されているが[4]、pn 接合型 S/D MOSFET と同等の性能を得るためには、Φ_{BP} を 0.1 eV 以下にまで低減しなければならない[7]。2 章でメタル S/D として使用した HfGe/Ge コンタクトは、0.06 eV の Φ_{BP} を示し、上記の基準を満たす[8,9]。しかし、HfGe/Ge コンタクトを S/D とした p-MOSFET では、高い R_P によってデバイス特性の劣化が生じた。2 章で述べた様に、HfGe 膜は容易に酸化し、またその構造がアモルファスであることから高いシート抵抗（R_{SH}）を招くと考えられる[10]。

以上の点を踏まえ、本研究ではこれらの問題を克服できる PtGe/Ge コンタクトに着目した。PtGe は 400^{o}C の熱処理で結晶化し、かつ酸化の問題はない[11,12]。

また、PtGe/Ge コンタクトの Φ_{BN} は 0.60-0.64 eV と非常に高い値が報告されている[2,3,12-14]。従って、低い R_{SH} と極めて低い Φ_{BP} を有するメタル/Ge コンタクトが期待できる。

金属/Ge コンタクトの作製では、表面パッシベーションも重要となる。露出した n-Ge 基板上の表面層は、FLP によって常に空乏化している。従って、メタル/n-Ge コンタクトでは、その周辺部が空乏層に接しているため、逆バイアス印加時のリーク電流の要因となる周長からの表面準位発生電流（I_P）は抑制される[15,16]。しかし、実際のデバイスでは、メタル S/D 周辺に絶縁膜が堆積されるため、表面パッシベーションが適切でなければ、界面欠陥からのキャリア生成が起こり、I_P が増加する。以上の理由から、低い Φ_{BP} を有する材料の選択と同様にパッシベーション技術の検討も必要となる。

以上の点を踏まえ、本章では低 R_P を有する PtGe -S/D 型 p-MOSFET の作製に取り組んだ結果を述べる。3.2 節では、PtGe/Ge コンタクトの電気的特性と熱的安定性、有効なパッシベーション法について調べた結果を述べる。3.3 節では、van der Pauw 法によって評価した PtGe 膜の R_{SH} について述べる。3.4 節では、PtGe/Ge コンタクトを S/D に用いたメタル S/D 型 p-MOSFET を試作し、そのデバイス特性について述べる。ここでは、HfGe-S/D 型デバイスとの比較も行い、PtGe/Ge コンタクトの有意性について述べる。

3.2 PtGe/Ge コンタクトの形成とパッシベーション法の確立

3.2.1　試料作製

実験に用いた試料は、面方位：(100)、不純物濃度：5×10^{15} cm^{-3}、抵抗率：0.4 Ω・cm、の Sb ドープ n 形 Ge 基板である。図 3.1 に PtGe/Ge コンタクトの作

製プロセスを示す。試料は、以下に記述した手順で作製した。

1. 基板をアセトンで超音波洗浄後、10%の希 HF 溶液で洗浄して自然酸化膜を除去した。
2. リフトオフパターニングを施した Ge 基板上に、rf マグネトロンスパッタを用いて厚さ 10 nm の Pt と厚さ 10 nm の Ti を連続して堆積した。詳細な成膜条件を表 3.1 に示す。ここで、Ti 膜が無い場合、Pt 膜は純粋リンスによって部分的な剥離が生じる。従って、Ti 膜は Pt 膜の剥離防止キャップ層として機能する。
3. リフトオフプロセスを用い、180×400 μm^2 の面積を持つ Ti/Pt/Ge コンタクトを形成した。その後、Pt をジャーマナイド（PtGe）化するために、窒素雰囲気中で 400-500^{o}C の温度範囲で 30 分間の PMA を施した。ここで、Ge 上に堆積した 40 nm の Pt 膜が、400^{o}C 以上の熱処理によって完全に結晶化すること、また、400 および 500^{o}C でそれぞれ $PtGe_2$ 層および PtGe 層となること、が報告されている[17]。従って、本研究で施した PMA によって、10 nm-Pt は完全にジャーマナイド化したものと考えられる。
4. 0.5%の希釈 HF クリーニングおよび純水リンスの後、PtGe/Ge コンタクトを次の 2 通りの手法を用いてパッシベーションした。1 つは、Ge 表面を極薄の SiO_2/GeO_2 膜によってパッシベーションする 2 層パッシベーション（BLP: Bilayer passivation）法である。2 つ目は、Ge 表面を極薄の SiO_2 層によってパッシベーションする単層パッシベーション（MLP: Monolayer passivation）法である。両手法共に基板温度は 350^{o}C である。BLP および MLP の詳細は平山等の論文で報告されている[18,19]。これらのパッシベーション層は、スパッタ中の酸素添加の有無により構造が決まる。BLP では、SiO_2 スパッタ中に酸素ガスを添加する。この場合、SiO_2 スパッタと同時にプラズマ酸化が起こり、SiO_2/Ge 界面に極薄（~1 nm）の GeO_2 界面層が成長する。一方 MLP

では、酸素添加を行わないため GeO_2 の成長が起こらない。BLP と MLP の詳細条件を表 3.2 に示す。

5. 4 に述べたパッシベーション膜を形成後、試料を室温まで冷却し、同一真空中にて厚さ 50 nm-SiO_2 膜を堆積した。詳細な条件を表 3.2 に示す。その後、窒素雰囲気中で 400-500^{o}C の範囲で 30 分間の PDA を行った。
6. Ti/PtGe/Ge コンタクト上にコンタクトホールを開口し、真空蒸着を用いて Al を堆積した。最後にリフトオフによって Al 電極を形成し、窒素雰囲気中で 300^{o}C-10 分間の CA を施した。

また、比較としてパッシベーションを行っていない試料も用意した。

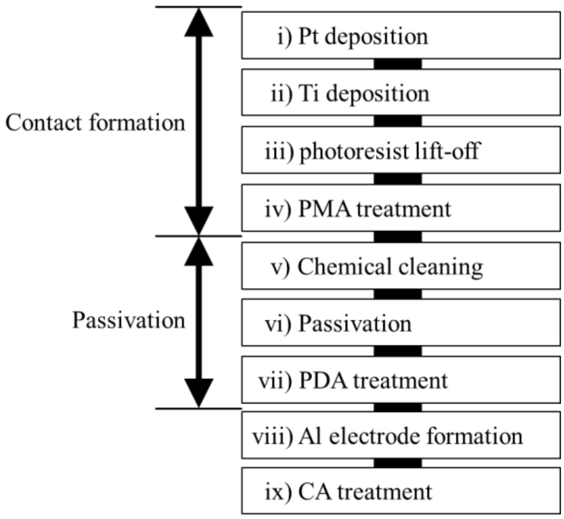

図 3.1 試料の作製手順.

表 3.1 Pt および Ti マグネトロンスパッタ成膜条件.

	P_{RF} (W)	Ar (sccm)	Pressure (Pa)	Deposition Rate (nm/min)	Temp. (^{o}C)	Time (min)
Pt	10	20	4	3.3	R.T.	3
Ti	30	20	2	5	R.T.	2

表 3.2 パッシベーション層および SiO_2 マグネトロンスパッタ成膜条件.

	P_{RF} (W)	Ar (sccm)	O_2 (sccm)	Pressure (Pa)	Deposition Rate (nm/min)	Temp. (°C)	Time (sec)
BLP	13	20	0.2	1	0.109	350	546
MLP	10	20	-	1	0.114	350	526
SiO_2	50	20	-	1	2.158	R.T.	2381

3.2.2 パッシベーションした PtGe/Ge コンタクトの電気的特性

PtGe/n-Ge コンタクトの電流－電圧（*I*-*V*）測定は室温で行った。また、Φ_{BN} および理想係数（*n*）は、順方向 *I*-*V* 特性から式（3.1）および（3.2）を用いて算出した[13]。

$$I = I_0 exp\left(\frac{qV}{nkT}\right)\left[1 - exp\left(\frac{-qV}{kT}\right)\right] \qquad (3.1)$$

$$I_0 = SA^*T^2 exp\left(\frac{-q\Phi_{BN}}{kT}\right) \qquad (3.2)$$

ここで、*q* は素電荷、*k* はボルツマン定数、*T* は絶対温度、I_0 は飽和電流、*S* は電極面積、A^*はリチャードソン定数で、n-Ge（100）面では 133.2 A/cm^{2}K^2、p-Ge（100）面では 40.8 A/cm^{2}K^2 である[20]。図 3.2（a）および（b）は、パッシベーション無、BLP および MLP を施した PtGe/n-Ge コンタクトの縦方向および横方向 *I*-*V* 特性を示す。また、測定回路もそれぞれの図中に示した。これらの試料は、500°C-PMA および 400°C-PDA にて作製したものである。表面パッシベーションを行っていないコンタクトは、Φ_{BN}=0.64 eV および *n*=1.02 を有する良好な整流性を示している。ドナー濃度 N_D=5×10^{15} cm^{-3} での鏡像力効果によるショットキー障壁の低下は、ゼロバイアスで 0.015 eV と算出されるため、真の Φ_{BN}

は 0.66 eV と見積もられ、Φ_{BP} はほぼ 0 V となる。また、400 および 450°C の PMA を施した PtGe/n-Ge のコンタクト特性も図 3.2 に示す特性と同様であった。

BLP を行ったコンタクトは、表面パッシベーション無のコンタクトの特性と非常に似ており、低いリーク電流、~10^6 の高いオンオフ比、0.64 eV の Φ_{BN} および 1.02 の n を示した。ここで、~10^6 の高いオンオフ比は、p^+/n 接合に匹敵する特性である[16]。一方で、MLP を行ったコンタクトの逆方向リーク電流は、BLP のそれより 4 桁程高い。この高いリーク電流は、GeO_2 の欠如による I_P の増加が原因である。図 3.2（b）の表面リーク電流は、MOSFET のオフ時のリーク電流となるため、この電流の抑制が重要となる。MLP を行ったコンタクトでは極めて高い表面リーク電流を示すが、BLP を行ったコンタクトでは十分抑制されている。また、ECR スパッタを用いてプラズマ酸化と SiO_2 堆積した SiO_2/GeO_2 構造のパッシベーションの結果も図 3.2 中に示す[15]。その特性は、BLP と同じ SiO_2/GeO_2 構造を使用しているにも拘わらず、BLP のそれよりもはるかに乏しい結果であった。従って、BLP 法が良好なパッシベーション効果を持つと言える。図 3.3 は BLP を行った PtGe/n-Ge コンタクトに於ける Φ_{BN} および n の PDA 温度依存性を示す。Φ_{BN} および n はそれぞれ 0.636-0.641 eV および 1.01-1.02 の範囲に保たれており、逆方向リーク電流は良く抑制されている。以上の結果より、PtGe/n-Ge コンタクトのパッシベーション法としては BLP 法が最適であり、その特性は 400-500°C の範囲の PMA および PDA に於いて維持されると結論できる。

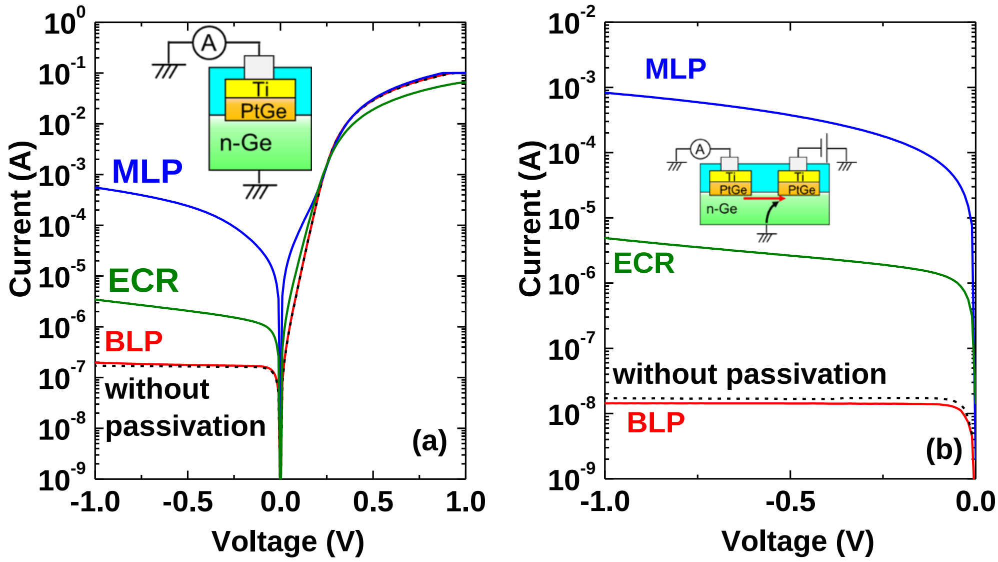

図 3.2 種々のパッシベーションを施した PtGe/n-Ge コンタクト
（a）縦方向 I-V 特性および（b）横方向 I-V 特性.

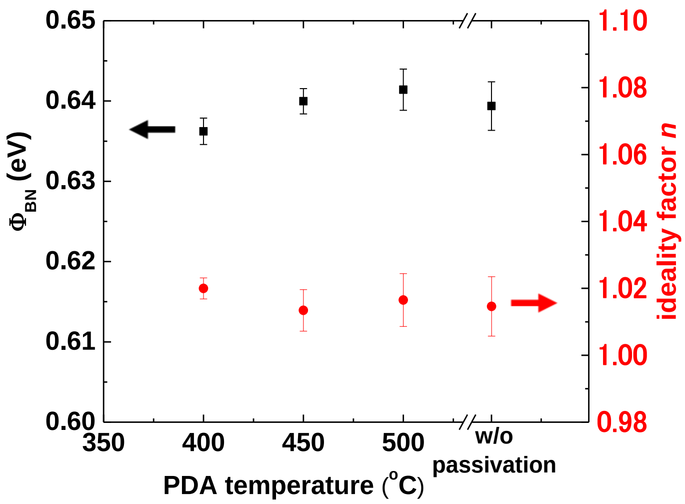

図 3.3 BLP を行った PtGe/n-Ge コンタクトに於ける Φ_{BN} および n の PDA 温度依存性.

3.3 PtGe 層の R_{SH} の評価

van der Pauw 法を用いて、Ti で保護した PtGe 層の R_{SH} を評価した。試料は、Ref. 11 のプロセスを用いて作製した。図 3.4 および 3.5 に作製プロセスおよび試料構造をそれぞれ示す。試料は、以下に記述した手順で作製した。

1. 基板をアセトンで超音波洗浄後、RCA 洗浄によって自然酸化膜を除去した。

2. Si基板上に熱酸化によってSiO_2膜を成長させ、その上にメタルマスクを用いて~50 nmのアモルファス（*a*-）Ge膜を蒸着した。
3. 窒素雰囲気中で550^{o}C-180分間の熱処理を行い、*a*-Geを結晶化させた。*a*-Geの結晶化は分光エリプソメトリーと電気的測定によって評価した。結果として、図3.6に示す様に、*a*-Geは多結晶（*pc*-）Geへと変化し、*pc*-Geのシート抵抗は測定不可能な程に十分高いことを確認した。
4. Tiでキャップした PtGe層のR_{SH}を評価するために、メタルマスクを用いて10 nm-Pt および 10 nm-Ti を *pc*-Ge 上に堆積し、その後窒素雰囲気中で500^{o}C-30分間のPMAを施した。
5. メタルマスクを用いて試料のコーナーにAl電極を形成した。

比較のため、同様のプロセスを用いて*pc*-Ge上にTiキャップなし（10 nm-Pt膜のみ）の試料も準備した。また、TiN/HfGeコンタクトのR_{SH}測定も行った。HfおよびTiNの成膜条件を表3.3に示す。

測定から得られた各R_{SH}の結果を表3.4に纏めた。Tiキャップした PtGe層のR_{SH}は56 Ω/sqと得られ、PtGe層のみの54 Ω/sqに近い値であった。この結果は、PtGe層がR_{SH}を支配していることを示唆している。TiN/HfGeの結果は、R_{SH} =1720 Ωと非常に高い値であった。

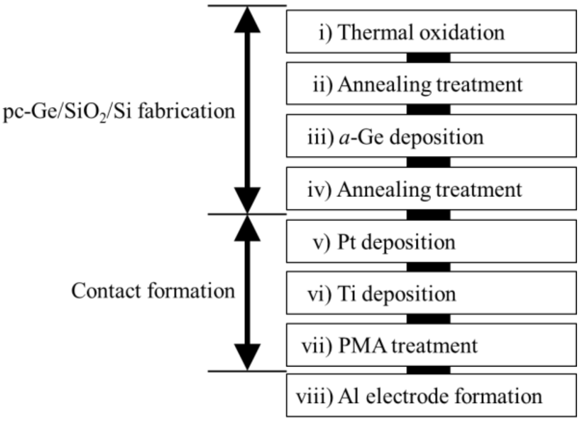

図 3.4 試料の作製手順.

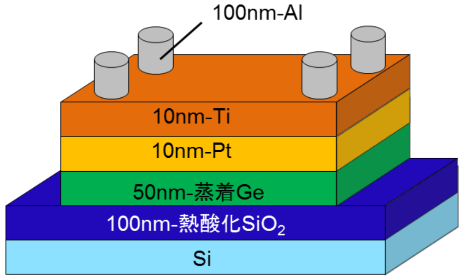

図 3.5 試料の構造.

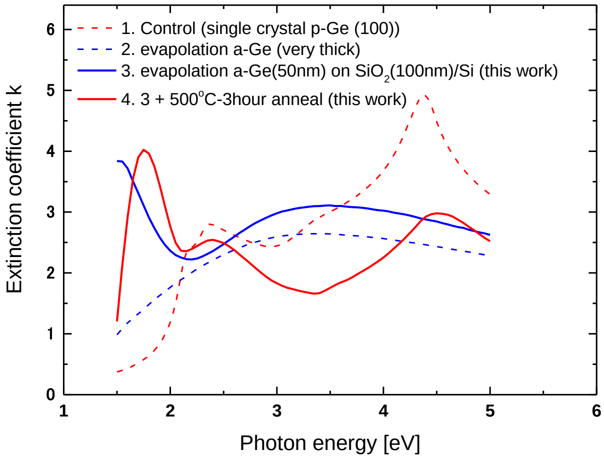

図 3.6 分光エリプソメトリーによる Ge の結晶性の評価.

表 3.3 Hf および TiN マグネトロンスパッタ成膜条件.

	P_{RF} (W)	Ar (sccm)	Pressure (Pa)	Deposition Rate (nm/min)	Temp. (°C)
Hf	10	20	5	3.3	R.T.
TiN	60	30	2	5	R.T.

表 3.4 各コンタクトの R_{SH}.

	pc-Ge	Ti/PtGe	PtGe	TiN/HfGe
R_{SH} [ohm/sq]	測定不可 (抵抗値が極めて大きい)	56	54	1720

3.4 PtGe-S/D 型 p-MOSFET のデバイス特性

3.4.1 試料作製

実験に用いた試料は、2.2 節と同じである。図 3.7 に、本研究で用いたメタル S/D 型 p-MOSFET 試作のためのゲートラストプロセスを示す。試料は、以下に記述した手順にて作製した。

1. 基板をアセトンで超音波洗浄後、10%の希 HF 溶液で洗浄して自然酸化膜を除去した。
2. 2.2.1 節の 1-4 と同じ手順で PtGe -S/D およびパッシベーション膜とゲート絶縁膜を兼ねた BLP 膜を堆積した。ここで、Pt ジャーマナイド化のための PMA 温度は 400^{o}C、BLP の SiO_2 膜厚は 0.5 nm である。
3. EOT 低減のために厚さ 4 nm-Al_2O_3 膜を ALD を用いて 300^{o}C で堆積し、窒素雰囲気中で 400^{o}C-30 分間の PDA を行った。
4. メタルゲートプロセスとして、厚さ 25 nm-TiN および厚さ 200 nm-Al をそれぞれマグネトロンスパッタおよび真空蒸着によって堆積した。詳細な成膜条件を表 3.5 に示す。
5. 2.2.1 節の 5 と同じ手順で Al/TiN ゲート電極を加工し[21]、その後窒素雰囲気中で 350^{o}C-20 分間の PMA を行った。
6. 2.2.1 節の 6 と同じ手順を用いて、S/D 領域のコンタクト形成を行った。

この MOSFET はゲート電極と S/D 電極間に Al_2O_3 膜の堆積によって 4 nm のスペースが生じているが、PtGe の横方向成長が生じているため、ゲート電極が S/D 電極を覆うオーバーラップ構造となっていることは重要である。

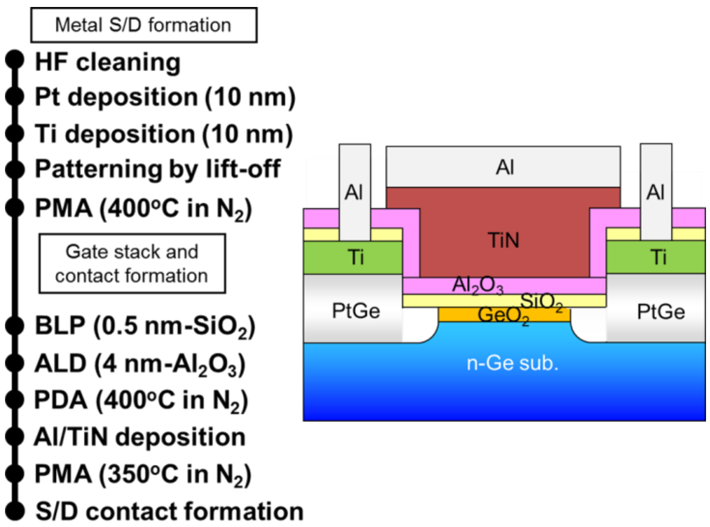

図 3.7 試料の作製手順と断面図.

表 3.5 TiN マグネトロンスパッタ成膜条件.

P_{RF} (W)	Ar (sccm)	Pressure (Pa)	Deposition Rate (nm/min)	Temp. (°C)
60	30	2	5	R.T.

3.4.2 MOSFET 特性と解析[22]

図 3.8（a）はデバイス測定に於ける各パラメータを示す。ソース電流を I_S、ドレイン電流を I_D、基板電流を I_{SUB} と記す。また、典型的な I_S-V_G 特性を図 3.8（b）に示す。

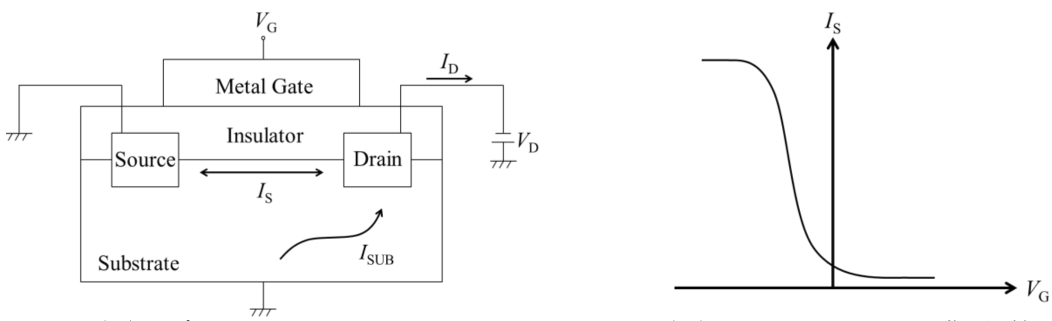

図 3.8 （a）デバイスのパラメータ、および（b）p-MOSFET の典型的なソース電流-ゲート電圧（I_S-V_G）特性.

MOSFET の I_S、I_D および I_{SUB} は、ゲートリーク電流が無視できる時、式(3.3)の関係を持つ。

$$I_D = I_S + I_{SUB} \tag{3.3}$$

また、I_S は $V_D \ll V_G$ の時式（3.4）で、I_{SUB} は式（3.5）で与えられる。

$$I_S = \frac{W}{L}\mu C_{OX}(V_G - V_{TH})V_D \tag{3.4}$$

$$I_{SUB} = SA^{*}T^{2}exp\left(-\frac{\Phi_{BN}}{kT}\right)\left(e^{\frac{qV}{nkT}} - 1\right) \tag{3.5}$$

ここで、W はチャネル幅、L はチャネル長、C_{OX} は単位面積当たりの酸化膜容量、V_{TH} はしきい値電圧、V_D はドレイン電圧である。相互コンダクタンス（g_m）および電界効果移動度（μ）はそれぞれ式（3.6）および（3.7）で与えられる。

$$g_m = \left.\frac{\partial I_S}{\partial V_G}\right|_{V_D=const.} = \frac{W}{L}\mu C_{OX}V_D \tag{3.6}$$

$$\mu = \frac{g_m}{\frac{W}{L}C_{OX}V_D} \tag{3.7}$$

I_S-V_G 特性に於けるオフからオンへのサブスレッショルドスロープ（SS）は式（3.8）で与えられる。

$$SS = \frac{\partial V_G}{\partial \log I_S} = \ln 10 \cdot \frac{\partial V_G}{\partial \ln I_S} \tag{3.8}$$

また、界面準位密度（D_{it}）は式（3.9）と（3.10）から算出される。

$$SS = \frac{kT}{q}\ln 10 \cdot \left(1 + \frac{C_{dep}+C_{it}}{C_i}\right) \qquad (3.9)$$

$$D_{it} = \frac{C_{it}}{q} \qquad (3.10)$$

ここで、C_{dep}は強反転時の半導体の空乏層容量、C_{it}は界面準位密度(単位: F/cm^2)、C_{i}は MOS の絶縁膜容量である。C_{i}および C_{dep}はゲートの容量-電圧（C-V）特性から求められる。

デバイスのチャネル抵抗（R_{CH}）は式（3.11）で与えられるので、R_{P}は R_{P}＝R_{T}-R_{CH}の関係から求められる。ここで、R_{T}はデバイスの総抵抗である。

$$R_{CH} = \frac{V_D}{I_S} = \frac{L}{W}\frac{1}{\mu C_{OX}(V_G - V_{TH})} \qquad (3.11)$$

3.4.3 PtGe-S/D 型 p-MOSFET の電気的特性

図 3.9 は作製した p-MOSFET の I_{D}、I_{S}-V_{D}特性を示している。ここで、フラットバンド電圧（V_{FB}）、V_{TH}および EOT は、それぞれ+0.08 V、-0.30 V および 3.4 nm で、L および W はそれぞれ 100 および 390 μm である。チャネル伝導は V_{G}によって良く制御されており、これは BLP を施した PtGe コンタクトが p-MOSFET のメタル S/D としてうまく機能していることを意味している。更に、I_{D}と I_{S}の差は比較的小さく、I_{SUB}が PtGe ドレインコンタクトの高い Φ_{BN}によって十分抑制できていることを示唆している。

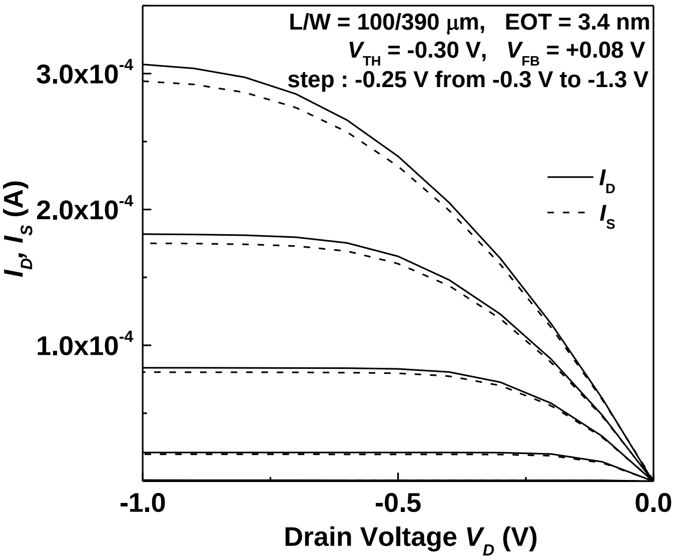

図 3.9 PtGe/Ge-S/D 型 p-MOSFET の I_D,I_S-V_D 特性.

図 3.10 は V_D=-0.01、-0.1、-1 V に於ける I_D および I_S-V_G 特性を示している。オフ状態の I_D は I_{SUB} によって支配的、オン状態の I_D は I_S によって支配的となっており、I_D=I_S＋I_{SUB} の関係を満たしている。V_D=-0.1 V に於けるオン状態の I_{SUB} から Φ_{BN} は 0.65 V と見積もられ、オン状態 I_{SUB} が PtGe ドレインコンタクトの高い Φ_{BN} によってうまく抑制されている。しかし、V_D=-1 V のオフ状態 I_{SUB} は、V_G の増加に伴い大幅に増加している。これは、ドレイン端の高電界による、ドレインからチャネルへの電子の電界放出トンネリングを示唆している。EOT=3.4 nm、V_{FB}=+0.08 V、V_D=-1.0 V および V_G=0 V のとき、ドレイン端のゲート絶縁膜直下の電子密度（N_S）は、N_S=（ε_{ox}/EOT）（V_G - V_{FB} - V_D）/q（ε_{ox} : SiO_2 の比誘電率）の関係より 6×10^{12} cm^{-2} と算出される。強蓄積領域のチャネルの厚さを 3 nm と仮定すると、2×10^{19} cm^{-3} の電子濃度に対応し、電界放出トンネリングが起こる範囲となる。V_G を負方向へ増加させた場合、電界は弱くなり、オン状態 I_{SUB} は電界放出トンネリングから熱電子放出が支配的になる。これらの電気的な特性は、メタル S/D 型 MOSFET の典型的な両極性動作である。

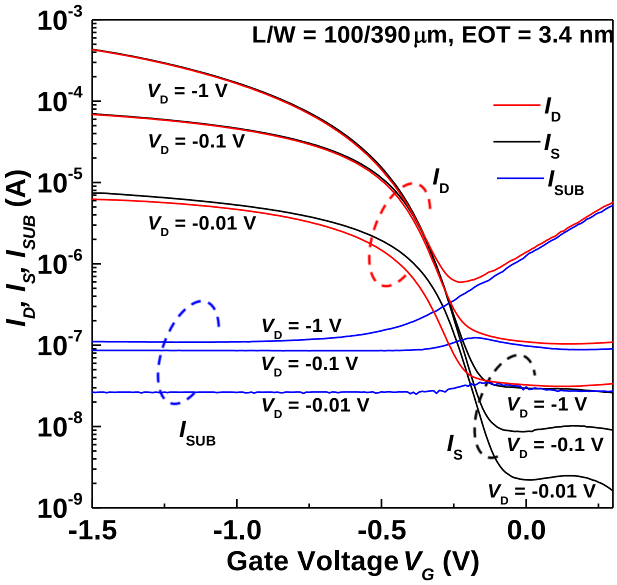

図 3.10 PtGe/Ge-S/D 型 p-MOSFET の I_D,I_S,I_{SUB}-V_G 特性.

V_D=-0.1 および-1 V の I_D のオンオフ比は、それぞれ 6.2×10^2 および 7.2×10^2 で、これは 3.2 nm の EOT を持つ HfGe-S/D 型 MOSFET のそれより約 10 倍高い[24]。

V_D=-0.01 V に於ける I_S の SS は式（3.9）から 85 mV/dec と得られ、この値から D_{it} は 2.3×10^{12} cm^{-2}eV^{-1} と得られた。μ_h は式（3.7）の関係より、V_D=-0.01 V のデータを用いて算出した。図 3.11 は、L/W=40/390、60/390 および 100/390 µm のデバイスの V_G を関数とした μ_h を示している。比較として、同じオーバーラップ構造を持つ HfGe-S/D 型 p-MOSFET から得た V_G-μ_h 特性も図 3.11 中に示している[23]。HfGe-S/D 型では、L の減少および V_G の負方向への増加に伴い、μ_h の低下が生じていることが分かる。これらの特性は HfGe-S/D の高い R_P の影響である。

PtGe-および HfGe-S/D の R_P を定量的に調べるために、R_T-L プロットを作成した[24]。PtGe-および HfGe-S/D 型デバイスの R_T と L との関係を図 3.12（a）および（b）にそれぞれ示す。R_T は V_G-V_{TH}=-0.8, -1.0, -1.2 V に於ける V_D/I_S から算出した。ここで、V_D は-0.01 V とした。理想的に作製されたデバイスでは、各

V_G のフィッティング直線は 1 点で交わり、交点の x 座標が S/D の横方向への拡がり（ΔL）、y 座標が R_P を表す。今回の様な L が大きなメタル S/D 型 MOSFET では、ΔL はゼロとなることが予想される。図 3.12（a）および（b）より、S/D 材料にかかわらず、ΔL はほぼゼロであった。また、PtGe-および HfGe-S/D 型 p-MOSFET の R_P は、それぞれ~50 および~300 Ω であった。S/D として PtGe の使用により、R_P が 1/6 に低減できた。従って、BLP を行った PtGe/Ge コンタクトは、Ge p-MOSFET のメタル S/D として非常に有用であると言える。

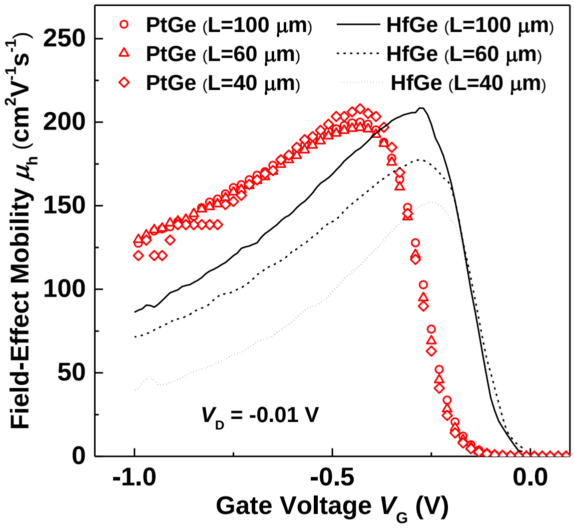

図 3.11 PtGe/Ge-S/D 型および HfGe/Ge-S/D 型 p-MOSFET の μ_h-V_G 特性.

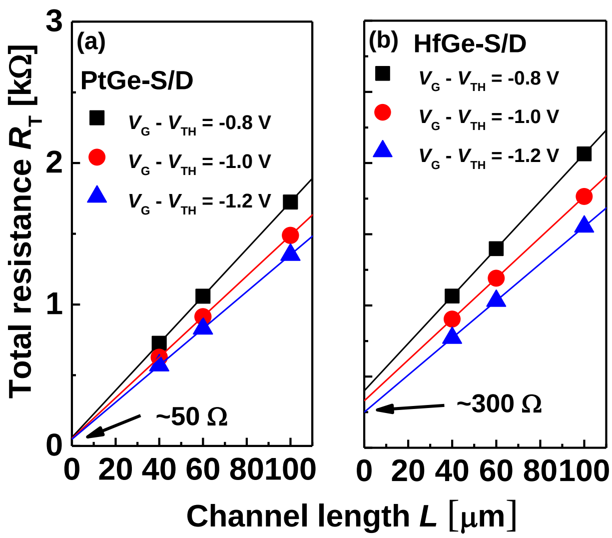

図 3.12 （a）PtGe-および（b）HfGe-S/D 型 p-MOSFET の総抵抗-チャネル長（R_T-L）プロット.

3.5 本章のまとめ

本章では、PtGe/Ge コンタクトを S/D に用いたメタル S/D 型 Ge p-MOSFET を作製し、R_P について調査した結果を述べた。得られた知見は以下の通りである。

1. 種々のパッシベーションを施した Ti/Pt/n-Ge コンタクトを作製した。3 種類のパッシベーション法の中で、BLP が PtGe/Ge コンタクトの特性を最もよく引き出せることを示した。また、BLP を施した PtGe/Ge コンタクトの Φ_{BN} は 0.66 eV で、これは Φ_{BP}~0 eV を意味する。
2. BLP を施した PtGe/Ge コンタクトを作製し、400-500°C の範囲で熱処理を行った。結果として、Φ_{BP} および n はほとんど変化せず、PtGe/Ge コンタクトの熱安定性を示した。
3. pc-Ge/ SiO_2 上に Ti/Pt/Ge コンタクトを作製し、R_{SH} の評価を行った。Ti/Pt/Ge コンタクトの R_{SH} は 56 Ω/sq と得られ、PtGe/Ge コンタクトの低い R_{SH} を示した。
4. S/D に PtGe/Ge コンタクトを、ゲートスタックに $Al_2O_3/SiO_2/GeO_X$/Ge ゲートスタックを、有するメタル S/D 型 Ge p-MOSFET を作製した。典型的なトランジスタ動作が得られ、PtGe/Ge コンタクトがメタル S/D として機能することを示した。また、PtGe/Ge-S/D 型デバイスのオンオフ比は HfGe/Ge-S/D 型のものよりも 1 桁高いことを示した。また、PtGe-S/D の R_P は~50 Ω、HfGe-S/D の R_P は~300 Ω と得られ、2 章で問題となった HfGe/Ge-S/D の R_P を大幅に低減できた。

第 4 章では、本章で述べた PtGe -S/D 形成法を p-MOSFET に適用し、Al-PMA 効果について詳細に調査した結果を述べる。

3.6 参考文献

[1] Y. Nagatomi, S. Tanaka, Y. Nagaoka, K. Yamamoto, D. Wang, and H. Nakashima, Jpn. J. Appl. Phys. **54** (2015) 070306.

[2] A. Dimoulas, P. Tsipas, and A. Sotiropoulos, Appl. Phys. Lett. **89** (2006) 252110.

[3] T. Nishimura, K. Kita, and A. Torium, Appl. Phys. Lett. **91** (2007) 123123.

[4] S. Zhu, R. Li, S. J. Lee, M. F. Li, A. Du, J. Singh, C. Zhu, A. Chin, and D. L. Kwong, IEEE Electron Device Lett. **26** (2005) 81.

[5] Y. Guo, X. An, R. Huang, C. Fan, and X. Zhang, Appl. Phys. Lett. **96** (2010) 143502.

[6] T. Sadoh, H. Kamizuru, A. Kenjo, and M. Miyao, Appl. Phys. Lett. **89** (2006) 192114.

[7] S. Y. Xiong, T. J. King, and J. Bokor, IEEE Trans. Electron Devices **52** (2005) 1859.

[8] K. Yamamoto, T. Yamanaka, K. Harada, T. Sada, K. Sakamoto, S. Kojima, H. Yang, D. Wang, and H. Nakashima, Appl. Phys. Express **5** (2012) 051301.

[9] K. Yamamoto, T. Sada, D. Wang, and H. Nakashima, Appl. Phys. Lett. **103** (2013) 122106.

[10] S. Gaudet, C. Detavernier, A. J. Kellock, P. Desjardins, and C. Lavoie, J. Vac. Sci. Technol. **A 24** (2006) 474.

[11] R. Li, S. J. Lee, H. B. Yao, D. Z. Chi, M. B. Yu, and D. L. Kwong, IEEE Electron Device Lett. **27** (2006) 476.

[12] T. Maeda, K. Ikeda, S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama, and S. Takagi, Thin Solid Films **508** (2006) 346.

[13] K. Ikeda, T. Maeda, and S. Takagi, Thin Solid Films **508** (2006) 359.

[14] T. Takahashi, T. Nishimura, L. Chen, S. Sakata, K. Kita, and A. Toriumi, IEDM Tech. Dig. (2007) 698.

[15] K. Yamamoto, K. Harada, H. Yang, D. Wang, and H. Nakashima, Jpn. J. Appl. Phys. **51** (2012) 07208.

[16] K. Yamamoto, T. Yamanaka, R. Ueno, K. Hirayama, H. Yang, D. Wang, and H. Nakashima, Thin Solid Films **520** (2012) 3382.

[17] V. Janardhanam, J. S. Kim, K. Moon, Y. B. Lee, D. G. Kim, S. M. Kang, and C. J. Choi, J. Electrochem. Soc. **158** (2011) H846.

[18] K. Hirayama, K. Yoshino, R. Ueno, Y. Iwamura, H. Yang, D. Wang, and H. Nakashima, Solid-State Electron. **60** (2011) 122.

[19] K. Hirayama, R. Ueno, Y. Iwamura, K. Yoshino, D. Wang, H. Yang, and H. Nakashima, Jpn. J. Appl. Phys. **50** (2011) 04DA10.

[20] S. M. Sze: Physics of Semiconductor Devices, 2nd ed. (Wiley, New York, 1981) 850.

[21] H. Nakashima, Y. Iwamura, K. Sakamoto, D. Wang, K. Hirayama, K. Yamamoto, and H. Yang, Appl. Phys. Lett. **98** (2011) 252102.

[22] S. M. Sze and K. K. Ng: Physics of Semiconductor Devices 3rd ed. (Wiley, New Jersey, (2007) 315.

[23] Y. Nagatomi, Y. Nagaoka, K. Yamamoto, D. Wang, and H. Nakashima, Ext. Abstr. Solid State Devices and Materials, (2014) 10.

[24] T. Maeda, Y. Morita, and S. Takagi, Appl. Phys. Express **3** (2010) 061301.

第 4 章 $SiO_2/GeO_2/Ge$ ゲートスタック中への Al 導入による p-MOSFET の移動度向上機構の解明[1]

4.1 諸言

平山等は、2 層保護膜（BLP: Bilayer passivation）法で作製した $SiO_2/GeO_2/Ge$ ゲートスタックに Al を堆積して熱処理（Al-PMA: Al-postmetallization annealing）すると、Al-PMA 温度の増加に伴い、容量－電圧（*C*-*V*）特性から求まるフラットバンド（V_{FB}）が正方向にシフトすること、ヒステリシス（HT）が低減すること、バンドギャップ下半分の界面準位密度（D_{it}）が低減すること、を見出し、2011 年にこれらの「Al-PMA 効果」を報告している[2]。王等は、平山等が報告した D_{it} に於ける Al-PMA 効果を正確に評価するために、Al-PMA 処理した $SiO_2/GeO_2/Ge$ ゲートスタック（EOT : 50 nm）に対して一定温度 DLTS 法を適用して精密に D_{it} を評価している[3]。その結果、確かに 400°C での Al-PMA により、バンドギャップ下半分の D_{it} が低減すること、ボーダトラップ（D_{bt}）も低減すること、を示している。これら結果を受けて、山本等は、$SiO_2/GeO_2/Ge$ ゲートスタック（EOT=50 nm）を有するメタル S/D 型 Ge p-MOSFET を試作し、Al-PMA が及ぼす正孔移動度（μ_h）への影響について報告している[4]。その結果、300 および 400°C で Al-PMA 処理した場合のピーク μ_h の値はそれぞれ 147 および 336 cm^2/Vs で、400°C の Al-PMA が μ_h 向上に有効であると結論している。

この Al-PMA 効果が、$SiO_2/GeO_2/Ge$ とは異なる構造のゲートスタックにも有効であるかを明らかにすることは重要と考え、著者は $Al_2O_3/GeO_2/Ge$ 構造に対する Al-PMA 効果を調べ、得られた結果を 2 章で述べた。結果として、

$Al_2O_3/GeO_2/Ge$ スタックに対しても同様の Al-PMA 効果を見出した。

しかしながら、この Al-PMA 効果の本質は明らかでない。即ち、PMA 処理により Al がゲート電極からゲートスタック中へ本当に導入するのか、もし Al がゲートスタック中に導入されるのであれば、ゲートスタック中でどのような反応が起こっているのか、μ_h の向上は D_{it} と D_{bt} の低減のみでもたらされるのか、等の疑問には答えられていない状況である。これらの疑問に対する答え見出すには、Al-PMA 効果の本質を探る必要があると考え、著者はこの課題に取り組んだ。

本研究では、原点に立ち戻り、平山等が報告した $SiO_2/GeO_2/Ge$ 構造のゲートスタックに於ける Al-PMA 効果の本質を解明すること、μ_h の向上に於ける Al-PMA 効果の役割を明確化すること、を目的とした。そのため、より低温で Al-PMA 効果を発現せるために、これまでの厚い（EOT=50 nm）ゲートスタックに代えて、薄いゲートスタック（EOT=7 nm）を採用した。この薄いゲートスタックを有するメタル S/D 型 Ge p-MOSFET を実現するため、3 章で確立した PtGe/Ge コンタクトを Ge 基板へ埋め込んだ S/D 構造を用いた。

本章では、Al-PMA を施した MOSCAP および p-MOSFET に於ける電気特性と MOSCAP の構造解析を通して、$SiO_2/GeO_2/Ge$ ゲートスタックに於ける Al-PMA 効果の包括的な結果を示す。4.2 節では、Al-PMA を施した MOSCAP の電気特性を評価し、V_{FB}、HT、D_{it} および D_{bt} の Al-PMA 温度依存性を示す。また、Al-PMA 処理無しおよび有りの Si-および Ge-MOSCAP の V_{FB}-EOT プロットから、電気的界面ダイポールの生成と消失について述べる。4.3 節では、飛行時間型質量分析（TOF-SIMS）および X 線光電子分光分析（XPS）を用いて、Al-PMA の有無による $SiO_2/GeO_2/Ge$ 構造の変化について述べる。これらの結果から、$SiO_2/GeO_2/Ge$ ゲートスタックに於ける Al-PMA 効果を明らかにする。4.4 節では、Al-PMA を施した p-MOSFET のデバイス特性を示し、Al-PMA による μ_h 向

上の要因を明らかにする。

4.2 Al-PMA による MOSCAP の電気特性

4.2.1 試料作製

実験に用いた試料は、面方位：(100)、不純物濃度：1.6×10^{16} cm^{-3}、抵抗率：0.4 Ω・cm、の p 形 Ge 基板である。図 4.1 に MOSCAP の作製プロセスを示す。試料は、以下に記述した手順で作製した。

1. 基板をアセトンで超音波洗浄後、10%の希 HF 溶液で洗浄して自然酸化膜を除去した。
2. BLP 法により基板温度 350^{o}C で厚さ 0.5 nm-SiO_2 膜を Ge 基板上に堆積した[5]。ここで、SiO_2/Ge 界面には~1.0 nm の GeO_2 層が成長している。
3. 同一真空中にて厚さ 5 nm の 2 層目 SiO_2 膜を、室温で酸素添加無しの条件で堆積した。詳細な成膜条件を表 4.1 に示す。
4. 窒素雰囲気中で 400^{o}C-30 分間の PDA を行った。
5. 厚さ 100 nm の Al 電極を真空蒸着によって堆積し、窒素雰囲気中にて 300-400^{o}C の範囲の Al-PMA を 30 分間施した。
6. 46^{o}C の H_3PO_4 溶液によるウェットエッチングを用いて、2.25×10^{-4} cm^2 のゲート電極面積を持つパターンに加工した。

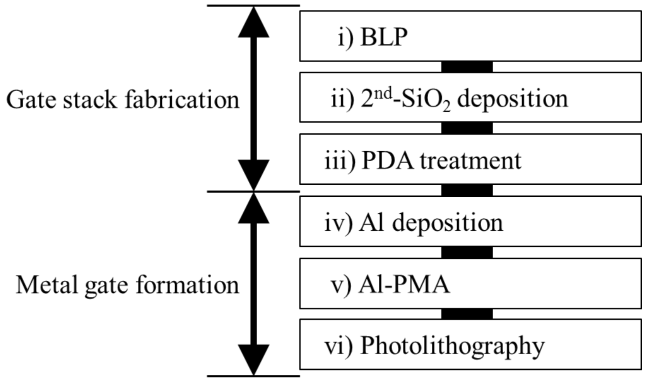

図 4.1 試料の作製手順.

表 4.1 BLP および SiO_2 マグネトロンスパッタ成膜条件.

	P_{RF} (W)	Ar (sccm)	O_2 (sccm)	Pressure (Pa)	Deposition Rate (nm/min)	Temp. (°C)
BLP	13	20	0.2	1	0.109	350
SiO_2	50	20	-	1	2.158	R.T.

4.2.2 MOSCAP の電気的特性

図 4.2 は、3 種類の Al-PMA 処理を施した MOSCAP の *C-V* 特性を示す。なお、測定温度および周波数はそれぞれ室温および 1 MHz である。また、バイアスは、-2 から+1 V、および+1 から-2 V までの 2 回掃引している。図 4.3 に Al-PMA 温度を関数とした V_{FB} および HT プロットを示す。ここで、全 MOSCAP の EOT は 6.7-7.0 nm の範囲であった。Al-PMA 温度の増加に伴い、V_{FB} は正方向へシフトし、HT は減少している。これらは Refs.2 および 3 の結果と一致している。

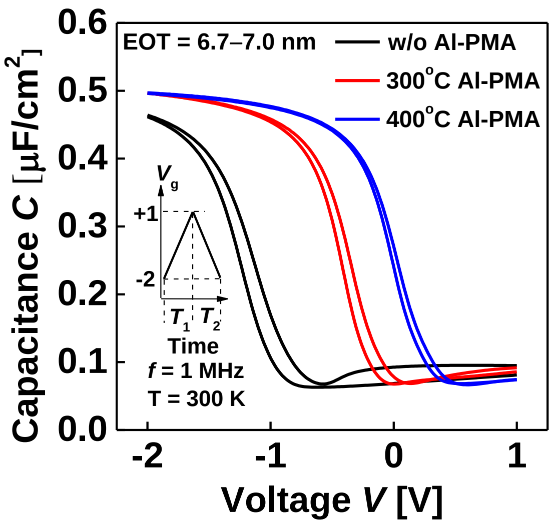

図 4.2 各温度で Al-PMA を施した MOSCAP の C-V 特性.

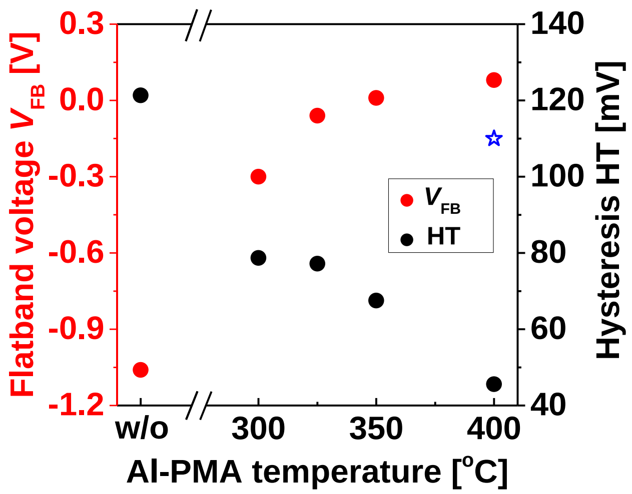

図 4.3 V_{FB} および HT の Al-PMA 温度依存性.

4.3 Si-および Ge-MOSCAP を用いた Al の実効仕事関数と固定電荷密度の評価

4.3.1 試料作製

BLP 法を用いて作製した SiO_2/GeO_2 ゲートスタックでは、SiO_2/GeO_2 界面に電気的ダイポールが発生し、V_{FB} が負方向にシフトすることが報告されている[6]。

従って、Al-PMA 処理の有無による MOSCAP 中のダイポール量を正確に把握するために、Al の実効仕事関数（$\Phi_{m,eff}$）を Ge-MOSCAP の V_{FB}-EOT プロットより評価した。MOSCAP は 4.2.1 で述べたプロセスと同様の手順で作製した。但し、2 層目の SiO_2 膜厚を 5-20 nm の範囲で可変している。SiO_2/GeO_2 界面のダイポール形成について議論するためには、Al/SiO_2 界面に於けるダイポール形成についても明らかにしなければならない。これは、2 章で述べた様に、熱処理によって Al/SiO_2 界面付近の Al が酸化し、$Al/AlO_X/SiO_2$ 構造となり、V_{FB} の正方向シフトをもたらす界面ダイポールが AlO_X/SiO_2 界面に形成される可能性があるためである[7]。Al-PMA 前後の Al/SiO_2 界面に於けるダイポールについては、3.1×10^{15} cm^{-3} のアクセプタ濃度を持つ p 形（100）Si 基板を用いて調査した。Si 基板の RCA 洗浄後、Ge-MOSCAP プロセスと同様の手法を用いて $Al/SiO_2/Si$ 構造を作製した。Si 基板に BLP 法を適用した場合、SiO_2 のスパッタ堆積と同時にプラズマ酸化が生じるため、プラズマ酸化によって成長した SiO_2 膜とスパッタ堆積された SiO_2 膜が形成される。SiO_2 の比誘電率は GeO_2 のそれよりも低いため、Si-MOSCAP の EOT は Ge-MOSCAP よりも必然的に厚くなる。

4.3.2 Si-および Ge-MOSCAP の V_{FB}-EOT プロット

Ge-および Si-MOSCAP に於ける V_{FB} と EOT の関係は式（4.1）で与えられる。

$$V_{FB} = (\phi_{m,eff} - \phi_{Ge/Si}) - \frac{Q \times EOT}{\varepsilon_{OX}}, \qquad (4.1)$$

ここで、$\Phi_{Ge/Si}$ は Ge または Si 基板の仕事関数、Q は固定電荷密度（Q_f）と界面トラップ電荷密度（Q_{it}）の和、ε_{ox} は SiO_2 の誘電率である。式（4.1）の関係より、$\Phi_{m,eff}$ および Q は、それぞれ V_{FB}-EOT プロットの y 軸との切片および近似

直線の傾きから求めることができる。

Al-PMA 無し、300 および 400°C の Al-PMA を行った Si-および Ge-MOSCAP の V_{FB}-EOT プロットを図 4.4（a）および（b）にそれぞれ示す。また、これらのプロットより得られた $\Phi_{m,eff}$ の値を表 4.2 に纏めた。作製した全ての Si-MOSCAP の $\Phi_{m,eff}$ は~4.3 eV で、Al-PMA 温度に依存せずほぼ一定であった。また、文献値の Al の仕事関数（約 4.3 eV）とも一致している[8]。これは、300-400°C の範囲の熱処理で、Al/SiO_2 界面にダイポールが形成されていないことを意味する。

一方で、Ge-MOSCAP の結果は極めて特異な挙動を示している。Al-PMA を施していない Ge-MOSCAP の $\Phi_{m,eff}$ は 3.55 eV と小さく、ダイポールが存在していることが分かる。Al/SiO_2 界面は Si-および Ge-MOSCAP 共に同じであるため、このダイポールは SiO_2/GeO_2 界面に形成されており、その大きさは~-0.8 V 程度である。その向きから、SiO_2 側で負電荷、GeO_2 側で正電荷であることが分かる。このダイポールが BLP 法に関連して形成されるのか否かを確かめるために、7 nm の EOT を有する Al/SiO_2/GeO_2/Ge スタックを、ECR プラズマ酸化および同一真空中での SiO_2 堆積によって作製した。結果は、V_{FB}=-1.2 V と大きく負側にシフトしていた。以上の結果から、ダイポールの形成は SiO_2/GeO_2 の構造自体に起因すると考えられる。

しかし、300°C の Al-PMA を行った Ge-MOSCAP の $\Phi_{m,eff}$ は 4.40 eV まで増加し、文献値の Al の仕事関数と概ね一致している。これは 300°C の Al-PMA が、SiO_2/GeO_2 界面のダイポール消失を導いたことを示唆している。400°C の Al-PMA を施した Ge-MOSCAP の $\Phi_{m,eff}$ も 4.44 eV で、文献値と概ね等しい値を示しており、SiO_2/GeO_2 界面にダイポールが存在していないことが分かる。

V_{FB}-EOT プロットの各近似直線の傾きより、Al-PMA 無し、300 および 400°C の Al-PMA を施した MOSCAP の Q は、それぞれ+2.4×10^{11}、+3.8×10^{11} および

-4.6×10^{11} cm^{-2}（表 4.2）と見積られた。作製した全ての MOSCAP は Al-PMA 処理の前に 400°C の PDA を施しているため、Q の変化は単純な熱処理の効果ではなく Al-PMA の効果である。従って、Q の変化は SiO_2/GeO_2 ゲートスタックへの Al 原子の導入によって生じている可能性が高い。

以上の結果より、図 4.3 中の V_{FB} シフトの原因は次のように説明できる。300°CAl-PMA 後の V_{FB} の正方向シフトは、主に SiO_2/GeO_2 界面のダイポール消失に起因する。また、300°C 以上の Al-PMA 処理による V_{FB} の正方向シフトは、SiO_2/GeO_2/Ge ゲートスタック中の負電荷発生に起因している可能性が高い。両現象は、SiO_2/GeO_2 ゲートスタック中への Al 原子の導入と強く関連する。一方、同様の構造で EOT=50 nm の MOSCAP の V_{FB} は、Al-PMA 無しおよび 300°C の Al-PMA に於いてそれぞれ-1.24 および-0.64 V であった[3]。両者の差約+0.6 V の V_{FB} の正方向シフト量は、本研究で調査した SiO_2/GeO_2 界面のダイポールの大きさ（~+0.8 eV）より小さい。これは、EOT（SiO_2 膜厚）が厚いため、同じ Al-PMA 温度でも SiO_2/GeO_2 界面へ到達した Al 原子の量が少なく、ダイポールが部分的に消失していることを示唆している。Ref. 3 中の 400°CAl-PMA では V_{FB} は+0.69 V を示し、ダイポールが完全に消失している。また、Al-PMA 無と 400°CAl-PMA を施した MOSCAP の V_{FB} の差は約 1.9 V であり、このシフト量から SiO_2/GeO_2 界面のダイポール量を差し引くと、+1.1 V の正方向シフトとなる。この量を、EOT=7 nm の MOSCAP のシフト量に換算すると+0.15 V と得られ、図 4.3 中の星印の点となる。星印は、300 および 325°C の Al-PMA を施した EOT=7 nm の MOSCAP の V_{FB} の間に位置しているため、EOT=50 nm の MOSCAP に対する 400°C の Al-PMA は、EOT=7 nm の場合の 300-325°C に対応する。つまり、EOT を低減した場合、より低い温度で Al-PMA 効果が発現すると言える。

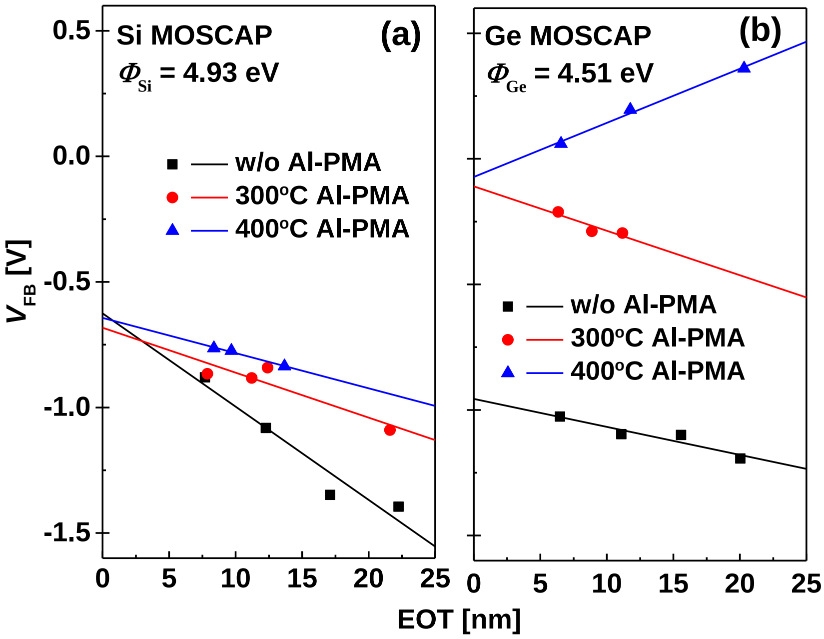

図 4.4 Si-および Ge-MOSCAP の V_{FB}-EOT プロット.

表 4.2 Si-および Ge-MOSCAP に於ける $\Phi_{Al,\ eff}$, Q, Q_{it}, Q_f および C_{AC}.

	PMA temp [°C]	w/o	300°C	400°C
Si MOSCAP	$\Phi_{Al,\ eff}$ [eV]	4.33	4.27	4.31
Ge MOSCAP	$\Phi_{Al,\ eff}$ [eV]	3.55	4.40	4.44
	Q [cm^{-2}]	+2.4×10^{11}	+3.8×10^{11}	-4.6×10^{11}
	Q_{it} [cm^{-2}]	-1.3×10^{11}	-4.5×10^{10}	-3.8×10^{10}
	Q_f [cm^{-2}]	+3.7×10^{11}	+4.3×10^{11}	-4.2×10^{11}
	C_{AC} [mF/cm^2]	0.49	0.50	0.52

4.3.3 一定温度 DLTS による D_{it} および D_{bt} の測定と界面電荷・固定電荷に関する考察

4.2 節で述べた MOSCAP の D_{it} および D_{bt} を評価するために、一定温度 DLTS 測定を行った[3]。作製した全ての MOSCAP の D_{it} および D_{bt} のエネルギー分布を図 4.5（a）および（b）にそれぞれ示す。測定の詳細は、2.3 節で述べたものと同様である。バンドギャップ下半分の D_{it} および D_{bt} の両方が、Al-PMA によって大幅に低減していることが分かる。この傾向は、Ref. 3 の結果とよく一致している。しかし、Ref.3 中の D_{it} および D_{bt} は Al-PMA 温度の増加に伴い減少し、400ºC の Al-PMA に於いて最小値を示した。これに対し、本研究で得た D_{it} および D_{bt} は、300-400ºC の範囲でほとんど同じであった。両結果の違いは、それぞれのゲートスタックの EOT の厚さの違いに起因すると考えられる。本研究で作製した MOSCAP の EOT は 7 nm であるが、Ref.3 の EOT は 50 nm である。従って、7 nm の EOT を有する MOSCAP に於いては、界面トラップおよびボーダートラップは、300ºC 程度の Al-PMA によってほとんど終端し、300ºC 以上の Al-PMA 処理は Q_f の変化のみをもたらすと考えられる。GeO_2/Ge 界面付近の Al-O-Ge ボンドの形成は、表面準位フリーな Ge エネルギーバンドギャップとなることが第 1 原理計算から報告されている[9]。従って、D_{it} および D_{bt} の終端は、導入された Al 原子によって生じていると考えられる。

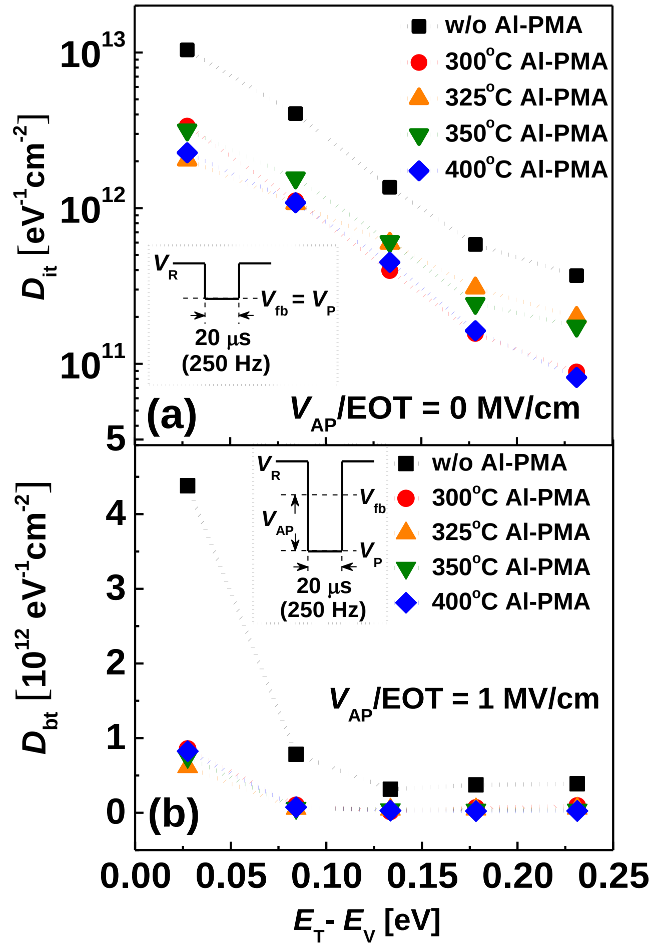

図 4.5 各温度で Al-PMA を施した Ge MOSCAP の
（a）D_{it} および（b）D_{bt} エネルギー分布.

Tsipas および Dimoulas による Ge 界面の電荷中性準位モデルによると、界面トラップの電荷状態は E_V＋0.09 eV に位置する電荷中性準位（E_{CNL}）によって決定されるとされる[10]。ここで、E_V は価電子帯上端のエネルギー準位である。本研究で用いた Ge 基板のフェルミ準位（E_F）は E_V+0.153 eV に位置する。従って、E_V+0.09 eV と E_V+0.153 eV との間の D_{it} がアクセプタとして機能する[10]。こうして、負に帯電した Q_{it}^-は、図 4.5（a）中の E_V+0.09 eV と E_V+0.153 eV 間の D_{it} 分布を積分することで求められる。また、Q=Q_f+Q_{it} の関係から Q_f が計算できる。算出した Q_{it} および Q_f を表 4.2 に纏めた。結果として、Al-PMA を行っていない MOSCAP に於いて+3.7×10^{11} cm^{-2} の正の Q_f が GeO_2 中に存在し、この

Q_f は 300°C の Al-PMA 後も変わらないこと（Q_f=+4.3×10^{11} cm^{-2}）、400°C の Al-PMA 後に Q_f が負に変化していること、が分かる。従って、図 4.3 に示した V_{FB} の PMA 温度依存性は次のように説明できる。300°C の Al-PMA によって生じる V_{FB} の正方向シフトは、SiO_2/GeO_2 界面のダイポールの消失と負に帯電した Q_{it}^- の低減に起因し、300°C 以上の Al-PMA によって生じる V_{FB} の正方向シフトは、負の固定電荷の発生に起因すると結論できる。

4.4 Al-PMA による SiO_2/GeO_2 構造の変化

前節では、Al-PMA による V_{FB} シフトの原因を電気特性から評価した。V_{FB} シフトはダイポールの消失、負に帯電した Q_{it}^- の減少、および負に帯電した原子の発生、によって説明できることを示した。本節では、これらの現象が Al 原子によるものか否かを構造分析の観点から調べた。構造分析には、TOF-SIMS および XPS を用いた。

4.4.1 試料作製

実験に用いた試料は、4.2 節で述べた基板と同じである。図 4.6 に試料の作製プロセスを示す。試料は、以下に記述した手順にて作製した。

1. 4.2.1 の 1-2 と同じ手順を用いて、BLP により SiO_2/GeO_2/Ge 構造を作製した。
2. TOF-SIMS および XPS 測定用として、それぞれ 10 および 5 nm の 2 層目 SiO_2 膜を同一真空中にて堆積した。
3. 400°C-30 分間の PDA の後、真空蒸着によって 100 nm の Al 電極を堆積した。
4. 窒素雰囲気中で 300-400°C の範囲で 30 分間の Al-PMA を施し、H_3PO_4 溶液を用いて Al 膜を完全に除去した。

5. Al-PMAによってAl/SiO_2界面でAlO_xが形成した可能性があるため、0.1%-HF溶液によってSiO_2膜を2 nm程度除去した。

比較として、Al-PMA無しの試料も準備した。ただし、Al-PMA無しの試料にも400°C-PDAとそれに続くAl電極の堆積を行った。

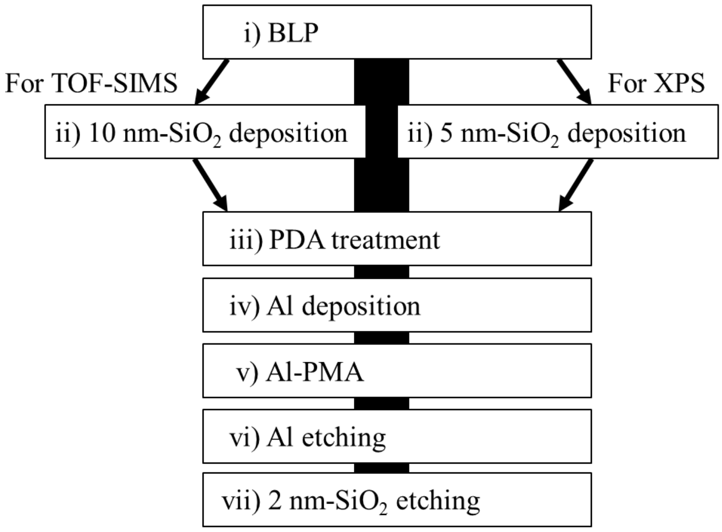

図 4.6 試料の作製手順.

4.4.2 TOF-SIMS分析試料作製

ゲートスタック中のAl原子の存在を明らかにするために、Cs^+およびBi^{3+}を、それぞれエッチングおよび分析のために用いてTOF-SIMS測定を行った。図4.7（a）および（b）はそれぞれAl-PMA無し、および350°CのAl-PMAを施した試料のTOF-SIMS分析結果を示している。Al-PMAを施した試料ではSiO_2中にAl原子が存在しているが、Al-PMAを施していない試料ではその信号が観察されない。この結果より、Al-PMAによってSiO_2/GeO_2ゲートスタック中へAl原子が拡散すること、およびAl-PMAによって生じる電気特性の変化は導入されたAl原子によるものと言える。一方で、Al-PMAを施した試料では、GeO_2信

号の大きさが Al-PMA 無しのものと比較して 1/5 程度に減少している。これは、GeO_2 界面層まで到達した Al 原子が、GeO_2 膜と反応したことを意味している。Al-PMA を行った MOSCAP から得られた蓄積容量（C_{AC}）を表 4.2 に示した。確かに、C_{AC} は Al-PMA 温度の増加で減少しており、Al と GeO_2 との反応を示唆している。

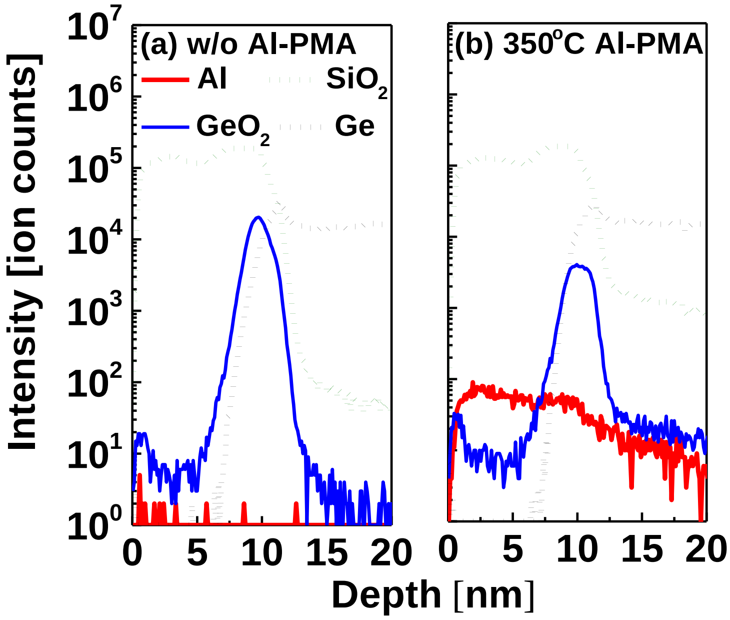

図 4.7 （a）Al-PMA を施していない試料、および
（b）350°C Al-PMA を施した試料の TOF-SIMS 分析結果.

4.4.3 XPS 分析

Al-PMA 後の SiO_2/GeO_2 構造の変化を明らかにするために、1486.49 eV の Al Kα 線を用いて XPS 測定を行った。図 4.8（a）および（b）は、90° の光電子取り出し角に於ける Al *2p* および Ge *3d* 内殻準位からの XPS スペクトルをそれぞれ示している。ここで、全スペクトルは Ge *3d* 内殻準位（29.3 eV）を用いて校正しており、Ge の XPS スペクトルは Ge バルクの信号強度によって規格化している。図 4.8（a）に示す様に、Al に関連する信号は Al-PMA を施していない試料では観察されない。一方、Al-PMA を施した試料では、72 eV の結合エネルギ

ー付近に Al に関連した信号が明確に観察される。これらは、TOF-SIMS の結果と良く一致する。一方、図 4.8（b）に於いて、32.8 eV の結合エネルギーの信号は GeO_2 に起因しており、その強度は Al-PMA 温度の増加に伴い、明らかに減少している。これらの事実は、TOF-SIMS 分析および MOSCAP の電気的特性から推測した、GeO_2 膜まで到達した Al 原子が GeO_2 と反応するという考察を支持している。その他の可能性としては、GeO_2 の揮発が考えられる。GeO_2 は、大気圧で 420°C 以上の熱処理によって GeO 分子に分解し、脱離することが報告されている[11]。しかし、本研究で作製した試料の最高プロセス温度は 400°C であり、脱離温度には達していない。仮に Al と GeO_2 の反応が GeO 揮発を促進させるならば、Ge 原子が SiO_2 膜中に存在するはずであるが、TOF-SIMS の結果からその可能性は否定される。従って、Al-PMA による GeO_2 信号強度の減少は GeO_2 の揮発ではないと結論できる。

Al と GeO_2 の反応生成物として、$AlGeO_X$、AlGe および AlO_X が考えられる。$AlGeO_X$ が形成された場合、32.8 eV の結合エネルギーを持つ GeO_2 信号は、その強度を保ったまま低エネルギー側へシフトする[12]。また、AlGe が形成された場合、28.5 eV の結合エネルギーを持つ AlGe 信号が観察される[13]。しかし、図 4.8（b）ではそのどちらも観察されない。一方で、図 4.8（a）で観察される Al に関連した信号は、ALD によって Ge 上に堆積した 3 nm-Al_2O_3 膜の信号（73.4 eV）に近いピーク位置を持っている。従って、Al と GeO_2 の反応生成物は AlO_X であると考えられる。より明確な結論を得るためには、透過電子顕微鏡（TEM）分析などが今後必要である。

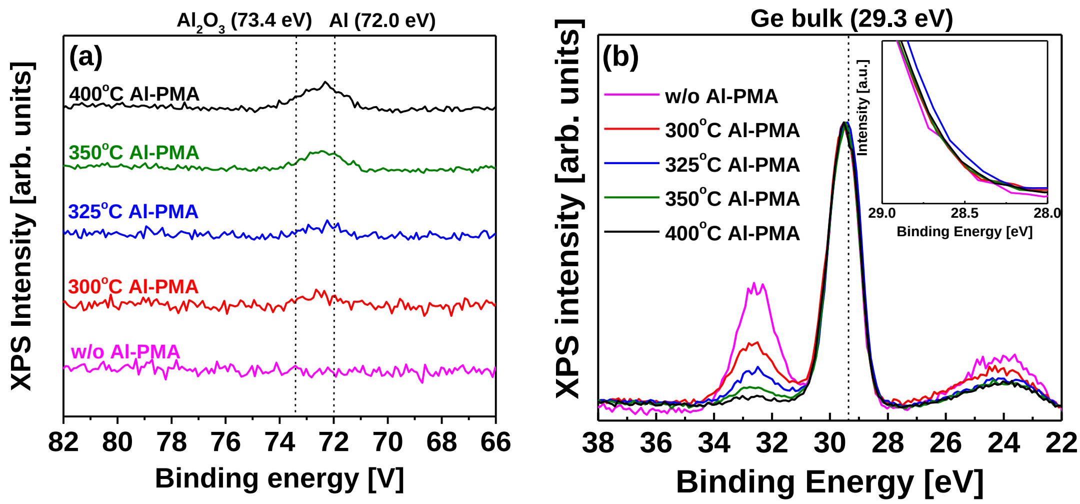

図 4.8 （a） Al *2p* および（b） Ge *3d* 内殻準位からの XPS スペクトル.

4.4.4 SiO_2/GeO_2/Ge ゲートスタックの Al-PMA 効果に対する考察

Al/SiO_2/GeO_2/Ge ゲートスタックの Al-PMA 効果は図 4.9 の様にモデル化できる。SiO_2/GeO_2 界面ダイポールの消失は、GeO_2 まで達した Al 原子が GeO_2 膜と反応し、AlO_X が生成することに起因する。また、この AlO_X が Al-PMA 温度の増加に伴い厚膜化することで、ゲートスタックの EOT は低減する。GeO_2 中に残存する Q_f^+は、空孔型の酸素欠損（O_V^+）であることが報告されている[14,15]。これは正の電荷として振る舞い、負に帯電した原子を引きつけることで O_V^+から O_V^0 へ中性化する。O_V^+の完全な中性化の後、負に帯電した原子は Al-PMA 温度の増加に伴い増加する。負に帯電した原子の発生は、Al と GeO_2 の反応に関連していると推測される。格子間酸素は負に帯電した原子として働くことから、負に帯電した原子の源は、格子間酸素（O_i^-）または Al^-であると考えられる。前者の場合、余剰 O_i^-が Al と GeO_2 の反応中に生成されることに起因すると予測される。負に帯電した原子の種類を明らかにするためには、更なる調査が必要である。

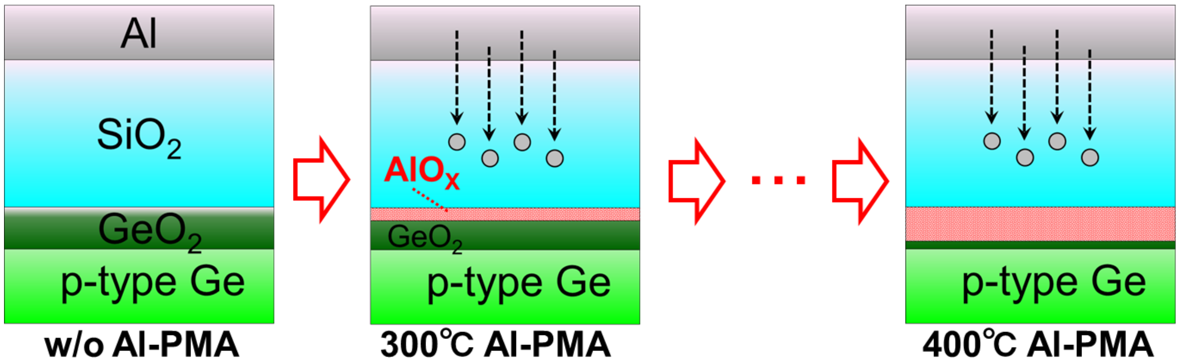

図 4.9 AlO_x の形成による界面ダイポールの消失モデル.

4.5 メタル S/D 型 Ge p-MOSFET に於ける Al-PMA 効果

本節では、4.2 および 4.3 節で用いた MOS 構造をゲートスタックとし、3 章で確立した PtGe/Ge コンタクトを S/D に用いたメタル S/D 型 Ge p-MOSFET に於ける Al-PMA 効果を調査した結果を述べる。ただし、メタル S/D 型 MOSFET の S/D は凸構造であるため、4.2 および 4.3 節で用いた BLP の様な PVD 法でゲートスタックを作製する場合、ゲートスタックの物理膜厚はメタル S/D の厚さよりも厚くしなければならない。これはゲート電極と S/D メタルの直接接触による電気的短絡を防ぐためで、この制限のため、Ref.3 に於ける p-MOSFET のゲートスタックの厚さは 50 nm-SiO_2 とした。本研究では、PtGe/Ge コンタクトを Ge 基板中に埋め込んだ S/D 構造とし、低 EOT を有するメタル S/D 型 p-MOSFET を作製した。

4.5.1 試料作製

図 4.10 はメタル S/D 型 p-MOSFET をゲートラストで作製するためのプロセスフローおよびデバイス断面図を示す。実験に用いた試料は、面方位：(100)、不

純物濃度：8×10^{15} cm^{-3}、抵抗率：0.3 Ω・cm、の n 形 Ge 基板である。試料は、以下の手順で作製した。

1. 基板をアセトンで超音波洗浄後、10%の希 HF 溶液で洗浄して自然酸化膜を除去した。
2. 塗布したフォトレジスト上に S/D パターンを開口し、続いて 0.03%-H_2O_2 溶液を用いて Ge 上の S/D 領域を 15 nm 程度エッチングした。
3. rf マグネトロンスパッタにより 18 nm の Pt を堆積し、リフトオフプロセスによって 150、170 および 180×390 μm^2 の面積を有する埋め込み S/D コンタクトを形成した。詳細な Pt 膜の成膜条件を表 4.3 に示す。
4. PtGe-S/D の結晶化のため、窒素雰囲気中にて 400^{o}C-30 分間の PMA を施した。
5. 4.2.1 と同様の手法を用いて 100 nm-Al/5.5 nm-SiO_2/1.0 nm-GeO_2/Ge ゲートスタックを作製した。続いて 300、325、350 および 400^{o}C の Al-PMA を窒素雰囲気中で 30 分間行った。
6. S/D 上にコンタクトホールを開口し、リフトオフ法を用いて Al 電極を形成した後、窒素雰囲気中で 300^{o}C-10 分間の CA を施した。

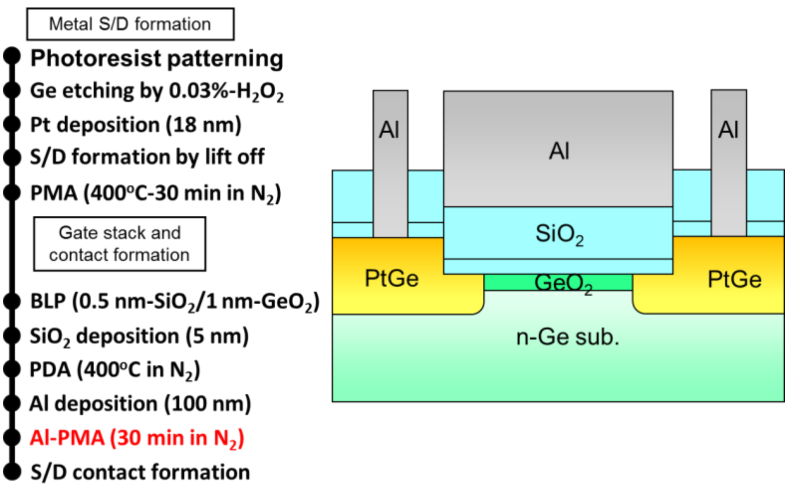

図 4.10 試料の作製手順.

表 4.3 Pt マグネトロンスパッタ成膜条件.

	P_{RF} (W)	Ar (sccm)	Pressure (Pa)	Deposition Rate (nm/min)	Temp. (°C)
Pt	10	20	4	3.3	R.T.

4.5.2 p-MOSFET の Al-PMA 効果

PtGe/Ge コンタクトを Ge 基板に埋め込んだメタル S/D コンタクトの特性は、縦方向 I-V 特性によって評価した。結果として、~10^4 のオンオフ比と 0.62 eV の Φ_{BN} を有する良好なコンタクト特性を示し、埋め込み S/D 構造による特性劣化はないことを確認した。図 4.11 に、300、325 および 350°C の Al-PMA を施した p-MOSFET のドレイン電流－ドレイン電圧（I_D-V_D）特性を示す。ここで、チャネル長（L）およびチャネル幅（W）はそれぞれ 100 および 390 μm である。図 4.4 および 4.5 の MOSCAP の結果より、作製した全 p-MOSFET の界面品質は Al-PMA 温度に依存せずほぼ一定であるにも拘わらず、325°C の Al-PMA を施した p-MOSFET が最も高い電流駆動力を示した。この高い電流駆動力は、Al-PMA による μ_h の向上に関連していると推測される。図 4.12 に 300、325、350 および 400°C の Al-PMA を施した p-MOSFET の V_D=-0.01V に於けるソース電流－ゲート電圧（I_S-V_G）特性を示す。また、各 p-MOSFET の I_S-V_G 特性の SS から算出した D_{it} を表 4.4 中に纏めた。これらの D_{it} の値は 2-3×10^{12} cm^{-2}eV^{-1} の範囲にあり、MOSCAP で調べた結果と同様に、Al-PMA の温度に依らず同品質の界面を持つことを確かめた。

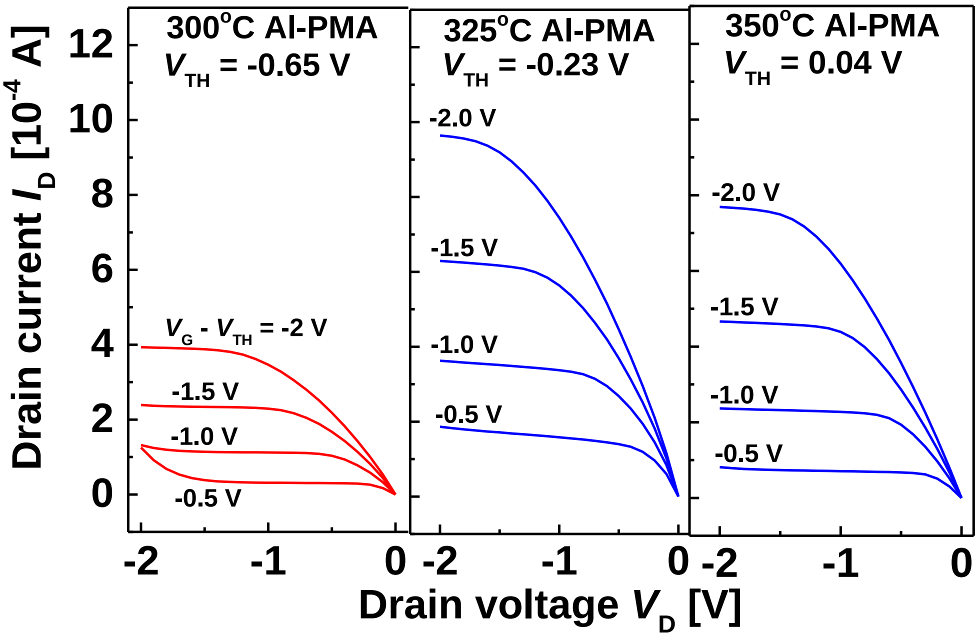

図 4.11 300, 325 および 350°C の Al-PMA を施した p-MOSFET の I_D-V_D 特性.

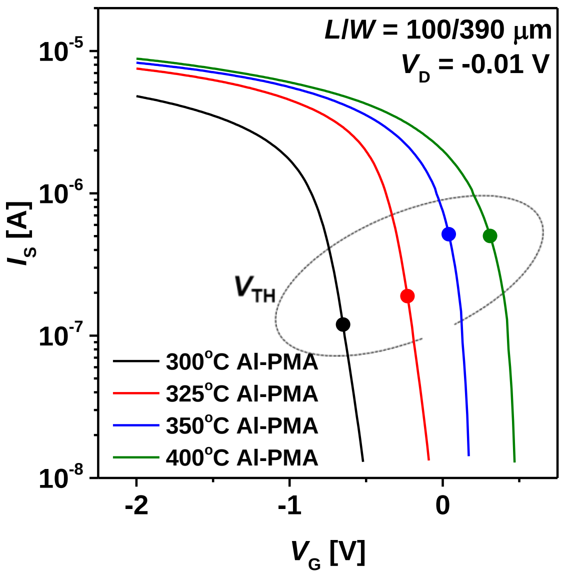

図 4.12 各温度で Al-PMA を施した p-MOSFET の I_S-V_G 特性.

表 4.4 Al-PMA を施した p-MOSFET の V_{FB}, C_{OX}, V_{TH}, D_{it}, peak μ_h, ΔV_{TH}, Q_f+Q_{it}^{TH}.

PMA temp[^oC]	ideal	300	325	350	400
V_{FB} [V]		-0.03	0.26	0.45	0.83
C_{OX}[mF/cm^2]		0.48	0.48	0.50	0.51
V_{TH} [V]	-0.22	-0.65	-0.23	0.04	0.31
D_{it}[eV^{-1}cm^{-2}]	…	1.5×10^{12}	1.7×10^{12}	2.4×10^{12}	3.3×10^{12}
peak μ_h[cm^2/Vs]	…	231	468	393	255
ΔV_{TH} [V]	…	-0.43	-0.01	+0.26	+0.53
$Q_f + Q_{it}^{TH}$[cm^{-2}]	…	1.3×10^{12}	-2.7×10^{10}	-7.5×10^{11}	-1.7×10^{12}

図 4.13 に Al-PMA を施した p-MOSFET の μ_h-V_G 特性を示す。また、各 p-MOSFET に於ける μ_h のピーク値を表 4.4 に纏めた。μ_h は、式（3.7）を用いて V_D=-0.01V の I_S-V_G のデータより算出した。作製した全 p-MOSFET の界面特性は Al-PMA 温度に依存しないにも拘わらず、325°C の Al-PMA を施したデバイスが 468 cm^2/Vs の高い μ_h を示している。これは I_D-V_D 特性の結果と一致している。この現象は、μ_h が必ずしも界面品質（D_{it} および D_{bt}）にのみ依存するのではない、という事を意味している。

325°C の Al-PMA を施した p-MOSFET の μ_h は 300°C のものより 2 倍ほど高いが、図 4.13 に示す様に、μ_h の向上は低 V_G 領域のみに限定されている。一般に、低電界領域に於ける μ_h の低下は、D_{it}、D_{bt} および Q_f によるクーロン散乱が支配的であることが知られている[16]。300-400°C の範囲の Al-PMA 処理で D_{it} および D_{bt} はほぼ同じ値となっているため、ピーク μ_h の Al-PMA 温度依存性は Q_f に関連すると考えられる。ここで、Al-PMA を施した p-MOSFET のピーク μ_h、V_{FB} およびしきい値電圧（V_{TH}）の 3 つが重要なパラメータとなる。Q_{it} を考慮し

た V_{FB} および V_{TH} は以下の式で与えられる[16]。

$$V_{FB} = (\phi_{metal} - \phi_{Ge}) - \frac{Q_f + Q_{it}^{FB}}{C_{OX}} \quad (4.2)$$

$$V_{TH} = V_{FB} - \frac{Q_{it}^{TH} - Q_{it}^{FB}}{C_{OX}} - V_{TH}^{0} \quad (4.3)$$

$$V_{TH}^{0} = 2\psi_B + \frac{\sqrt{4q\psi_B \varepsilon_{Ge} N_D}}{C_{OX}} \quad (4.4)$$

ここで、Q_{it}^{FB} および Q_{it}^{TH} は、それぞれ $V_G=V_{FB}$ および $V_G=V_{TH}$ に於ける界面トラップ電荷密度である。また、ψ_B は真性フェルミレベルとフェルミレベルのエネルギー差、q は素電荷、ε_{Ge} は Ge の比誘電率、および N_D はドナー濃度である。各温度で Al-PMA 処理を行った p-MOSFET より、実験的に得られた V_{FB} および V_{TH} の値を表 4.4 に示す。また、V_{FB} および V_{TH} の Al-PMA 温度依存性を図 4.14 に示す。V_{FB} の値は S/D を接地したゲートーバルク容量（C_{GB}-V_G）測定より算出した。また、V_{TH} は $I_S/g_m^{1/2}$-V_G プロットの x 軸との切片より算出した。$V_G=V_{FB}$ および $V_G=V_{TH}$ に於けるバンド図を、それぞれ図 4.15（a）および（b）に示す。式（4.4）より、本研究で作製した p-MOSFET の V_{TH}^{0} は 0.36 V と算出された。一方で、表 4.4 および図 4.14 に示す V_{FB} と V_{TH} の差は 0.4-0.6 V の範囲にあり、V_{TH}^{0} の値より~0.15 V 程大きい。この差（~0.15 V）は、フラットバンド状態とバンド曲りが $2\psi_B$ の状態とで E_F の位置が変化して、アクセプタライクな界面トラップ電荷量の変化に起因する。($qD_{it}\times 2\psi_B$）$/C_{OX}$ = 0.15 V の関係から求めた D_{it} は~2×10^{12} cm^{-2}eV^{-1} と得られた。この値は、$E_i+\psi_B$ から $E_i-\psi_B$ （ψ_B = 0.145 eV）

までの範囲の平均の D_{it} を意味する。

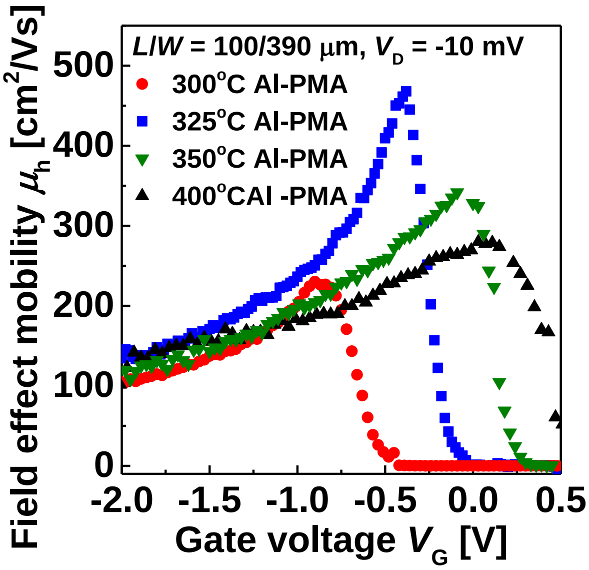

図 4.13 Al-PMA を施した p-MOSFET の μ_h-V_G 特性.

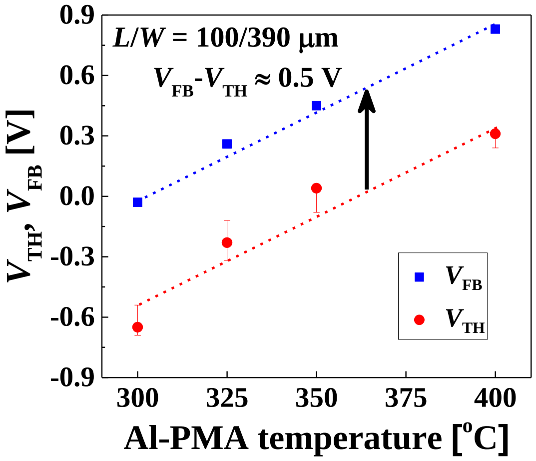

図 4.14 V_{FB} および V_{TH} の Al-PMA 温度依存性.

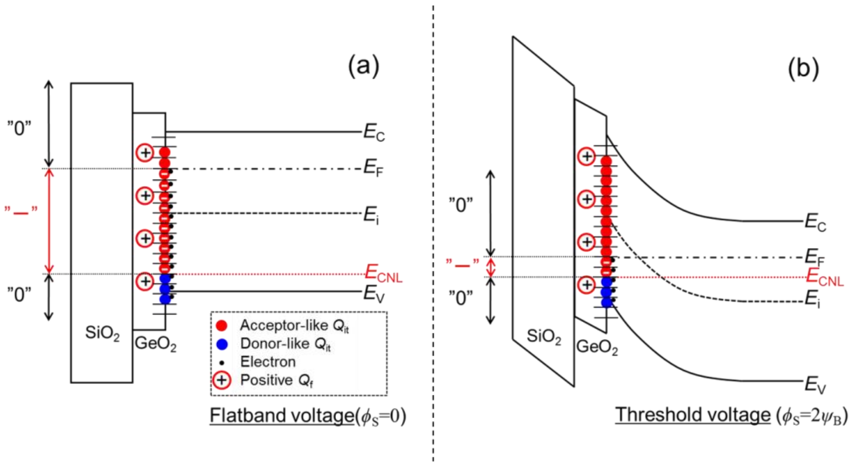

図 4.15 V_G=V_{FB} および V_G=V_{TH} に於けるバンド図.

作製した全ての p-MOSFET に於ける V_{TH} とピーク μ_h の関係を図 4.16 に示す。高いピーク μ_h のポイントは、V_G=-0.2 V 周辺に集中している。これは、式 (4.3) より得られる、クーロン散乱中心の存在しない理想的な状態（$Q_f+Q_{it}^{TH}=0$）の V_{TH}(=-0.22 V) と非常に近い。この計算に於いて、Al の Φ_{metal} は図 4.4 の V_{FB}-EOT プロットで用いた 4.3 eV を使用した。μ_h の Al-PMA 温度依存性は、クーロン散乱中心の量によって説明することができる（図 4.17）。300°C の Al-PMA では主にダイポールの消失および界面準位の終端のみが起こり、GeO_2 中に存在する O_V^+ の中性化はほとんど起こらない。その結果、$Q_f+Q_{it}^{TH}$ は大きくなり、チャネル中を伝導する正孔がクーロン散乱を受けて μ_h が劣化する。325°C の Al-PMA を施した p-MOSFET では、負に帯電した原子の発生により O_V^+ の中性化が起こる。その結果、クーロン散乱中心が非常に少なくなって μ_h が向上したと考えられる。一方、350 および 400°C の Al-PMA を施した場合、負に帯電した原子がゲートスタック中で増加する。結果として、$Q_f+Q_{it}^{TH}$ は負となり、この電荷がクーロン散乱中心となると考えられる。

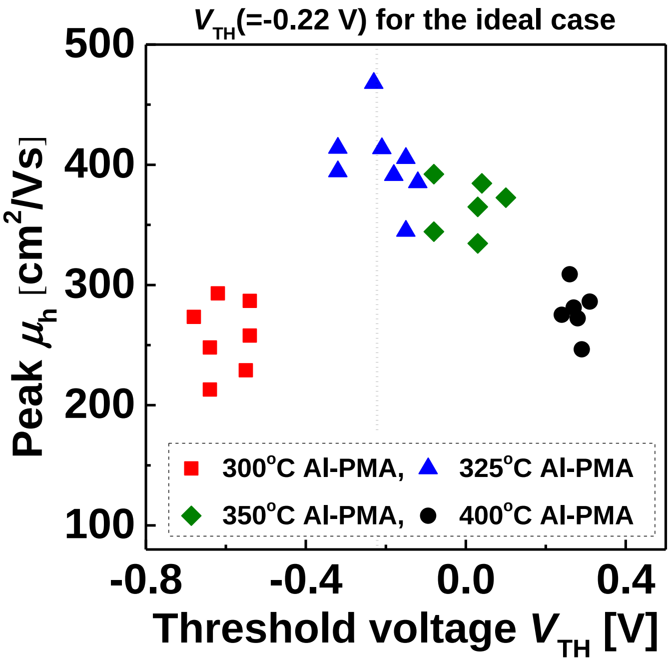

図 4.16 ピーク μ_h の V_{TH} 依存性.

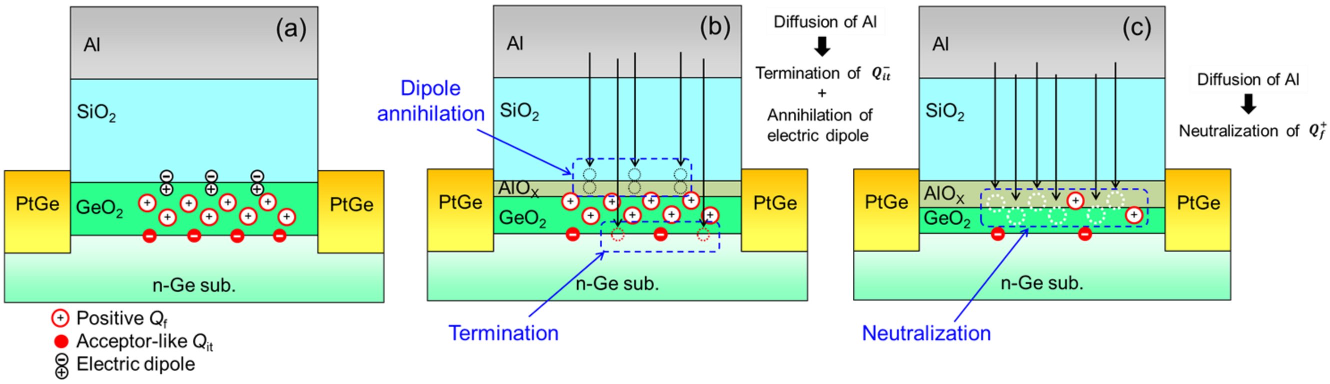

図 4.17 Al-PMA 効果のメカニズム.

同様の構造を持つ EOT=50 nm のメタル S/D 型 Ge p-MOSFET の V_{TH} および μ_h は、300°C の Al-PMA に於いてそれぞれ-2.17 V および 147 cm^2/Vs、400°C の Al-PMA に於いてそれぞれ-1.15 V および 336 cm^2/Vs であった[3]。400°C の Al-PMA を施しても、本節で得られたピーク μ_h（468 cm^2/Vs）より低い。その理由は次の様に考えられる。この p-MOSFET に於ける理想 V_{TH} は、式（4.3）より -0.65 V と算出され、この値は 400°C の Al-PMA を施した p-MOSFET の V_{TH} よりも 0.5 V 程高い。つまり、GeO_2 膜に達した Al 原子の量が少なく、それによって O_V^+ が少し残存していると考えらえる。結果的に Q_f+Q_{it}^{TH} が正となり、クーロン散乱の低減が十分ではなかったと考えられる。この解釈は、4.2 節に於ける図 4.3 の結果を支持している。

測定値から得た V_{TH} と理想 V_{TH} の差（ΔV_{TH}）と $Q_f+Q_{it}^{TH}=-C_{OX}\Delta V_{TH}$ の関係を用いて、クーロン散乱中心として働く Q_f+Q_{it}^{TH} の定量的な値を算出した。本研究に於ける 4 種類の p-MOSFET の ΔV_{TH} および Q_f+Q_{it}^{TH} の値を表 4.4 に纏めた。325°C の Al-PMA を施した p-MOSFET の総電荷量は-2.7×10^{10} cm^{-2} と得られ、SiO_2/Si-MOS 構造に匹敵する低い値である。これは他の温度で Al-PMA を行った p-MOSFET と比較して圧倒的に低く、クーロン散乱が低減したことを定量的に説明できる。

4.6　本章のまとめ

本章では、$SiO_2/GeO_2/Ge$ 構造を有する MOSCAP およびメタル S/D 型 p-MOSFET を作製し、Al-PMA によるキャリア移動度の向上機構の解明を行った。得られた知見は以下の通りである。

1. Al ゲート MOSCAP を用いて、$SiO_2/GeO_2/Ge$ ゲートスタックに於ける Al-PMA 効果を調査した。300°C の Al-PMA 後の V_{FB} の正方向シフトは、SiO_2/GeO_2 界面に存在するダイポールの消失に起因することを明らかとした。また、Al-PMA 温度を増加させると V_{FB} が正方向にシフトし、これは負に帯電した原子の発生に起因することを明らかにした。更に、負に帯電した原子は、Al-PMA 温度の増加に伴い増加することが分かった。
2. 300°C の Al-PMA によって D_{it} および D_{bt} が低減し、この状態は 300-400°C の Al-PMA 温度範囲に於いて保たれることを明らかにした。
3. 構造分析から、Al 原子がゲートスタックへ拡散すること、GeO_2 まで到達した Al 原子が GeO_2 と反応すること、を明らかにした。この反応は、SiO_2/GeO_2 界面のダイポール消失、および GeO_2/Ge 界面または GeO_2 中のダングリングボンド終端に寄与するものと考えられる。
4. Al-PMA を施した p-MOSFET のデバイス特性について調査した。325°C の Al-PMA を施したデバイスのピーク μ_h は 468cm^2/Vs の高い値を示した。しかし、界面品質は 300-400°C の範囲でほぼ同じにも拘わらず、μ_h は 325°C 以上の Al-PMA 処理で低下した。この μ_h の Al-PMA 温度依存性について、GeO_2/Ge 界面付近の総電荷量の変化によるクーロン散乱中心密度の増減によって説明した。

4.7 参考文献

[1] Y. Nagatomi, T, Tateyama, S. Tanaka, W. C. Wen, T. Sakaguchi, K. Yamamoto, L. Zhao, D. Wang, and H. Nakashima, Materials Science in Semiconductor Processing, (accepted in Nov. 2016) http://dx.doi.org/10.1016/j.mssp.2016.11.014

[2] K. Hirayama, R. Ueno, Y. Iwamura, K. Yoshino, D. Wang, H. Yang, and H. Nakashima, Jpn. J. Appl. Phys. **50** (2011) 04DA10.

[3] D. Wang, S. Kojima, K. Sakamoto, K. Yamamoto, and H. Nakashima, J. Appl. Phys. **112** (2012) 083707.

[4] K. Yamamoto, R. Ueno, T. Yamanaka, K. Hirayama, H. Yang, D. Wang, H. Nakashima, Applied Physics Express **4** (2011) 051301.

[5] K. Hirayama, K. Yoshino, R. Ueno, Y. Iwamura, H. Yang, D. Wang, and H. Nakashima, Solid-State Electron. **60** (2011) 122.

[6] H. Nakashima, Y. Iwamura, K. Sakamoto, D. Wang, K. Hirayama, K. Yamamoto, and H. Yang, Appl. Phys. Lett. **98** (2011) 252102.

[7] K. Kita and A. Toriumi, Appl. Phys. Lett. **94** (2009) 132902.

[8] H. B. Michaelson, J. Appl. Phys. **48** (1977) 4729.

[9] M. Houssa, G. Pourtois, M. Caymax, M. Meuris, and M. M. Heyns, Appl. Phys. Lett. **92** (2008) 242101.

[10] P. Tsipas and A. Dimoulas, Appl. Phys. Lett. **94** (2009) 012114.

[11] K. Prabhakaran, F. Maeda, Y. Watanabe, and T. Ogino, Thin Solid Films **369** (2000) 289.

[12] A. Delabie, F. Bellenger, M. Houssa, T. Conard, S. V. Elshocht, M. Caymax, M. Heyns, and M. Meuris, Appl. Phys. Lett. **91** (2007) 082904.

[13] A. Ohta, T. Fujioka, H. Murakami, S. Higashi, and S. Miyazaki, Jpn. J. Appl. Phys. **50** (2011) 10PE01.

[14] S. Deng, Q. Xie, D. Deduytsche, M. Schaekers, D. Lin, M. Caymax, A. Delabie, S. V. Berghe, X. Qu, and C. Detavernier, Appl. Phys. Lett. **99** (2011) 052906.

[15] H.-C. Chang, S.-C. Lu, T.-P. Chou, C.-M. Lin, and C. W. Liu, J. Appl. Phys. **111** (2012) 076105.

[16] D. K. Schroder and J. A. Badcock, J. Appl. Phys. **94** (2003) 1.

第5章 埋め込みTiN-S/D構造によるGe n-MOSFETの寄生抵抗の低減[1]

5.1 諸言

1章でも述べた様に、Ge-CMOSを実現するには、高性能なn-MOSFETを如何にして実現するかが大きな課題となる。Ge中のPやSbの固溶度はSiと比べて約1桁低く、拡散係数も大きい。更に、金属/Geコンタクトでは、金属のフェルミレベルが価電子帯近傍にピンされるFLP現象のため、メタル/Geコンタクトの電子障壁高さ（Φ_{BN}）は大きくなる。コンタクト抵抗率（ρ_{C}）は $\rho_{\mathrm{C}} \propto \exp(\Phi_{\mathrm{BN}} / \mathrm{C}\sqrt{N})$（C： 定数、N : $\mathrm{n^+}$層のドーピング濃度）で与えられので、メタル/$\mathrm{n^+}$-Geコンタクトに於ける ρ_{C} は必然的に大きくなる。コンタクト抵抗（R_{C}）は $R_{\mathrm{C}} = \rho_{\mathrm{C}}/S$（$S$:コンタクト面積）で与えられるので、pn接合S/Dを用いた微細なMOSFETでは、R_{C} が大きくなり、結果としてS/Dの寄生抵抗（R_{P}）が増大し、電流駆動力が低下するという深刻な問題に直面する。このため、中島研究室では、S/Dにメタル/Geコンタクトを用いたn-MOSFETの研究開発に取り組んできた。メタルS/D型n-MOSFETを実現するための鍵技術は、当然のことながら、「低電子障壁コンタクト」を実現することで、これまでの取り組みを以下に記し、本研究の位置付けを明確化する。

2011年、著者の所属する中島研究室では、n-Ge基板上に低 Φ_{BN} が実現できるコンタクト技術を井餘田等が見出した。これは、TiNターゲットを用いた直接スパッタ堆積とその後の350°CでのPMAによって作製される[2]。Φ_{BN} および正孔障壁高さ（Φ_{BP}）はそれぞれ0.18 eV （111 K）および0.50 eV （300 K）であった。これはFLP位置が価電子帯（E_{V}）から伝導帯（E_{C}）へシフトしたことを意味している。また、TiN堆積条件および表面パッシベーションの最適化

により、Φ_{BP}は 0.56 eV まで増加した[3]。更に、TiN/Ge 界面の構造解析から、TiN/Ge 界面に形成される N 原子を含むアモルファス界面層（*a*-IL）によって FLP 変調が誘起されていることを明らかにしている[4]。また、ZrN/Ge および HfN/Ge コンタクトでも同様な FLP 変調が起こり、FLP 変調の強さは *a*-IL の膜厚に依存していることを見出している[5]。この報告によれば、~2 nm の *a*-IL を有する TiN/Ge および ZrN/Ge コンタクトは Φ_{BP}が 0.52-0.56 eV の強い FLP 変調を示し、~1 nm の *a*-IL を有する HfN/Ge コンタクトは Φ_{BP}が 0.39 eV の弱い FLP 変調を示すとされている。しかし、*a*-IL が形成されない TaN/Ge コンタクトでは FLP 変調が起こらないと報告されている。

このコンタクト技術を用いて、山本等は TiN-S/D 型 Ge n-MOSFET を作製し、デバイスの動作実証に世界で初めて成功している[6]。しかし、この n-MOSFET の R_Pは PtGe-S/D を用いた p-MOSFET と比較して、極めて高いとの課題があった[7]。これは、*a*-IL 膜厚が極めて薄いため、ソースから反転チャネルへの効率的な電子注入が妨げられていることが原因とされている。EOT を 1 nm 程度まで低減した場合、チャネル抵抗は減少し、電流駆動力が向上する。しかし、R_Pが高い場合、駆動電流は R_Pによって制限されてしまう。この問題を解決するためには、PtGe-S/D 型 p-MOSFET と同様な埋め込み S/D 構造が必須となる。

本章では、埋め込み TiN-S/D 構造の適用により、n-MOSFET に於ける低 R_Pが実現できた結果を述べる。埋め込み S/D 構造形成のため、2-22 nm の範囲で S/D 領域の Ge エッチングを行い、n-MOSFET を作製した。また、比較として埋め込み構造のない n-MOSFET の R_Pについても調査した。本章では、厚い EOT を有する 12 nm-埋め込み S/D 型 n-MOSFET のデバイス特性および R_Pについて 3.2 節で述べる。次に、薄い EOT を有する 12 nm-埋め込み S/D 型 n-MOSFET のデバイス特性および R_Pについて 3.3 節で述べる。これらの結果から、埋め込み S/D 構造により、S/D として低い Φ_{BN}を保ったまま R_Pを大幅に低減できることを示

す。3.4 節では、2-22 nm の範囲で S/D 領域を掘り込んだデバイス特性の結果を示し、R_P とエッチング深さの関係について議論する。

5.2 厚い EOT を有する 12 nm-埋め込み S/D 型 Ge n-MOSFET のデバイス特性と S/D 寄生抵抗

5.2.1 試料作製

実験に用いた試料は、面方位：(100)、不純物濃度：1.5×10^{16} cm^{-3}、抵抗率：0.4 Ω・cm、の p 形 Ge 基板である。図 5.1 に n-MOSFET 試作のためのゲートラストプロセスとデバイスの断面図を示す。試料は、以下に記述した手順で作製した。

1. 基板をアセトンで超音波洗浄後、10%の希 HF 溶液で洗浄して自然酸化膜を除去した。
2. フォトレジスト膜を基板上に塗布し、S/D 窓を開口した。Ge の S/D 領域は、0.03%-H_2O_2 溶液（エッチングレート：10 nm/min）を用いて 12 nm の深さまでエッチングした。詳細なエッチング条件を表 5.1 に示す。
3. 基板を再度純粋リンスし、スパッタチャンバーにセットした。続いて rf マグネトロンスパッタにより、掘り込んだ Ge の S/D 領域に厚さ 20 nm-TiN 膜を堆積した。TiN 膜の詳細な成膜条件を表 5.2 に示す。S/D 領域の長さは 150-180 μm、幅は 390 μm である。
4. PMA を窒素雰囲気中で 400°C-20 分間行った。PMA 後の基板を 0.1%-HF で洗浄し、純水リンスを行った。

5. ECR スパッタを用いたプラズマ酸化およびその後の SiO_2 堆積により、厚さ 2.5 nm-GeO_2 と厚さ 50 nm-SiO_2 膜を同一真空中で成長/堆積してゲート絶縁膜とした[8]。詳細な成膜条件を表 5.3 に示す。
6. 窒素雰囲気中で 400°C-30 分間の PDA を行い、真空蒸着によって堆積した Al 膜をウェットエッチングによって加工してゲート電極とした。
7. S/D 上にコンタクトホールを開口し、リフトオフプロセスを用いて S/D コンタクトの Al 電極を形成した。最後に、窒素雰囲気中で 300°C-10 分間の CA を施した。

ここで、Ge 基板上には MOSCAP も作製している。比較のため、同様のプロセスを用いて、埋め込み構造のない n-MOSFET も作製した。

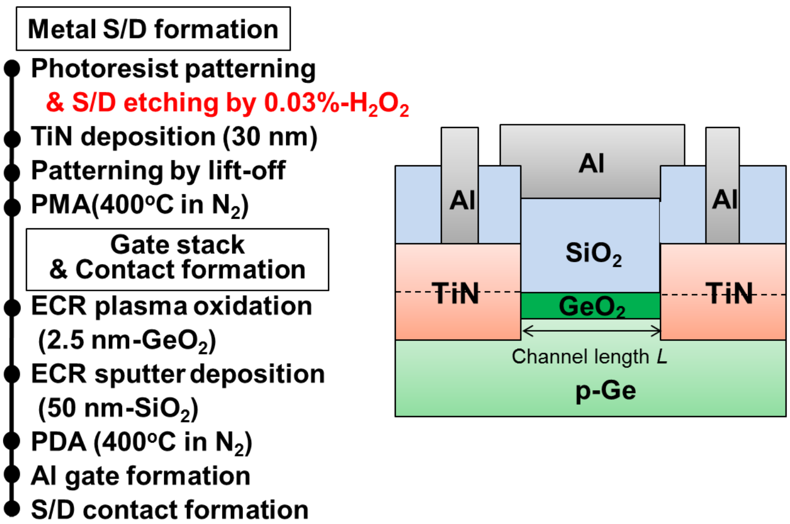

図 5.1 試料の作製手順.

表 5.1 H_2O_2 溶液によるエッチング条件.

	Concentration（%）	Churn	Etching rate （nm/min）	Temp.（°C）
H_2O_2	0.03	Nothing	10	R.T.

表 5.2 メタル S/D 形成時の TiN マグネトロンスパッタ成膜条件.

	P_{RF}（W）	Ar（sccm）	Pressure（Pa）	Deposition Rate （nm/min）	Temp.（ºC）
TiN	200	30	6	18.2	R.T.

表 5.3 ゲート絶縁膜形成時の ECR プラズマ酸化および SiO_2 成膜条件.

	P_{μ}（W）	P_{RF}（W）	Ar（sccm）	O_2（sccm）	Deposition Rate（nm/min）	Temp.（ºC）
GeO_2	300	-	16	8	-	130
SiO_2	500	500	16	8	3.1	130

5.2.2 デバイス特性

図 5.2 は 12 nm-埋め込みおよび非埋め込み TiN-S/D の縦方向電流密度－電圧（*J*-*V*）特性を示す。測定温度は室温である。埋め込みおよび非埋め込み S/D 構造のコンタクトは、それぞれ 0.535 および 0.543 eV の Φ_{BP} と 1.04 および 1.05 の理想係数（*n*）を示した。これらの結果から、S/D の埋め込みによるコンタクト特性の劣化はないことを確認した。図 5.3 に $Al/SiO_2/GeO_2/Ge$ 構造を有する MOSCAP の容量－電圧（*C*-*V*）特性を示す。この MOSCAP は、n-MOSFET の作製と同時に同一基板上に作製されたものである。10 および 100 kHz の測定周波数（f_S）に於ける蓄積容量（C_{AC}）はほぼ同じで、40 nm の等価容量膜厚（CET_{AC}）に一致する 8.7×10^{-8} F/cm^2 の C_{AC} が得られた。一方で、n-MOSFET のゲート－チャネル容量から算出した反転時の MOS 容量（C_{OX}）は 8.2×10^{-8} F/cm^2 と得られ、対応する等価容量膜厚（CET_{OX}）は 42 nm となった。CET_{AC} と CET_{OX} の差は小さく、また電界効果移動度（μ_e）の計算には一般的に CET_{OX} が用いられるため、

本研究で用いた EOT は CET_{OX} から得た値を使った。

図 5.4（a）に、12 nm-埋め込み S/D 型 n-MOSFET のドレイン電流－ドレイン電圧（I_D-V_D）特性を示す。ここで、しきい値電圧（V_{TH}）は $I_D/g_m^{1/2}$-ゲート電圧（V_G）プロットの x 軸との切片より算出した。g_m は相互コンダクタンスで、V_{TH} は 0.50 V と得られた。チャネル長（L）およびチャネル幅（W）はそれぞれ 100 および 390 μm である。チャネル伝導は V_G によって良く制御されており、埋め込み TiN/Ge コンタクトが S/D として機能していることが分かる。5.3 節で詳しく述べるが、H_2O_2 エッチングした部分の側壁に *a*-IL が形成されていない場合、デバイスは動作しない。従って、この結果は埋め込み S/D の側壁にも *a*-IL が形成されたことを示唆している。図 5.4(b)は埋め込み S/D 型 n-MOSFET の V_D=0.03、0.1 および 1 V に於けるソース電流－ゲート電圧（I_S-V_G）特性とドレイン電流－ゲート電圧（I_D-V_G）特性を示す。V_D=0.1 および 1 V に於ける I_D のオンオフ比はそれぞれ~10 および~40 であった。これらの低いオンオフ比は、ドレインと基板間に大きなリーク電流（基板電流）が存在することを意味している。実際に、V_D=0.1 V に於ける I_D のオフ状態リーク電流から求めた Φ_{BP} は 0.53 eV であり、これは図 5.2 の結果と一致する。つまり、ドレインの TiN/Ge コンタクトは、その障壁高さに対応した逆方向電流となっていることが分かる。n-MOSFET の大きな基板電流の原因は、ドレイン領域の面積が広い（150×390 μm^2）ことが原因である。この課題は、バルク Ge の代わりに、薄膜 Ge 結晶が絶縁膜を介して支持基板上に形成された Ge-On-Insulator（GOI）上により小さなサイズのデバイスを作製することで、大幅に改善されると考えられる。V_D=0.03 V に於ける I_S のサブスレッショルドスロープ（*SS*: Subthreshold slope）は 308 mV/dec で、この値から算出した界面準位密度（D_{it}）は 1.5×10^{12} cm^{-1}eV^{-1} であった。V_D=0.03 V のデータから、式（3.7）を用いて μ_e を算出した[9]。ここで、C_{OX} は 8.2×10^{-8} F/cm^2 である。図 5.5（a）および（b）はそれぞれ埋め込み S/D 型および非埋め

込み S/D 型 n-MOSFET に於ける μ_e の V_G 依存性を示す。ここでは、L=40、60 および 100 μm のデータを示している。埋め込み S/D 型 n-MOSFET の 3 つのデータプロットは互いに一致している。しかし、非埋め込み S/D 型 n-MOSFET では、L の減少に伴い μ_e が低下している。これらの特性は、非埋め込み S/D の R_P に起因している。ピーク μ_e は~200 cm^2/Vs と得られ、これは山本等の報告と一致している[6]。

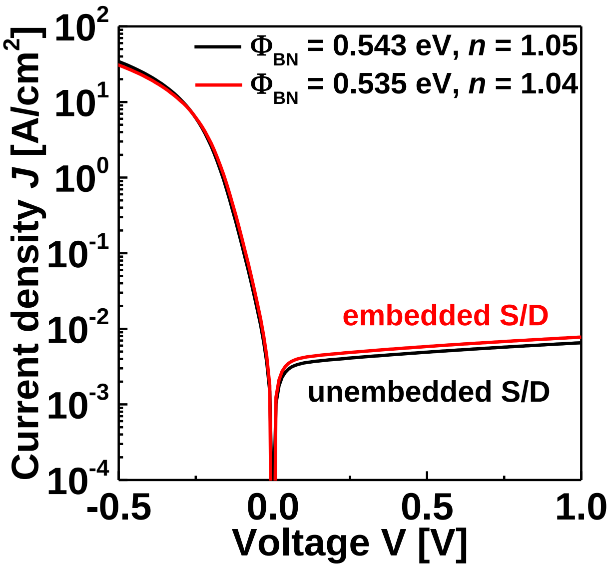

図 5.2 12 nm-埋め込みおよび非埋め込み S/D コンタクトの縦方向 J-V 特性.

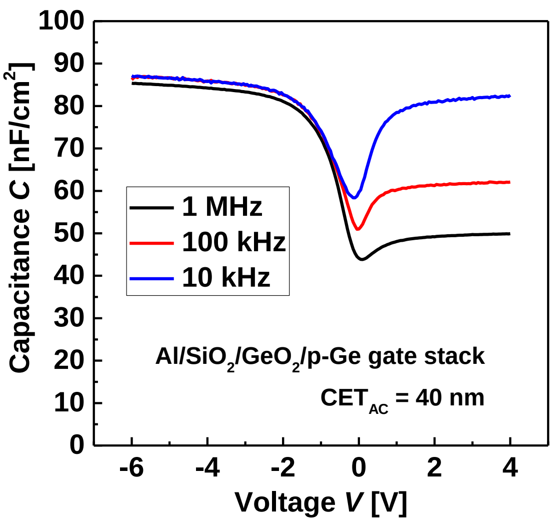

図 5.3 厚い EOT を有する Al/SiO_2/GeO_2/p-Ge-MOSCAP の C-V 特性.

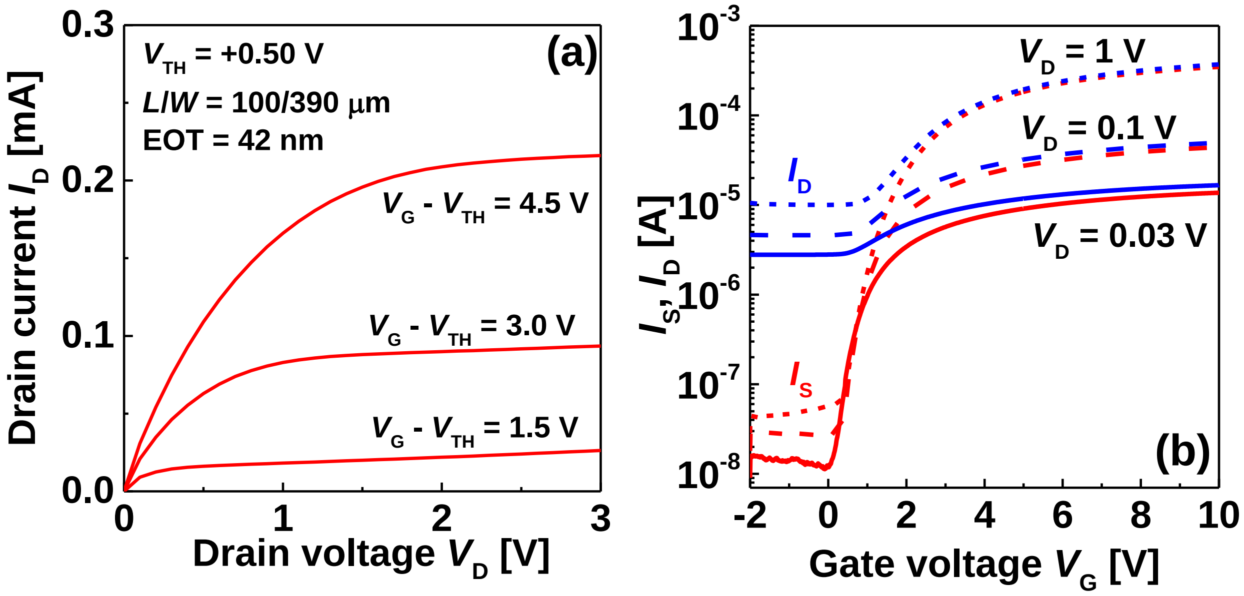

図 5.4 12 nm-埋め込み S/D 型 n-MOSFET の（a）I_D-V_D および（b）I_D、I_S-V_G 特性.

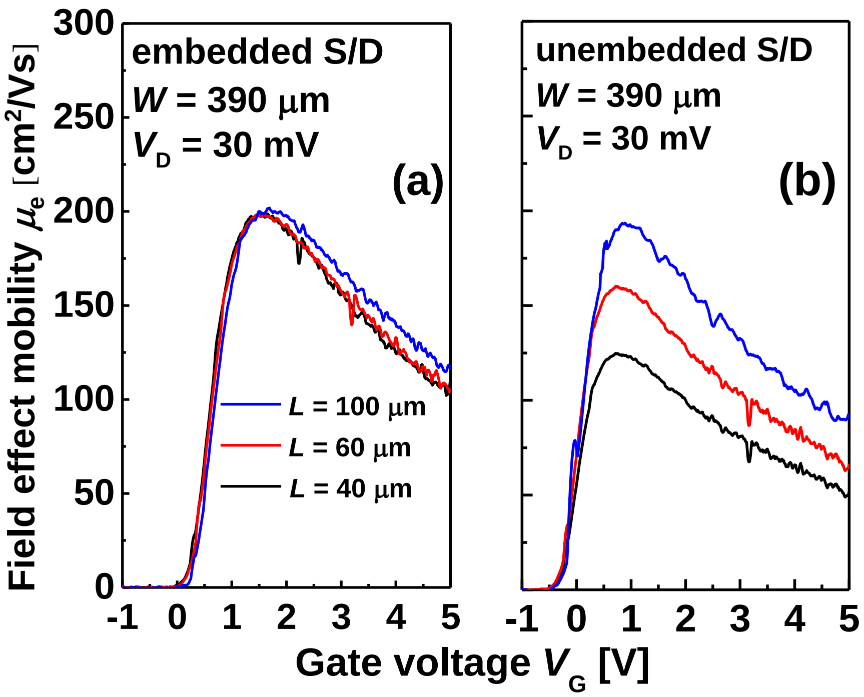

図 5.5　（a）12 nm-埋め込みおよび（b）非埋め込み S/D 型 n-MOSFETμ_e-V_G 特性.

S/D の埋め込み構造の違いによる R_P を定量的に評価するため、3.4.3 節と同様の手順を用いてデバイスの総抵抗－チャネル長(R_T-L)プロットを作成した。ここで、R_T は V_G-V_{TH}=4、5、6 V に於ける I_S/V_D から算出した。また、V_D は 0.03 V である。埋め込み S/D 型および非埋め込み S/D 型 n-MOSFET の R_T と L の関係を図 5.6（a）および（b）にそれぞれ示す。図 5.6 から、埋め込みの有無にかかわらず、S/D の横方向への拡がりはほぼゼロであった。また、埋め込みおよび非埋め込み S/D 型 n-MOSFET の R_P は、それぞれ~130 および~1400 Ω であった。この結果から、TiN-S/D 型 n-MOSFET に埋め込み構造を適用することで、1 桁以上の大幅な R_P の低減ができることが分かった。130 Ω の R_P は、3 章で述べた PtGe-S/D 型 p-MOSFET の R_P（~50 Ω）に匹敵するものであるが、その値は幾分か大きい。これは TiN/Ge と PtGe/Ge コンタクトの障壁高さの違いによるものと推測される。PtGe/Ge コンタクトの Φ_{BN} は 0.64 eV であるが[7]、TiN/Ge コンタクトの Φ_{BP} は、図 5.2 に示す様に、0.54 eV である。従って、PtGe-S/D の場合には正孔注入障壁がほぼゼロである。一方、TiN-S/D の場合には~0.1 eV の電子注入障壁が存在しており、この差が R_P として表れたと考えられる。

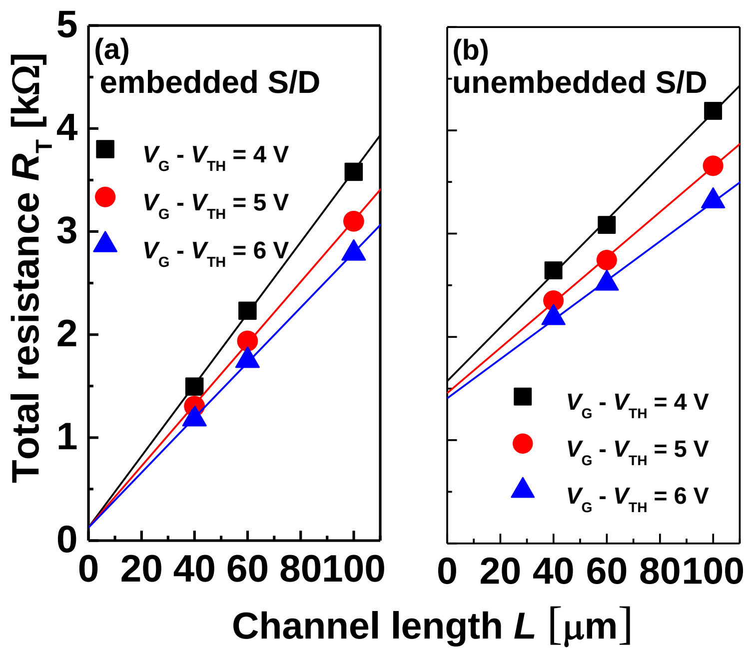

図 5.6　（a）12 nm-埋め込みおよび（b）非埋め込み S/D 型 n-MOSFET の R_T-L プロット.

5.3 薄い EOT を有する 12 nm-埋め込み S/D 型 Ge n-MOSFET のデバイス特性と S/D 寄生抵抗

5.3.1 試料作製

実験に用いた試料は、5.2 節で述べたものと同じである。図 5.7 に n-MOSFET の作製プロセスを示す。薄い EOT のデバイス作製プロセスは、5.2 節の厚い EOT デバイスと同じで、ゲートスタックの作製のみ異なる。ゲートスタックは次の様にして作製した。ECR プラズマ酸化とその後のスパッタ堆積により厚さ 2.5 nm-GeO_2 と 5 nm-SiO_2 膜を同一真空中にて形成した。続いて EOT の低減およびゲート電極と S/D コンタクト金属間の短絡防止のために、ALD 法を用いて厚さ 7.0 nm-HfO_2 膜を基板温度 300°C で成膜した。詳細な HfO_2 成膜条件を表 5.4 に示す。その後、400°C-30 分間の PDA を窒素雰囲気中で行った。また、比較として、同様のプロセスを用いて非埋め込み S/D 型 n-MOSFET も作製した。

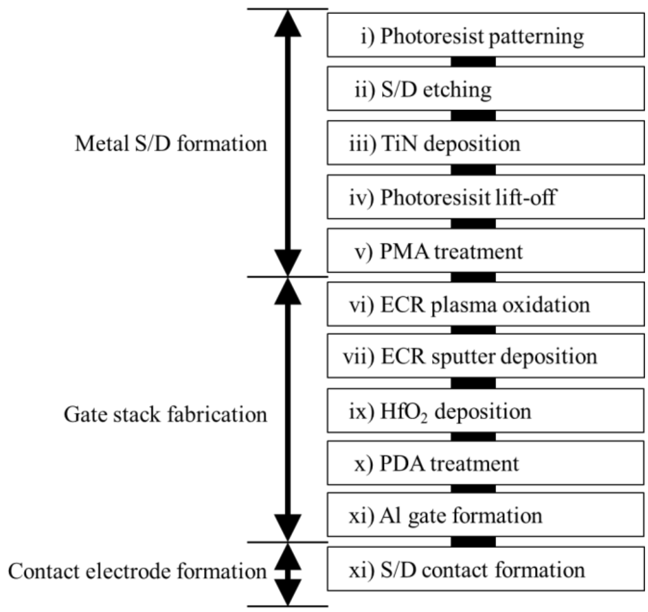

図 5.7 試料の作製手順.

表 5.4 ALD-HfO_2 の成膜条件.

HfO_2 (nm)	Cycle (time)	Temp. (°C)	Deposition rate (nm/cycle)
7	50	300	0.14

5.3.2 デバイス特性

図 5.8 は Al/HfO_2/SiO_2/GeO_2/Ge 構造を有する MOSCAP の *C*-*V* 特性を示す。この MOSCAP は、埋め込み S/D 型デバイスの形成と同時に、同一基板上に作製したものである。厚い EOT の場合と同様に、C_{AC} の値は 10 および 100 kHz で 4.5×10^{-7} F/cm^2 と等しく、この値から CET_{AC} は 7.6 nm と得られた。一方で、n-MOSFET のゲートーチャネル容量は C_{OX}=4.3×10^{-7} F/cm^2 で、この値から CET_{OX} は 8.0 nm と得られた。薄い EOT の場合でも、CET_{AC} と CET_{OX} の差は小さいため、CET_{OX} を EOT とした。図 5.9 は埋め込み S/D 型 n-MOSFET の V_D=0.03, 0.1 および 1 V に於ける I_S-V_G 特性を示す。EOT が厚い場合と同様に、n-MOSFET は良好なトランジスタ動作を示した。V_D=0.03 V に於ける I_S の *SS* は 114 mV/dec で、この値から D_{it} は 1.8×10^{12} cm^{-2}eV^{-1} と得られた。これは 5.3 節の EOT が厚い埋め込み S/D 型デバイスの D_{it} とほぼ一致する。

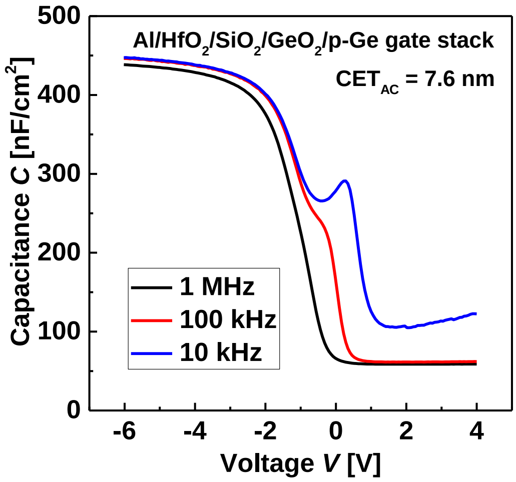

図 5.8 薄い EOT を有する Al/HfO_2/SiO_2/GeO_2/p-Ge-MOSCAP の *C*-*V* 特性.

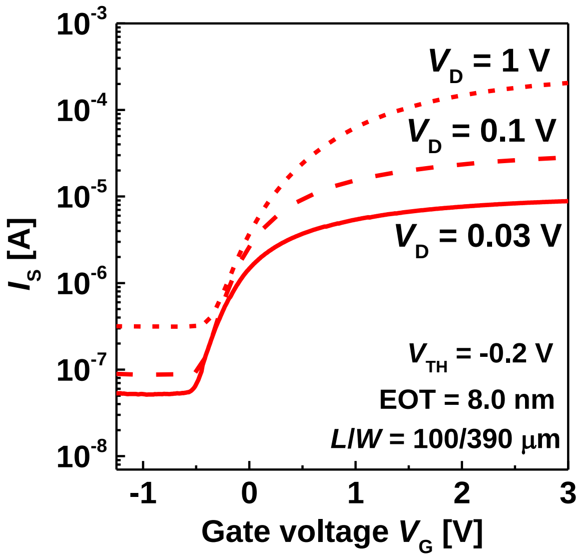

図 5.9 薄い EOT を有する埋め込み S/D 型 n-MOSFET の I_S-V_G 特性.

図 5.10（a）および（b）は、それぞれ埋め込みおよび非埋め込み S/D 型デバイスに於ける μ_e の V_G 依存性を示す。埋め込み S/D 型デバイスの 3 つのデータプロットは互いに一致しているが、非埋め込み型では L の減少に伴い μ_e が低下している。これらの特性は S/D の R_P の影響によるもので、EOT が厚い場合と類似している。図 5.11（a）および（b）に埋め込みおよび非埋め込み S/D 型デバイスの R_T と L との関係を示す。5.3 節と同様に R_P を算出した結果、それぞれ~100 および~1200 Ω と得られた。これらの値も図 5.6 に示す EOT が厚い場合のものとよく一致している。

埋め込み S/D 型 n-MOSFET のピーク μ_e は~100 cm^2/Vs と得られ、これは EOT が厚い場合の約半分程度と低い。界面の SiO_2/GeO_2 構造は両者とも同じであるため、これは HfO_2 膜中の固定電荷によるリモートクーロン散乱の影響と考えられる[10]。非埋め込み S/D 型デバイスのピーク μ_e は、埋め込み S/D 型のものより幾分か高い~140 cm^2/Vs であった。このピーク μ_e の差は EOT の違いによるものと考えられる。実際、非埋め込みデバイスの EOT が~1 nm 程厚く、非埋め込みデバイスの方が埋め込みデバイスよりもクーロン散乱の影響が小さくなったと考えられる。但し、5.3 および 5.4 節のピーク μ_e は、n$^+$-S/D 型 n-MOSFET

の μ_e（790 cm^2/Vs）よりもはるかに低い[11]。この低い μ_e は、ゲートスタックの品質に起因するものと考えられる。TiN/Ge コンタクトは 400°C 以上の熱処理によってコンタクト特性が劣化するため[2]、μ_e を向上させるには、高品質ゲートスタックの低温作製が必須である。またはゲートファーストプロセスを検討する必要がある。

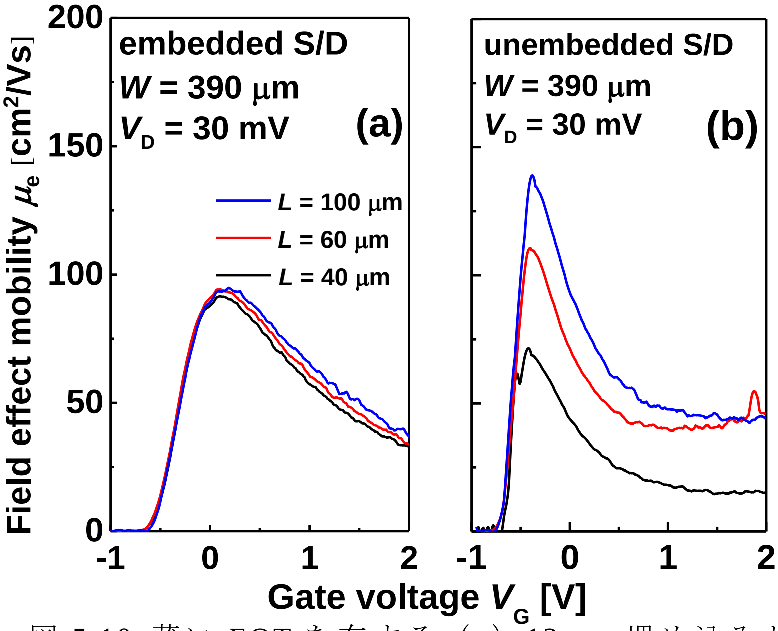

図 5.10 薄い EOT を有する（a）12 nm-埋め込みおよび（b）非埋め込み S/D 型 n-MOSFET の μ_e-V_G 特性.

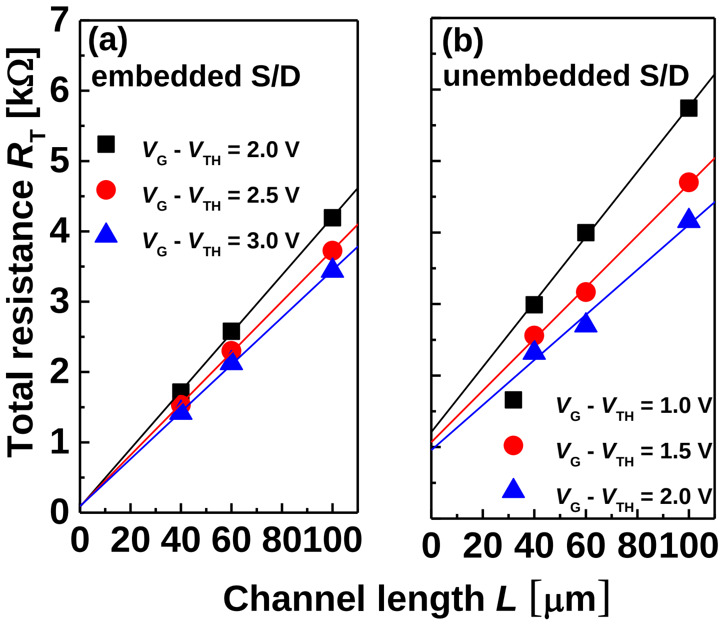

図 5.10 薄い EOT を有する（a）12 nm-埋め込みおよび（b）非埋め込み S/D 型 n-MOSFET の R_T-L プロット.

5.4 R_Pの S/D 埋め込み深さ依存性

5.4.1 試料作製

実験に用いた試料は、5.2 節で述べたものと同じである。本節では、TiN-S/D の埋め込み深さを 2、5、12、15 および 22 nm として作製した n-MOSFET のデバイス特性を述べる。以降、これらの n-MOSFET をそれぞれ#1, #2, #3, #4 および#5 と呼ぶ。なお、デバイスは厚い EOT と薄い EOT の両方を作製した。

5.4.2 R_Pと埋め込み深さとの関係

作製した#1 の n-MOSFET(エッチング深さ:2 nm)全部、および#2 の n-MOSFET の幾つかは、I_S のオン状態電流がオフ状態と等しく、トランジスタ動作を示さなかった。これはソースとチャネルが分断されていることを意味し、ソースーチャネルードレイン構造が図 5.12 の様になっていると推測される。ウェットエッチングの場合、Ge エッチングは等方的に進行する。また、本研究でスパッタ堆積した TiN 膜の堆積レートは 18 nm/min であるため、掘り込まれた領域は~16 秒程度で埋め込まれる。従って、TiN 膜が掘り込み領域の側壁上に堆積していない可能性がある。この様な構造のため、GeO_2 の成長は ECR プラズマ酸化によって可能と考えられるが、S/D 端近傍の極端に狭いオーバーエッチ領域には、スパッタにより SiO_2 の堆積ができず、結果として隙間が生じていると考えられる。側壁面への TiN スパッタ堆積レートは、ガス圧の増加に伴い大きくなることが報告されている[12]。従って、TiN 堆積中のガス圧が増加できれば、側壁面への堆積レート（R_{SS}）は向上し、Ge 表面への堆積レート（R_{PS}）は低減する。しかし、本研究で用いているスパッタリングシステムでは、プラズマの不安定

性のため、これ以上のガス圧の増加ができなかった。

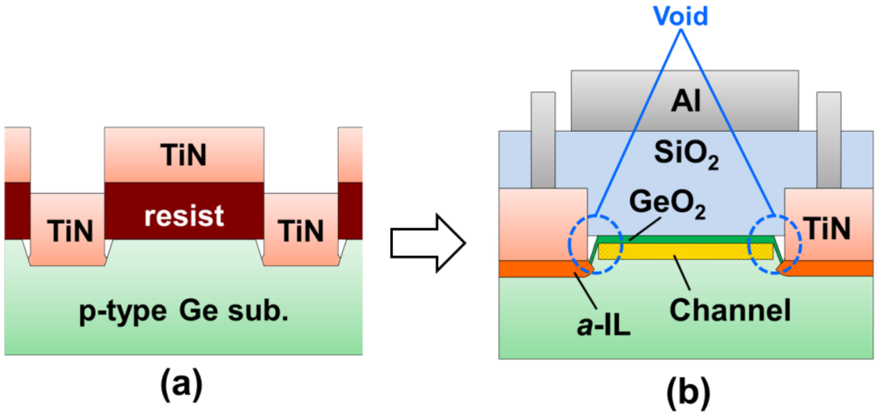

図 5.12　（a）2-5 nm エッチングおよびそれに続く TiN スパッタ堆積後、および（b）2-5 nm-埋め込み S/D 型 Ge n-MOSFET の断面模式図.

一方で、#4 および#5 の n-MOSFET は典型的なトランジスタ動作を示した。図 5.13 に各 n-MOSFET から得た R_P の埋め込み深さ依存性を示す。非埋め込み S/D 型デバイスの場合、図 5.14（a）に示す様に、ソース領域の *a*-IL/Ge 界面の位置がゲート絶縁膜直下の GeO_2/チャネルの位置とほとんど同じである。この構造では、ソースからチャネルへの効率的な電子注入ができない。対照的に、12-15 nm の埋め込み深さを有する#3 および#4 の n-MOSFET は、最も低い R_P を示した。これは、図 5.14（b）に示す様に、*a*-IL が H_2O_2 で掘り込んだ領域の側壁に均一に形成されて *a*-IL とチャネルとの間で良好な接触が得られ、その結果効率的な電子注入が実現できたと考えられる。しかし、~22 nm の埋め込み深さを有する#5 デバイスの R_P は、#3 および#4 よりも高い値を示した。これは、図 5.14（c）に示す様に、側壁のチャネルに接する部分での *a*-IL 形成が不十分で、ゲート絶縁膜下のソースとチャネル間の接触が良好でなく、効率的な電子注入ができにくくなったためと考えられる。これらの現象は、等方的エッチングが進行するウェットエッチングプロセス固有の課題である。ドライエッチングプロセスを採用すれば、低い R_P を得るためのエッチング深さのプロセスウィンドウを広げることができるものと考えられる。

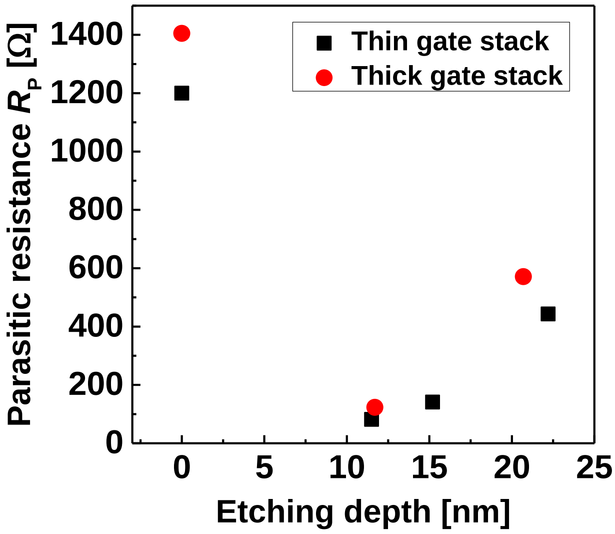

図 5.13 作製した全デバイスの R_P と埋め込み深さの関係.

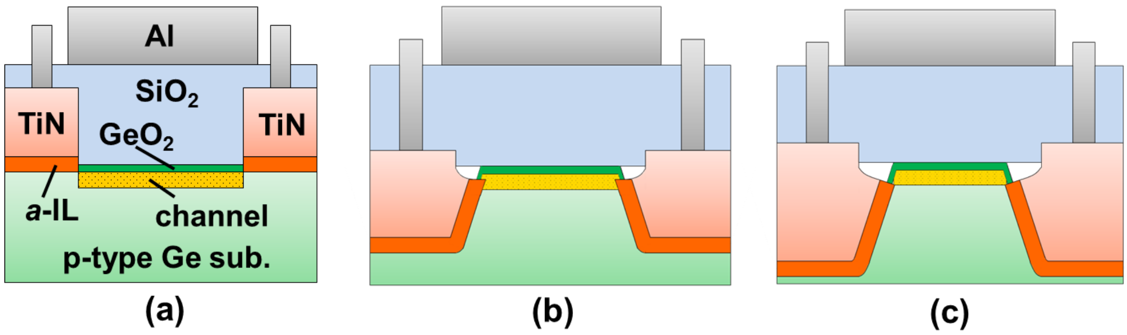

図 5.14 (a) 非埋め込み S/D 型、(b) 12-15 nm-埋め込み S/D 型、および (c) ~22 nm-埋め込み S/D 型 n-MOSFET の断面図.

5.5 本章のまとめ

本章では、埋め込み TiN-S/D 型 n-MOSFET を作製し、R_P の低減について調査した結果を述べた。得られた知見は以下の通りである。

1. 埋め込み S/D 構造によって、コンタクト特性は劣化しないことを明らかにした。
2. 12 nm の掘り込みを行った n-MOSFET は典型的なトランジスタ動作を示した。この結果から、埋め込んだ S/D の側壁にも *a*-IL が形成されることを明らかにした。このデバイスは、~130 Ω の低い R_P を示し、埋め込み S/D 構造を用いることで、埋め込みを行っていないデバイスの R_P（~1400 Ω）を 1 桁以上低減できることを示した。
3. 2-5 nm の掘り込み深さを持つデバイスはトランジスタ動作を示さず、また、~22 nm の掘り込み深さを持つデバイスは高い R_P を示した。この理由として、掘り込み S/D 側壁への *a*-IL の形成の違いによって説明した。

5.6 参考文献

[1] Y. Nagatomi, T. Tateyama, S. Tanaka, K. Yamamoto, D. Wang, and H. Nakashima, Semiconductor Science and Technology (accepted in Nov. 2016).

[2] M. Iyota, K. Yamamoto, D. Wang, H. Yang, and H. Nakashima, Appl. Phys. Lett. **98** (2011) 192108.

[3] K. Yamamoto, K. Harada, H. Yang, D. Wang, and H. Nakashima, Jpn. J. Appl. Phys. **50** (2012) 070208.

[4] K. Yamamoto, M. Mitsuhara, K. Hiidome, R. Noguchi, M. Nishida, D. Wang,

and H. Nakashima, Appl. Phys. Lett. **104** (2014) 132109.

[5] K. Yamamoto, R. Noguchi, M. Mitsuhara, M. Nishida, T. Hara, D. Wang, and H. Nakashima, J. Appl. Phys. **118** (2015) 115701.

[6] K. Yamamoto, T. Yamanaka, K. Harada, T. Sada, K. Sakamoto, S. Kojima, H. Yang, D. Wang, and H. Nakashima, Appl. Phys. Express **5** (2012) 051301.

[7] Y. Nagatomi, S. Tanaka, Y. Nagaoka, K. Yamamoto, D. Wang, and H. Nakashima, Jpn. J. Appl. Phys. **54** (2015) 070306.

[8] W. D. Gao, Y. Kashiwazaki, K. Muraoka, H. Nakashima, K. Furukawa, C. Y. Liu, K. Shibata, and T. Tsurushima, J. Appl. Phys. **82** (1997) 5680.

[9] D. Schroeder, Semiconductor Material and Device Characterization (Wiley, New York, 1998) 3rd ed.

[10] N. Miyata, H. Ishii, T. Itatani, and T. Yasuda, Appl. Phys. Express **4** (2011) 101101.

[11] K. Yamamoto, R. Ueno, T. Yamanaka, K. Hirayama, H. Yang, D. Wang, and H. Nakashima, Appl. Phys. Express **4** (2011) 051301.

[12] Y. Liu, S. Kijima, E. Sugimata, M. Masahara, K. Endo, T. Matsukawa, K. Ishii, K. Sakamoto, T. Sekigawa, H. Yamauchi, Y. Takanashi, and E. Suzuki, IEEE Trans. **5** (2006) 723.

第 6 章 総括

本研究では、次世代 CMOS デバイスの候補材料として期待されるメタル S/D 型 Ge p-および n-MOSFET に於いて、重要課題である MOS 構造の高品質化と S/D 寄生抵抗の低減に取り組んだ。本研究で得られた結果を以下に纏める。

第 1 章では、スケーリングとポストスケーリング技術について述べた。その中で、本研究で取り組んだチャネルエンジニアリング、ゲートスタックエンジニアリング、および S/D エンジニアリングの重要性について説明した。また、中島研究室での過去の研究成果を述べ、本研究を遂行するに当たり著者が取り組むべき課題を示した。

第 2 章では、EOT の低減と MOS 構造の高品質化の両立を目指し、低い界面準位密度（D_{it}）を有する $Al_2O_3/GeO_X/Ge$ ゲートスタックに対して、Al 堆積後熱処理（Al-PMA: Al-postmetallization annealing）効果を明らかにした。Al-PMA を施した $SiO_2/Al_2O_3/GeO_X/Ge$ 構造の MOSCAP の電気的特性は、$SiO_2/GeO_2/Ge$ 構造の MOSCAP と同様な Al-PMA 効果を示す。即ち、PMA 温度の上昇に伴い、フラットバンド電圧（V_{FB}）の正方向シフト、ヒステリシス（HT）の減少および D_{it} とボーダートラップ密度（D_{bt}）の低減、がなされる。特に D_{it} は $1\times10^{11}\mathrm{cm^{-2}eV^{-1}}$ と極めて低く、$Al_2O_3/GeO_X/Ge$ 構造に於いても Al-PMA が有効であることを示した。次に、HfGe/Ge コンタクトを S/D とし、MOSCAP で確立した MOS 構造をゲートスタックとしたメタル S/D 型 Ge p-MOSFET を作製した。本来、メタル S/D 型 Ge MOSFET のゲートスタック膜厚は、S/D 金属よりも厚くしなければばならないが、段差被覆性の良い ALD-Al_2O_3 を用いることで、ゲートスタックの膜厚が低減できることを示した。しかし、S/D 側壁上で Al/Al_2O_3 の直接接触が生じ､この界面層が Al-PMA によって反応したことでゲートと S/D 間の絶縁耐圧が大幅に劣化し、トランジスタ動作を得ることができなかった。

この問題の解決のために、S/D の埋め込み構造および側壁への SiO_2 堆積法を提案した。一方、Al-PMA を施さなかったデバイスでは、典型的なトランジスタ動作が得られた。また、電界効果移動度（μ_h）がチャネル長（L）の減少に伴い低下することを見出し、HfGe/Ge コンタクトで S/D を作製した場合、寄生抵抗（R_P）が高いとの課題を抽出した。

第 3 章では、低い R_P の実現を目指し、PtGe/Ge コンタクトとその後のパッシベーション法の検討を行った。PtGe/Ge コンタクトは、HfGe/Ge コンタクトを超える~0.64 eV の電子障壁高さ（Φ_{BN}）および 1.02 の理想係数（n）を持つことを示した。次に、数種類のパッシベーション法を用いて PtGe/Ge コンタクト上に保護膜を形成し、その電気的特性について調べた。結果として、2 層パッシベーション（BLP）法による SiO_2/GeO_2 パッシベーションが最適であることを示し、PtGe/Ge コンタクトの作製プロセスを確立させた。確立した PtGe/Ge コンタクトプロセスを用いて、PtGe-S/D 型 Ge p-MOSFET を作製し、トランジスタ動作を実証した。HfGe-S/D の場合は R_P が~300 Ω であること、PtGe-S/D では~50 Ω であることを定量的に示した。これにより、R_P の 1/6 低減に成功した。これらの結果を通して、PtGe/Ge コンタクトの有用性を示した。

第 4 章では、Al-PMA 効果による μ_h 向上のメカニズムの解明を目指した。300-400°C の範囲で Al-PMA を施した $Al/SiO_2/GeO_2/Ge$ 構造の MOSCAP を作製し、その電気的特性が過去の報告と一致することを確かめた。また、絶縁膜中の電荷を 3 種類に分離することで、V_{FB} シフトの原因が、ダイポールの消失、界面準位の低減、GeO_2 膜中の酸素欠損欠陥の終端化、および負に帯電した原子の増加、であることを明らかにし、Al-PMA が MOSCAP の電気特性に及ぼす影響を明確化した。次に、TOF-SIMS と XPS 分析により、Al-PMA によって Al 原子がゲートスタック中へ導入されること､導入した Al が GeO_2 と反応して AlO_X となること、この反応がダイポールの消失と関係すること、を明らかにした。

次に、第3章で確立したPtGe/Geコンタクトを埋め込み構造にしたS/Dを用いてp-MOSFETを作製し、Al-PMA効果を調査した。300-400°Cの範囲でAl-PMAを施した各デバイスは同程度の界面品質を持つにも拘わらず、325°CのAl-PMAを施したデバイスで最も高いμ_h（468 cm^2/Vs）が得られることを示した。しきい値電圧（V_{TH}）の計算に於いて、界面に存在する電荷がゼロの場合の理想V_{TH}と実測したV_{TH}の差から、クーロン散乱中心として働く電荷密度を算出した結果、325°CのAl-PMAを施したデバイスが最も低い散乱中心密度であることを定量的に示した。即ち、Al-PMAによってD_{it}とD_{bt}が低減すると共に、GeO_2中に存在する正の固定電荷が負の電荷によって中性化し、散乱中心が減少したことによりμ_hが向上することを明らかにした。

第5章では、埋め込みTiN-S/D構造をn-MOSFETに適用することでR_Pの低減を目指した。過去に報告したTiN-S/D型n-MOSFETが高いR_Pを持つことを実験的に示し、その原因がTiN/Ge界面に形成されるアモルファス界面層（*a*-IL）の厚さが薄いことに起因することを述べた。埋め込みS/D型n-MOSFETは典型的なトランジスタ動作を示し、掘り込んだS/Dの側壁上にも*a*-ILが形成されていること、埋め込みS/D型のR_Pは~130 Ωであること、を示した。これは、非埋め込み（従来）S/D型のR_P（~1400 Ω）を1桁以上低減したことを意味し、埋め込みS/D構造の有用性を示した。

以上、メタルS/D型Ge-CMOSデバイスの実現に向けたMOS構造の高品質化およびS/DのR_Pの低減に関して、有意義な成果を得ることができた。Al-PMAによるμ_hの向上メカニズム、特に「界面準位の低減、GeO_2膜中の正の固定電荷の中性化および負に帯電した原子の増加」は、導入する原子の種類を変えることでn-MOSFETにも適用できる可能性がある。高品質MOS構造の形成法として重要な位置を占めるものと期待される。

謝辞

本稿は、九州大学大学院総合理工学府量子プロセス理工学専攻中島研究室に於ける、2012 年から 2017 年までの博士前期・後期課程での研究をまとめたものです。本研究を遂行するにあたり、九州大学グローバルイノベーションセンターの中島寛教授には、終始懇切丁寧なご指導・ご鞭撻を賜わりました。心より感謝申し上げます。また、本稿をまとめるにあたり、有益なご教示・ご討論を頂きました九州大学グローバルイノベーションセンターの服部励治教授、九州大学グローバルイノベーションセンターの吾郷浩樹教授に謹んで感謝の意を表します。

九州大学大学院総合理工学研究院の王冬准教授、九州大学大学院総合理工学研究院の山本助教には、実験の進め方や実験装置の使用方法等のきめ細かいご指導を頂きました。九州大学中央分析センターの三浦好典助教には、XPS 評価に関して大変お世話になりました。また、メルコセミコンダクタエンジニアリングの榎田豊次氏には、SIMS 分析に関して多くのご協力を頂きました。厚く御礼申し上げます。

最後に、実験等にご協力を頂いた小島秀太氏、長岡裕一君、田中慎太郎君、織田知輝君、坂口大成君をはじめとする中島研究室の皆様に心から感謝致します。