

順序回路のソフトウェア耐性評価における高精度な 近似評価手法

城林, 直樹
九州大学大学院システム情報科学府

赤峰, 悠介
九州大学大学院システム情報科学府

吉村, 正義
九州大学大学院システム情報科学研究院

松永, 裕介
九州大学大学院システム情報科学研究院

<https://hdl.handle.net/2324/17774>

出版情報 : 電子情報通信学会技術研究報告. 110 (36), pp.25-30, 2010-05. 電子情報通信学会
バージョン :
権利関係 :



順序回路のソフトエラー耐性評価における高精度な近似評価手法

城林 直樹[†] 赤峰 悠介[†] 吉村 正義^{††} 松永 裕介^{††}

[†] 九州大学 大学院システム情報科学府

^{††} 九州大学 大学院システム情報科学研究所

〒 819-0395 福岡県福岡市西区元岡 744

E-mail: [†]{shirobayashi,akamine,yosimura,matsunaga}@soc.ait.kyushu-u.ac.jp

あらまし ソフトエラー耐性を考慮した論理回路の設計においてソフトエラー耐性評価手法が必要となる。順序回路における評価手法の1つに厳密にソフトエラー発生後の振る舞いを解析する手法が提案されているが、実行時間の観点から問題がある。それに対し、ソフトエラー発生後の1クロックのみを考慮する近似手法も提案されているが、この手法では計算精度の観点から問題がある。そのため本稿では、複数クロックを考慮した近似評価手法について述べ、計算精度および実行時間の評価を行う。

キーワード ソフトエラー, 順序回路, 有限状態機械

Highly Accurate Approximate Methods for Soft Error Tolerance Estimation for Sequential Circuits

Naoki SHIROBAYASHI[†], Yusuke AKAMINE[†], Masayoshi YOSHIMURA^{††}, and Yusuke MATSUNAGA^{††}

[†] Graduate School of Information Science and Electrical Engineering, Kyushu University

^{††} Faculty of Information Science and Electrical Engineering, Kyushu University

744 Motooka, Nishiku, Fukuoka 819-0395 JAPAN

E-mail: [†]{shirobayashi,akamine,yosimura,matsunaga}@soc.ait.kyushu-u.ac.jp

Abstract Soft error tolerance estimation method is necessary for soft error aware logic designs. There is an exact method has been proposed to estimate soft error tolerance for sequential circuits. This method can analyze the behavior of state transitions strictly with Markov model. This method has difficulty applying for large scale circuits, because this method needs run time exponential in the size of circuits. On the other hand, there is an approximate method which considers the behavior of circuits for only 1 clock-cycle after soft error occurring. This method has a problem which has low accuracy. This paper presents an approximate methods. The method is more accurate than the existing approximate method, because it considers the behavior of circuits for several clock-cycles.

Key words soft error, sequential circuit, finite state machine

1. はじめに

LSI(Large Scale Integrated circuit)の信頼性に関する問題としてソフトエラーが挙げられる。ソフトエラーとは、トランジスタへの中性子などの衝突時に収集される電荷による、記憶素子の保持している値の反転や、論理ゲートの出力値の一時的な反転である。ソフトエラー発生時の誤った値(エラー)が外部出力まで伝搬し回路の誤動作を招くおそれがある。

現在、メモリ回路においてはソフトエラーに対する比較的低コストで高信頼性を実現できる対策が確立されている。しかし、

論理回路はメモリ回路と比べ回路構造に規則性が無いため、低コストで高信頼性を実現できる対策が未だ確立されていない。そのため、今後論理回路のソフトエラーが無視できない問題となる可能性がある[1]。

論理回路の設計時にソフトエラー耐性を考慮する場合、回路が所望のソフトエラー耐性を持つか否かを評価する必要がある。回路全体のソフトエラー耐性評価には、いずれかの素子でソフトエラーが発生し、かつそのエラーが外部出力に伝搬する確率を指標として用いるのが一般的である[2]~[6]。また、回路の脆弱な素子を特定する際には、ある素子でソフトエラーが発生し

た際のエラーが外部出力まで伝搬する確率 (サセプタビリティ) も重要な指標となる。

論理回路は順序回路と組み合わせ回路に分類できる。組み合わせ回路に対するソフトエラー耐性評価はソフトエラー発生時の外部入力に対してそのエラーの外部出力への伝搬を確認すればよい [2], [3]。一方で、順序回路ではエラーの外部出力への伝搬は入力パターンと状態から決定され、ソフトエラーが発生したクロックにおいて外部にエラーが顕在化していない場合でも、数クロック後に外部出力にエラーが伝搬する可能性がある。

順序回路の動作とソフトエラーの発生に関連性はない。そのため、ソフトエラーの発生はランダムであり、回路の振る舞いが確率的に定まるものと考えることができる。したがって、ソフトエラー発生後の回路の状態の振る舞いを、確率的に状態遷移する有限状態機械であるマルコフモデルであると考えることができる。上記に基づき、マルコフモデルを用いた順序回路のソフトエラー耐性評価手法が提案されている [4]~[6]。文献 [6] の手法 (厳密手法) は与えられた入力パターンの確率分布の仮定のもとではソフトエラー発生後の回路の振る舞いを厳密に解析するものであるが、計算時間の観点から実用的ではない。文献 [4], [5] の手法では外部へのエラー伝搬後も含めた全ての状態間の遷移を考慮しているため実行時間の観点で問題がある。文献 [6] の PPO 法ではソフトエラー発生後の 1 クロックのみを考慮し、フリップフロップ (FF) に取り込まれたエラーも外部に伝搬したエラーとみなす近似を行う。そのため、一部の回路ではソフトエラー耐性評価の際に大きな誤差が生じている。したがって、厳密手法との誤差がより小さい近似手法が必要となる。

そこで本稿では PPO 法の計算精度向上を目的とした複数クロックをまたいだエラー伝搬を考慮する近似手法を提案する。複数クロックをまたいだエラー伝搬の考慮により誤った状態から正常な状態への遷移を考慮することができ、PPO 法と比較し計算精度の向上が見込める。この手法を拡張 PPO 法と呼ぶ。

以上から、拡張 PPO 法において実験により計算精度、実行時間の評価を行った。実験を行った全てのベンチマーク回路において、拡張 PPO 法は PPO 法と比較して計算精度の向上がみられた。また、全体的に厳密手法より短時間での評価が行えることがわかった。

本稿の構成を以下に示す。まず、2 章でマルコフモデルを用いたソフトエラー耐性評価手法の既存手法を説明する。次に、3 章で提案手法である拡張 PPO 法について述べる。4 章で拡張 PPO 法の計算精度、実行時間についての実験について述べ、最後に 5 章で本稿をまとめる。

2. マルコフモデルを用いたソフトエラー耐性評価手法

順序回路は論理素子と FF などの記憶素子を用いて有限状態機械を実現したものであり、現在の状態と外部入力値によって次状態と外部出力値が定まる。ソフトエラー発生による外部出力へのエラー伝搬は、エラーのない正常な回路 (正常回路) とソフトエラーの発生を仮定した回路 (故障回路) に同一の入力を与え、それらの外部出力値を比較することで調べることがで

きる。この正常回路と故障回路の対を回路対と呼ぶ。図 1 に順序回路の回路対の図を示す。FF にエラーが取り込まれた後の振る舞いを調べるため、ここではソフトエラーは FF でのみ発生し、ソフトエラーの発生は一度のみとする。この回路対の正常回路と故障回路の外部出力の値が異なった場合、エラーが外部出力に伝搬したといえる。また正常回路と故障回路の状態を比較する場合はそれぞれの FF の値を比較する。以上のように、回路対を用いることで正常な回路の振る舞いと、エラーを含む回路の振る舞いの比較を行うことができる。

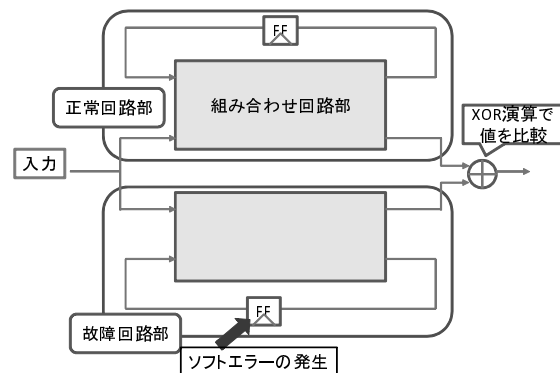


図 1 順序回路の回路対

2.1 厳密手法

マルコフモデルを用いた順序回路の厳密なソフトエラー耐性評価手法について説明する [6]。この手法を厳密手法と呼ぶ。厳密手法では回路対を用いて回路の正常な振る舞いとエラーを含む振る舞いの比較を行う。また、回路対の状態遷移の振る舞いを確率的に遷移するマルコフモデルにより表し、回路のソフトエラー耐性を評価する。

まず、回路対の状態について考える。回路対の状態はソフトエラー発生前と発生後に大別できる。ここで、ソフトエラー発生前の状態の集合を S 、発生後の状態の集合を Π とする。 S から Π への遷移はソフトエラーの発生によってのみ起こり、ソフトエラーの発生は一度のみとする。

ソフトエラー発生後の回路の動作において、外部出力へエラーが伝搬すると、その後いかなる動作をしようとも回路は誤動作を起こしたこととなる。また、誤った状態から一旦正常な動作へと戻ると、再度誤動作を起こすことはない。以上より、ソフトエラー発生後の順序回路の回路対の状態をマルコフモデルと考えた場合、3 つの状態へ分類できる。その 3 つの状態を以下に示す (図 2)。

- failure 状態: 外部出力にエラーが伝搬した状態
- 一時状態: 回路対の FF の値は異なるが、外部出力にはエラーが伝搬していない状態
- masked 状態: エラーの伝搬が阻害され、FF、外部出力ともにエラーが伝搬していない状態

failure 状態、masked 状態はともに自分自身に確率 1 で遷移する状態であり、一旦これらの状態へ遷移すると他の状態へと遷移することはない。以降、これらの状態に遷移することを、その状態に吸収されると表現する。ソフトエラー発生後の回路対

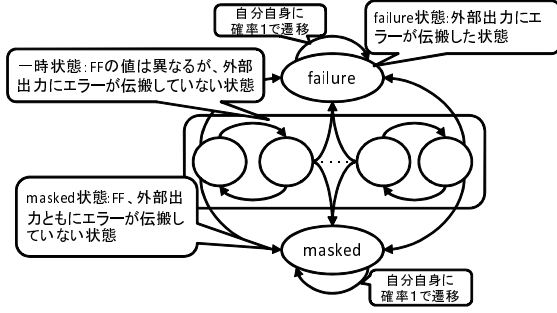


図2 マルコフモデルでの回路対の状態の分類

の振る舞いを上記のマルコフモデルで表すとき、failure 状態へと遷移する確率を求めれば外部出力へとエラーが伝搬する確率を求めることができる。

2.1.1 ソフトエラー耐性評価指標の計算

本稿では式を表す際、以下のような表記を用いる。

- S : ソフトエラー発生前の状態の集合
- Π : ソフトエラー発生後の状態の集合
- Π_{tmp} : 一時状態の集合
- π_f : failure 状態
- $r_{s_i s_j}$: $s_i \in S$ から $s_j \in S$ への遷移確率
- $e_{s_i \pi_i}$: ソフトエラーにより $s_i \in S$ から $\pi_i \in \Pi$ に遷移する確率

- $p_{\pi_i \pi_j}$: $\pi_i \in \Pi$ から $\pi_j \in \Pi$ への遷移確率
- $q_{base}(\pi_i, \pi_f)$: 厳密手法での $\pi_i \in \Pi$ から $\pi_f \in \Pi$ へと吸収される確率 (吸収確率)

- $q_{ppo}(\pi_i, \pi_f)$: PPO 法、時間展開を用いる手法での吸収確率

- $P_{steady}(s_i)$: $s_i \in S$ の定常確率
- $P_{abs}(\pi_f)$: π_f に吸収される確率
- $P_{init}(\pi_i)$: $\pi_i \in \Pi$ の初期状態確率
- $P_{prop}(k)$: FF k でソフトエラーが発生した際に外部出力までエラーが伝搬する確率

- s^k : FF k でソフトエラーが発生した直後の遷移先の状態
- $P_{error}(k)$: FF k でソフトエラーが発生する確率
- $P_{failure}(k)$: FF k でソフトエラーが発生し、外部出力に伝搬する確率

回路のいずれかの素子でソフトエラーが発生し、かつそのエラーが外部出力まで伝搬する確率を求めることは、failure 状態 π_f に吸収される確率を求めることと等しい。回路のいずれかの素子でソフトエラーが発生し、かつそのエラーが外部出力まで伝搬する確率 $P_{abs}(\pi_f)$ は以下の式で表せられる。

$$P_{abs}(\pi_f) = \sum_{\pi_i \in \Pi} P_{init}(\pi_i) \cdot q_{base}(\pi_i, \pi_f) \quad (1)$$

式 (1) において、 $P_{init}(\pi_i)$ は状態 π_i の初期状態確率であり、ソフトエラー発生直後に状態が π_i である確率である。以下に初期状態確率 $P_{init}(\pi_i)$ の式を表す。

$$P_{init}(\pi_i) = \sum_{s_j \in S} P_{steady}(s_j) \cdot e_{s_i \pi_i} \quad (2)$$

$e_{s_i \pi_i}$ はソフトエラーにより状態 $s_i \in S$ から状態 $\pi_i \in \Pi$ に遷移する確率であり、FF においてソフトエラーが発生する確率や、論理素子におけるソフトエラーの影響が FF に到達する確率などから計算することができる。一方、 $P_{steady}(s_i)$ は定常確率であり、ソフトエラー発生以前のあるクロックで状態が s_i である確率である。定常確率 $P_{steady}(s_i)$ は状態 $s_i \in S$ から $s_j \in S$ への遷移確率 $r_{s_i s_j}$ を用いて以下の式で表される。

$$P_{steady}(s_j) = \sum_{s_i \in S} P_{steady}(s_i) \cdot r_{s_i s_j} \quad (3)$$

また、全状態の定常確率の和は 1 となるので以下の式が成り立つ。

$$\sum_{s_i \in S} P_{steady}(s_i) = 1 \quad (4)$$

式 (3),(4) により、各状態間の遷移確率 $r_{s_i s_j}$ が既知であれば、定常確率を未知数とする連立方程式を解くことにより、定常確率を求めることができる。また、遷移確率 $r_{s_i s_j}$ は対象回路に対する全入力パターンに対する論理シミュレーションから求めることができる。式 (1) で用いた $\pi_i \in \Pi$ から failure 状態へ吸収される確率 $q_{base}(\pi_i, \pi_f)$ は以下の式で表される。

$$q_{base}(\pi_i, \pi_f) = \sum_{\pi_j \in \Pi_{tmp}} p_{\pi_i \pi_j} q_{base}(\pi_j, \pi_f) + p_{\pi_i \pi_f} \quad (5)$$

各状態間の遷移確率 $p_{\pi_i \pi_j}$ が既知であれば、 $q_{base}(\pi_i, \pi_f)$ を未知数とする連立方程式を解くことで求めることができる。 $p_{\pi_i \pi_j}$ は全入力パターンに対する故障シミュレーションより求めることができる。故障シミュレーションとは正常回路と故障回路に対して同一の入力パターンに対する論理シミュレーションを行い、外部出力などの論理値を比較することである。

また、回路の論理ゲートや FF のソフトエラーに対する脆弱性を表す指標としてサセプタビリティ P_{prop} がある。サセプタビリティとは回路のある素子でソフトエラーが発生した際に、そのエラーが外部出力まで伝搬する確率である。サセプタビリティとソフトエラー発生確率の積の総和が $P_{abs}(\pi_f)$ であり、サセプタビリティの精度は $P_{abs}(\pi_f)$ の精度に影響を及ぼす。FF k のサセプタビリティ $P_{prop}(k)$ の計算式を以下に示す。ソフトエラー発生以前の状態 $s \in S$ において、FF k でソフトエラーが起きた際の遷移先を s^k とすると、 s^k の初期状態確率は FF k でソフトエラーが発生する確率 $P_{error}(k)$ を用いて、以下のよう表せる。

$$P_{init}(s^k) = P_{steady}(s) \cdot P_{error}(k) \quad (6)$$

式 (1),(6) より、FF k でエラーが発生し外部出力に伝搬する確率 $P_{failure}(k)$ は

$$P_{failure}(k) = P_{error}(k) \cdot P_{prop}(k) \quad (7)$$

で表される。以上より FF k のサセプタビリティ $P_{prop}(k)$ は、以下の式で表される。

$$P_{prop}(k) = \sum_{s \in S} P_{steady}(s) \cdot q_{base}(s^k, \pi_f) \quad (8)$$

3.2.1 概要

状態遷移確率を用いる手法では考慮するクロック間で到達することのできる回路対の状態に対して故障シミュレーションを行い、その状態の次状態と遷移確率を記憶しておき、その情報を用いてソフトエラー耐性を求める手法である。この手法においても考慮する最後のクロックでは一時状態を failure 状態と見なす。そのため時間展開を用いた手法との計算精度は等しい。状態遷移確率を用いる手法の吸収確率 $q_{epo}(\pi_{i_1}, \pi_f, t)$ は以下のように表される。

$$q_{epo}(\pi_{i_1}, \pi_f, t) = p_{\pi_{i_1} \pi_f} + \sum_{\pi_{i_2} \in \Pi_{tm p_1}} p_{\pi_{i_1} \pi_{i_2}} \{p_{\pi_{i_2} \pi_f} + \sum_{\pi_{i_3} \in \Pi_{tm p_2}} p_{\pi_{i_2} \pi_{i_3}} (p_{\pi_{i_3} \pi_f} + \sum_{\pi_{i_4} \in \Pi_{tm p_3}} p_{\pi_{i_3} \pi_{i_4}} (\dots (p_{\pi_{i_t} \pi_f} + \sum_{\pi_{i_{t+1}} \in \Pi_{tm p_4}} p_{\pi_{i_t} \pi_{i_{t+1}}}))\})\}$$

ここで π_{i_t} は $t-1$ クロックにおいて到達する状態である。また $\Pi_{tm p_t}$ は t クロックにおいて到達可能な状態の集合である。吸収確率は π_{i_1} から π_f への遷移確率と π_{i_1} から他の一時状態に遷移し π_f へ遷移する確率の和である。また、考慮する最後のクロックでの一時状態は failure 状態とみなす。ここで t は考慮するクロック数であり、 $t=1$ のとき、式 (10) と等しい。

3.2.2 故障シミュレーションの実行回数

状態遷移確率を用いる手法は時間展開を用いる手法の冗長部を削減するため、故障シミュレーションの実行回数を大幅に削減できる可能性がある。考慮するクロック数を t 、failure 状態、masked 状態を含まない t クロックまでに回路対の取り得る状態数を $M(t)$ 、対象回路の外部出力数を n 、対象回路の FF 数は m 、対象回路の到達可能状態数を l とすると故障シミュレーションの実行回数は

$$2^n \cdot M(t) \quad (13)$$

となる。ここで $M(t)$ には

$$l \cdot m \leq M(t) \leq l \cdot m \cdot 2^{n(t-1)} \quad (14)$$

という不等式が成り立つ。また、 $t=1$ のとき $l \cdot m = M(t) = l \cdot m \cdot 2^{n(t-1)}$ である。ここで、 $l \cdot m \cdot 2^{n(t-1)}$ は t クロックでの回路対の到達状態数であり、failure 状態、masked 状態、一時状態の重複を含む。そのため考慮するクロック数を増加させた場合 $M(t) \ll 2^{n(t-1)}$ となることが予想される。ここで式 (13) を式 (11) で割ったものを $R(t)$ とすると

$$R(t) = \frac{M(t)}{2^{n(t-1)} \cdot l \cdot m \cdot t} \quad (15)$$

となる。また、 $R(t)$ は

$$0 < R(t) \leq 1 \quad (16)$$

を満たす。 $R(t)$ は $t=1$ で最大値 1 をとり、 $M(t) = l \cdot m \cdot 2^{n(t-1)}$ の場合 $1/t$ となる。したがって、最悪の場合でも故障シミュレーションの実行回数が時間展開を用いた手法の $1/t$ に削減できる

と考えられる。また、 t をいくら増加させても回路対の最大の到達可能状態数は

$$l \cdot (2^m - 1) \quad (17)$$

であるため、最大の故障シミュレーションの実行回数は $2^n \cdot l \cdot (2^m - 1)$ となる。

4. 実験

拡張 PPO 法の計算精度および実行時間を評価するために実験を行った。各評価手法は C++ 言語で実装した。本実験に用いたマシンの CPU は Intel Xeon 3.3GHz、メモリは 32GB である。ベンチマーク回路として、ISCAS'89 ベンチマークセット、MCNC ベンチマークセットの順序回路の一部を用いた。

本実験では、入力パターンの確率分布は一律であると仮定し、遷移確率の計算には全入力パターンに対する論理シミュレーションを用いた。また全ての回路に一律に 1 から 5 クロックまでを考慮する拡張 PPO 法での評価を行った。ここで、ソフトエラーは FF に対してのみ一度のみ発生し、同時に複数箇所でも発生しないものとする。計算精度の評価には FF のサセプタビリティを用いる。表 1 に計算精度、表 2 に実行時間、表 3 に到達状態数の実験結果を示す。表 1 において、#PI は外部入力数、#FF は FF 数、time は実行時間、base は厳密手法、PPO は PPO 法、PPO-X は X クロックを考慮した拡張 PPO 法である。naive は時間展開を用いる手法、efficient は状態遷移確率を用いる手法である。また PPO-X に関する susceptibility は各回路における PPO-5 のサセプタビリティの上限と base との誤差が最大であった FF においてのサセプタビリティの上限と下限の組である。また、表中の「—」は 3 日間の実行で終了しなかったことを表す。ここで base の結果は文献 [6] の引用である。 e^x は 10 の x 乗を表す。

4.1 計算精度の評価

PPO においては s382 のようにサセプタビリティの上限が base と比べて 0.5 もの大きな誤差が生じているものもあるが、考慮するクロック数の増加につれて大幅に誤差が減少している。また、全ての回路において PPO から PPO-5 へと考慮するクロック数を増加させるにつれてサセプタビリティの上限と下限の差が小さくなり、サセプタビリティの上限と下限のどちらの値も base の値に近くなっていることがわかる。これは考慮するクロック数を増加させるにつれ一時状態から masked, failure 状態へ遷移し、一時状態である確率が減少しているためである。サセプタビリティの上限と下限の間に base が存在するため、その差が小さいほどサセプタビリティの真値を見積もりやすくなるといえる。

4.2 実行時間の評価

まず表 2 の s820, s510 に着目する。これらの回路においては時間展開を用いる手法に関しての実験結果を算出できていない。これは時間展開を用いた手法においては故障シミュレーションを行う状態数が 2 の外部入力数乗となり、回路の外部入力数が多い回路においては状態数の増加が大きいためである (表 3)。また、多くの回路において時間展開を用いる手法では指数的に

表 2 実行時間

circuit	#PI	#FF	time[s]							
			base	PPO		PPO-2		PPO-5		
				naive	efficient	naive	efficient	naive	efficient	
s27	4	3	0.01	0.01	0.01	0.01	0.01	5.95	0.01	
s820	18	5	84.99	59.62	79.2	—	100.83	—	120.32	
s386	7	6	0.06	0.01	0.03	2.13	0.04	—	0.04	
s510	19	6	382.91	168.52	250.55	—	309.26	—	369.30	
s1488	8	6	0.55	0.25	0.34	126.99	0.41	—	0.40	
mm4a	7	12	2388.28	1.30	5.17	132.56	5.28	—	5.62	
s298	3	14	516.82	0.13	0.29	0.34	0.39	276.21	0.48	
s344	9	15	—	38.98	83.54	13448.4	400.5	—	435.01	
s1196	14	18	—	1912.65	5310.73	—	5445.06	—	5366.68	
s382	3	21	—	809.39	821.15	818.87	832.22	2153.4	853.20	

表 1 計算精度

circuit	susceptibility			
	base	PPO	PPO-2	PPO-5
s27	0.1454	(0.1173, 0.3086)	(0.1400, 0.1765)	(0.1454, 0.1457)
s820	0.9264	(0.8895, 0.9448)	(0.9172, 0.9310)	(0.9262, 0.9264)
s386	0.6423	(0.3782, 0.6938)	(0.6413, 0.6469)	(0.6423, 0.6423)
s510	0.9009	(0.7264, 0.9575)	(0.7972, 0.9198)	(0.8920, 0.9023)
s1488	0.9972	(0.9945, 0.9973)	(0.9972, 0.9973)	(0.9972, 0.9972)
mm4a	0.0037	(0.0036, 0.0150)	(0.0037, 0.0040)	(0.0037, 0.0037)
s298	0.0114	(0, 0.5000)	(0.0013, 0.2516)	(0.0050, 0.0363)
s344	0.3027	(0, 0.5000)	(0.2344, 0.3672)	(0.3027, 0.3086)
s1196	0.0337	(0.0192, 0.1950)	(0.0337, 0.0337)	(0.0337, 0.0337)
s382	$9.03e^{-14}$	(0, 0.4955)	(0, 0.2498)	($1.33e^{-15}$, 0.0312)

実行時間が増加している．一方で，状態遷移確率を用いる手法では考慮するクロック数を増加させた場合でも多くの回路において実行時間の大幅な増加は見られない．それは，クロック毎に新たに故障シミュレーションを行う状態が少ないためである．s344 のでは PPO から PPO-2 において大幅な実行時間の増加がみられる．これは到達状態数の大幅な増加によるものである (表 3)．

表 3 到達状態数

circuit	#PI	#FF	method	PPO	PPO-2	PPO-5
s27	4	3	naive	18	360	$1.18e^7$
			efficient	18	18	18
s820	18	5	naive	125	$3.28e^7$	$5.90e^{23}$
			efficient	125	157	187
s386	7	6	naive	78	10062	$2.11e^{10}$
			efficient	78	89	91
s510	19	6	naive	282	$1.48e^8$	$2.13e^{25}$
			efficient	282	356	430
s1488	8	6	naive	288	74016	$1.24e^{12}$
			efficient	288	346	350
mm4a	7	12	naive	9984	1287936	$2.66e^{12}$
			efficient	9984	10082	10577
s298	3	14	naive	3052	27468	$1.43e^7$
			efficient	3052	4540	5204
s344	9	15	naive	39375	$2.02e^7$	$2.71e^{15}$
			efficient	39375	664676	678160
s1196	14	18	naive	47088	$7.71e^8$	$3.39e^{21}$
			efficient	47088	47656	47656
s382	3	21	naive	186165	1675485	$8.71e^8$
			efficient	186165	279653	416637

5. おわりに

本稿では拡張 PPO 法について述べ，その計算精度および実行時間の評価を行った．実験結果より PPO 法と比較して拡張 PPO 法ではより高い計算精度でのソフトエラー耐性評価が行えることがわかった．また，状態遷移確率を用いる手法では考慮するクロック数を増加させた場合でも，多くの回路では大きな実行時間の増加はみられなかった．実行時間の大幅な増加がみられた回路では時間の増加とともに計算精度の大きな向上も

みられた．さらに，厳密手法では実用的な時間での実行で終了しなかったベンチマーク回路においても実行が可能であった．

しかしながら，複数クロックを考慮したソフトエラー耐性評価手法でも一部の回路では数千秒程度の実行時間を必要とし，根本的な解決とはなっていない．そのため実行時間のさらなる短縮が必要であると考えられる．s1196 などの外部入力数，FF 数がともに多い回路においては全入力パターンに対する故障シミュレーションが実行時間の大半を占めている．したがって，全入力パターンからランダムにサンプリングした入力パターンを用いて故障シミュレーションを行うことでの高速化を検討する．ただし，計算精度の低下が考えられる．また一方で，s344 や s382 では対象回路の定常確率の計算が実行時間の大部分を占めている．そのため定常確率を近似的に求めることでの実行時間の短縮についても検討する．

本実験では全てのベンチマーク回路において，一律に 1 から 5 クロックを考慮した拡張 PPO 法での実験を行ったが，サセプタビリティと上限と下限の差を用いることでどの程度のクロック数を考慮すればよいかを考えることができる．今後はその差を用いて考慮するクロック数を決定する手法も検討する予定である．

謝 辞

本研究の一部は，科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST) 「統合的高信頼化設計のためのモデル化と検出・訂正・回復技術」の支援によるものである．

文 献

- [1] P. Shivakumar, M. Kistler, S. W. Keckler, D. Burger, and L. alvisi. “Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic,” In Proc. of DSN, pp. 389-398, 2002.
- [2] B.Zhang, W.-S.Wang and M. Orshansky, “FASER:Fast Analysis of Soft Error Susceptibility for Cell-Based Designs,” In Proc. of ISQED, pp.755-760, 2006.
- [3] N. Miskov-Zivanov and D. Marculescu. “MARS-C: Modeling and Reduction of Soft errors in Combinational Circuits,” In Proc. of DAC, pp. 767-772, 2006.
- [4] N. Miskov-Zivanov and D. Marculescu. “MARS-S: Modeling and Reduction of Soft errors in Sequential Circuits,” In Proc. of ISQED, PP. 755-760,2007.
- [5] N. Miskov-Zivanov and D. Marculescu. “Modeling and Optimization for Soft-Error Reliability of Sequential Circuits,” In Proc. of IEEE TCAD, vol. 27, no. 5, pp. 803-816, 2008.
- [6] 赤峰悠介, 吉村正義, 松永裕介, “順序回路のソフトエラー耐性評価における近似手法の計算精度および実行時間の評価,” 信学技報, VLD, vol. 109, no. 305, pp. 55-60, 2009.