

パルス波高比デジタル変換器 (Ratio to Digital Converter : RDC) の概念の実現

黒川, 浩彦
九州大学大学院総合理工学研究科エネルギー変換工学専攻

栄, 武二
九州大学大学院総合理工学研究科エネルギー変換工学専攻

小松, 和則
九州大学大学院総合理工学研究科エネルギー変換工学専攻

亀谷, 均
九州大学大学院総合理工学研究科エネルギー変換工学専攻

他

<https://doi.org/10.15017/17574>

出版情報 : 九州大学大学院総合理工学報告. 5 (1), pp.57-64, 1983-06-30. 九州大学大学院総合理工学研究科
バージョン :
権利関係 :

パルス波高比デジタル変換器 (Ratio to Digital Converter : RDC) の概念の実現

黒川浩彦・榮 武二・小松和則

亀谷 均*・井尻秀信**・的場 優**

(昭和 58 年 3 月 日 受理)

Realization of the concept of Ratio to Digital Converter (RDC)

Hirohiko KUROKAWA, Takeji SAKAE, Kazunori KOMATSU,
Hitoshi KAMETANI, Hidenobu IJIRI and Masaru MATOBA

The concept of the Ratio to Digital Converter (RDC) is realized. An RDC system with a division circuit which utilized linear discharges in memory condensers is developed. The result of the division operation is converted directly into a digitalized form and led to a digital computer. Obtained is an electronic position resolution of better than 0.1% of full scale at a linearity of 0.05% over a dynamic range of 1:20.

1. 序

我々は従来から、核物理の分野で開発され、物性・生物・医学など広い分野で利用されている位置検出比例計数管について様々な基礎研究を行なっている。放射線検出器から得られる電気信号は一般に微弱であり、これから有意な情報を得るためには様々な電子回路が必要である。放射線検出器からの信号は多くの場合パルス波高値で与えられるが、放射線の通過位置を与える情報は心線抵抗によって分割される 2 つのパルス波高値を加算したものと片方のパルス波高値との比で求めることが多い。この場合、これらのパルス波高比を正確に求める割算回路が必要となる。

我々が現在使用している割算回路は、コンデンサーに蓄積した電荷の線形放電を利用した回路であり、その原理は 1962 年に Griffiths 等¹⁾ によって提案された。1964 年には、この原理を核分裂片の研究に利用した回路が佃²⁾ によって発表され、更に、1976 年には、良質の集積回路 (IC) を使用した高精度の割算回路が Westphal³⁾ によって発表されている。我々の割算回路は、Westphal の発表した回路を基本にしたもので

あり性能も同等のものが得られている。

今回我々は、RDC (Ratio to Digital Converter) と呼ぶ、パルス波高比を求めその信号を直接デジタル化する高精度の回路の実現を試みた。RDC の概念は、以前からその必要性は指摘されていた³⁾ が、接続する計算機が必要である事、精度の良い割算回路が必要である事、また実用性などの問題等から回路を具体的に実現したとの報告は少ない。マイクロコンピュータを利用する RDC 回路としては、報告が 1 例ある⁴⁾ が、その性能は、フルスケール 256 チャンネル・演算精度 3% 程度であり、利用範囲に限界があった。今回の RDC 回路は、現在我々が使用している割算回路を利用し、商出力を直接デジタル化して、マイクロコンピュータとの接続を可能にしたものである。これによって、データ収集・解析が RDC 回路のみで可能となる。また、この回路は分母側入力に基準電圧を与える事で ADC 回路となり、波高分析器 (PHA) としても使用でき、実用性のある回路となっている。

このようなランダムパルスの波高比の高精度演算は多くの場合 2 台の ADC とソフトウェアまたはハードウェアのデジタル割算で実現されているが、今回我々が開発した回路の精度は、フルスケール ~16000 チャンネルの AD 変換器を使用した場合に相当し、現

エネルギー変換工学専攻修士課程

* エネルギー変換工学専攻博士課程

** エネルギー変換工学専攻

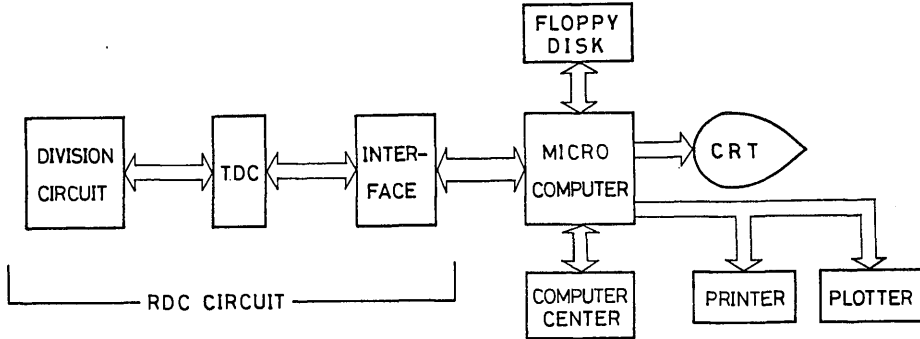


Fig. 1 Block diagram of the division circuit.

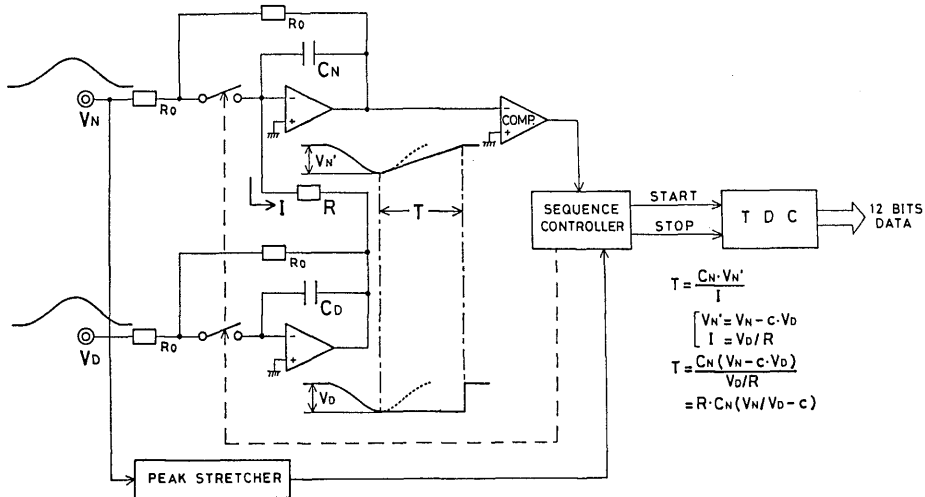


Fig. 2 Operational principle of the division circuit.

時点では、提案した方式の方が簡単だけでなく精度の点でも優れていると考えられる。

2. 動作原理と回路構成

Fig. 1 に示すように、製作した RDC 回路は大別して割算回路、TDC 回路、そしてインターフェイス回路の 3 部から構成されている。

回路は、NIM (Nuclear Instrument Module) 規格 3 スパンに納め、マイクロコンピュータには後面から、50ピン・フラットケーブルで接続している。使用電源は、NIM 標準ピンの $\pm 24\text{V}$ と $\pm 12\text{V}$ であり、回路内において $\pm 15\text{V}$ 、 $+10\text{V}$ 、 $+5\text{V}$ の電圧に変換している。

2.1 割算回路

検出器から時間的にランダムに得られる信号は、主増幅器によってパルス幅約 $1\mu\text{s}$ の擬ガウス型パルスに波形整形され、分析される。

割算回路は、主増幅器を通して同時に得られる 2 つのパルスを処理して、その波高比を求める。Fig. 2 に、割算回路の動作原理を示す。

分子側入力 (パルス波高 V_N) 及び分母側入力 (V_D) は、それぞれ演算増幅器 (OP アンプ) で構成された積分器によって、時定数 CR_0 ($C=C_N=C_D$)・ゲイン: -1 で積分される。

また、この積分時定数に合ったタイミングで入力パルスのピーク値をホールドさせる⁵⁾ ために、ピーク・ストレッチ回路で作ったゲート信号を使って、ピーク

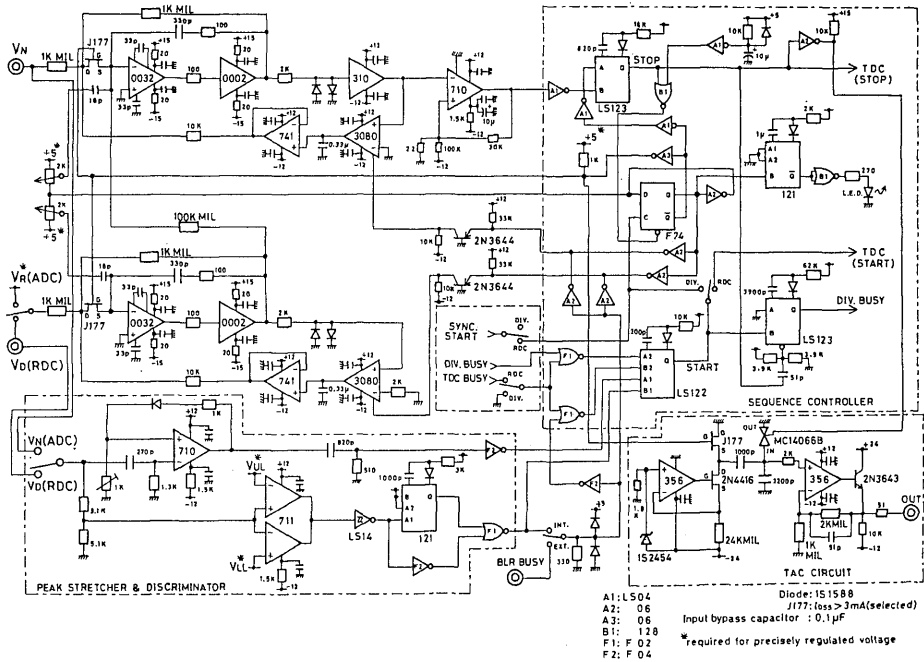


Fig. 3 Division circuit diagram.

・ホールド回路のスイッチを開放させる。

ホールドされた瞬間には、分子・分母のホールド用コンデンサにはそれぞれ $C_N V_N$ 及び $C_D V_D$ なる電荷が保持されている。OP アンプの 2 つの入力端子は、虚数的にショートされているため、常に零電位である。よって C_N に保持された電荷は、抵抗 R を通して分母側のホールド電圧 ($-V_D$) の方へ一定電流 (V_D/R) で流れる。これが C_N の線形放電である。放電終了のタイミングは、ゼロクロスコンパレータによって検出される。

放電時間が波高比に比例することは図中の式より明らかであるが、分母側入力に一定の基準電圧を与えることにより、この割算回路は線形スイープ型 (Wilkinson⁹⁾ 方式) の ADC となり、波高分析器として利用できることがわかる。

実際の回路図を Fig. 3 に示す。従来の TAC (Time to Amplitude Converter) 方式の出力も付加しており、波高分析器によるデータ収集も可能である。

2.2 TDC (Time to Digital Converter) 回路

Fig. 4 に TDC の回路図を示す。

この TDC 回路は 100 MHz のクロック周波数を用

いることにした。このため、通常の TTL・IC では性能が不十分であり、高速の TTL・IC を使用している。

従来の ECL (Emitter Coupled Logic) IC は、高価な上、実装法も複雑なものであったが、今回使用した FAST (Fairchild Advanced Schottky TTL) シリーズは、安価かつ +5 V 単一電源で 100MHz 程度の信号処理を簡単に行なうことができる。

ピーク・ストレッチ回路から出されたゲート信号 (START) は、実際には計数回路のクロック信号に同調させた信号 (SYNC START) によって、ピーク・ホールド回路のスイッチを開閉させている。これによって、放電開始時の計数誤差を避けることができる。

TDC のコントロール部は、START 信号によって計数を開始させ、割算回路のコンパレータから得られる STOP 信号によって計数を終了する。この瞬間に LAM (Look At Me) 信号をマイクロコンピュータに送り、データ収集を行なわせる。マイクロコンピュータによるデータ処理が終了すると、TOK (Transfer O.K.) 信号がマイクロコンピュータから発せられ、計数回路はリセット状態になり TDC. BUSY も解除される。これによって、次の入力パルスを処理することが可能になる。

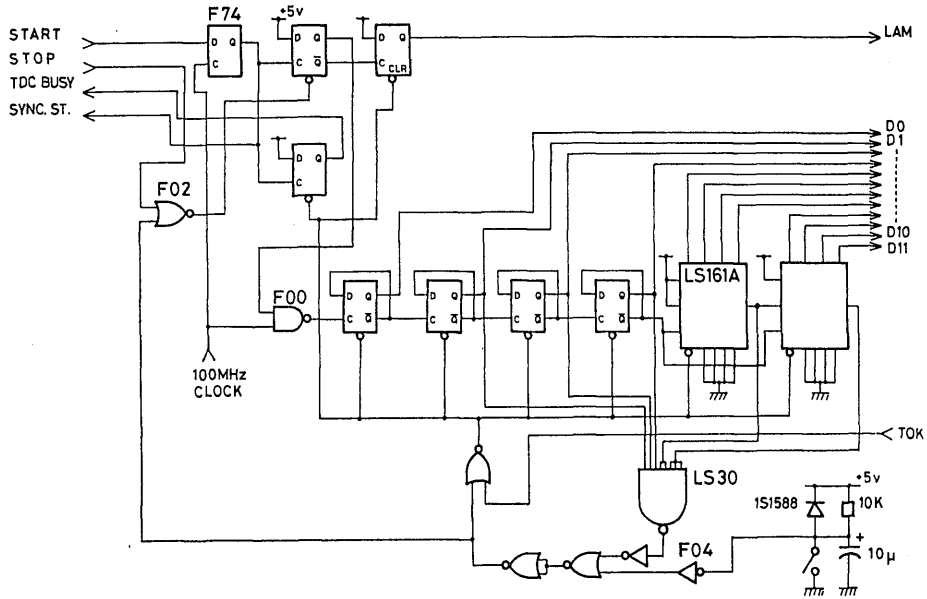


Fig. 4 TDC circuit diagram.

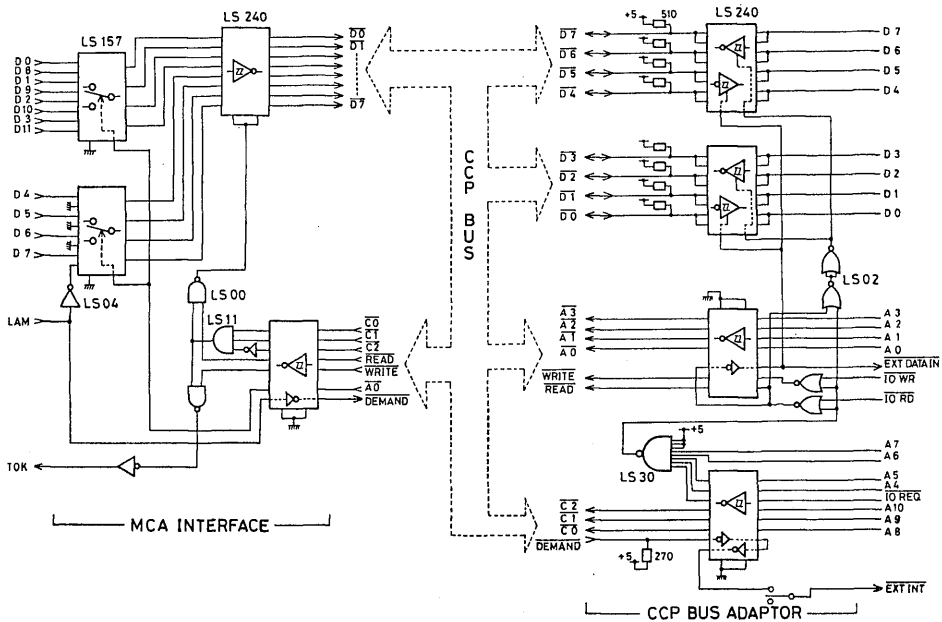


Fig. 5 Interface circuit diagram.

2.3 インターフェイス

Fig. 5 にインターフェイスの回路図を示す。

計算機の接続に標準バスを使用すると、フラットケーブルの信号ラインが統一されているため、インタ

ーフェイスを介して複数の測定装置が計算機と接続できる。

今回採用した標準バスは、広島大学理学部グループ⁷⁾が発表した CAMAC (Computer Aided Mea-

Table 1 Performance of the RDC (MCA) system

Parameters	RDC	ADC
Resolution	<2 channel (0.05%), ($V_D > 1.0\text{v}$) <4 channel (0.1%), ($0.5\text{v} < V_D < 1.0\text{v}$)	<1 channel (0.025%)
Integral nonlinearity	< ± 2 channel (0.05%)	< ± 0.5 channel (0.0125%)
Maximum fluctuation	<3 channel (0.075%)	—
Dynamic range	1: 20 ($V_D = 0.5 - 10\text{v}$)	—
Input pulse height range	($V_D = 0.5 - 10\text{v}$)	<10v
Long term stability	<1 channel/3 hours	—

surements And Control) 規格, CCP (Crate Control Port) 用標準化バスである。このバスは、マイクロコンピュータを簡単な回路によって CAMAC と接続するために開発された。

今回の RDC 回路に関してはマイクロコンピュータは、事実上、計数率特性の向上のため RDC 専用としている。

CCP バス上の信号のやりとりは、次の通りである。まず回路側から LAM が発生される。これは DEMAND としてマイクロコンピュータの CPU に割り込みをかける。割り込み処理に入った CPU は機械語プログラムに従って、アドレス・バス (A0~A15) を使って装置番号を意味するクレート番号 (C0, C1, C2) とクレート・コントローラ内部のレジスタを指定するアドレス (A0~A3) を発生する。本装置では、C0, C1, C2 と A0 のみを使用している。

クレート番号 (110) 指定後、READ 信号が発生されるとインターフェイスのライン・ドライバー (LS 240) は、開放状態から CCP バス上にデータを送る状態に切り換わる。CPU は 8 ビットのデータしか読めないため最初上位 4 ビット、次に下位 8 ビットを読み込み、読み込んだデータに相当するアドレスのメモリーに加算して行く。インターフェイス側は、このデータ切り換えを A0 の指定 (0 と 1) によって、マルチプレクサー (LS 157) が行う。

マイクロコンピュータが 12 ビットのデータ処理を終えると、TOK 信号を発生する。TOK 信号は本装置では、CPU の WRITE 信号によって作っている。

なお、データ・バス上に LAM 信号を送っているのはマイクロコンピュータが割り込み処理を行わずに、リアル・タイムでスペクトルを表示させるための

信号である (D7 に送っている)。マイクロコンピュータはデータ処理 (機械語)・表示 (BASIC 言語) が終わると、リアル・タイム用プログラム (機械語) に従って D7 を読み続け、D7 が 0 になるとデータ処理を開始する。

割り込み処理では、データ収集が最優先するのであるが、リアル・タイム処理ではスペクトル表示が終わるまで TOK 信号を発生しない。リアル・タイム処理は計数率特性が悪くなるが、回路の調整やスペクトルの状態を直接見る場合には必要となる。

3. 性能試験

4096 チャンネル・フルスケール RDC システムの性能試験の結果を、Table 1 に示す。

本装置は、割算回路を ADC として使用し 1 つのパルス波高値を分析する機能と、RDC として使用し 2 つのパルス波高比を分析する機能とを有する。

よって、本装置の性能試験も ADC として使用した場合と、RDC として使用した場合の二通り行なった。

分解能試験は、各ピーク値に対するスペクトルの半値幅を読んでいる。

積分線形性は、得られたデータと最小二乗法近似した直線との偏差をとったものである。

変動度試験では、RDC として使用し、波高比を一定にした場合、入力パルスの波高値の変化に対する答の変動を調べている。変動度試験のデータを Fig. 6 に示す。

今回の性能試験では、波高比の変化は全て割算回路の分子側入力系に接続した減衰器 (H.P. 355C) によって行なった。パルス波高値の変化は、パルス発生器 (Berkeley PB-4) のダイヤル操作で行なっている。

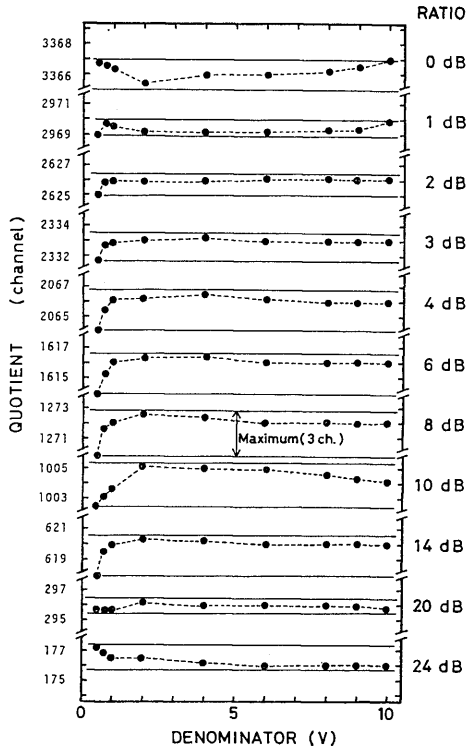


Fig. 6 Fluctuations of the quotient output:

長時間安定性の試験は、クロック周波数の変化も合わせて調べている。1時間程度の予備動作後の試験ではクロック周波数の安定性は問題なく、RDC 回路及び測定回路系の温度特性と室温に影響されることがわかった。現在の測定条件では室温の安定性が十分でなく、また NIM 標準ピンには空冷ファンを装備していないのでこれ以上の詳しい安定性試験は行なわなかった。

性能試験の結果、ADC として使用する場合は市販の波高分析器と同等以上の分析能力を持っていることがわかった。RDC として使用した場合は当研究室が開発した大型位置検出比例計数管に必要な分解能(0.1%)に耐えうる演算精度を有するものであり、当初の目標は達成された。

4. 考 察

4.1 割算方式の比較

放射線検出器などに用いられる割算回路に求められる性能は、入力信号に対するダイナミック・レンジが

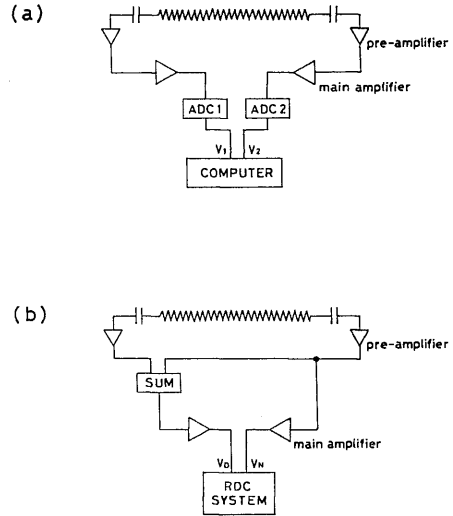


Fig. 7 Measurement system for the position sensitive proportional counter.

広いこと、商出力の分解能が良いこととして安定性が良いことなどが挙げられる。

割算方式の主流は、ミニコンピュータ等に2台の高速 ADC をつけたコンピュータ PHA (Pulse Height Analyzer) によって、それぞれのパルスをデジタル化後割算を行ない波高分析を行なう方法であるが、この方法は簡便なシステムとは言えない。

また、2台の ADC を使ったデジタル割算では ADC の分解能が商出力の分解能を制限してしまうことが指摘されている⁹⁾。

Fig. 7(a) に示すように2台の ADC を使った測定系を考えてみた場合、理想的には位置情報は次のような演算で得られる。

$$P(V_1, V_2) = \frac{V_1}{V_1 + V_2}$$

V_1 = ADC1 によって得られるパルス波高値

V_2 = ADC2 によって得られるパルス波高値

上式の演算に伴う誤差の標準偏差は次式のようなる。

$$\begin{aligned} \sigma_P = & \left\{ \left(\frac{\partial P}{\partial V_1} \right)^2 \cdot (\delta V_1)^2 + \left(\frac{\partial P}{\partial V_2} \right)^2 \cdot (\delta V_2)^2 \right. \\ & \left. + 2 \frac{\partial P}{\partial V_1} \cdot \frac{\partial P}{\partial V_2} \cdot \delta V_1 \cdot \delta V_2 \right\}^{1/2} \\ = & \{ (\sigma_1^2 + \sigma_2^2 + 2\rho\sigma_1\sigma_2) \cdot P^2 - 2(\sigma_1^2 + \rho\sigma_1\sigma_2) \cdot P \\ & + \sigma_1^2 \}^{1/2} / V_0 \end{aligned}$$

$$V_0 = V_1 + V_2$$

$\sigma_1 = V_1$ に伴う誤差 (標準偏差)

$\sigma_2 = V_2$ に伴う誤差 (標準偏差)

ρ = 相関係数

一般に、波高分析器のスペクトル・ピーク値に付随する誤差 (標準偏差: σ) とそのスペクトルの半値幅との間には、 $W_{1/2} = 2.35\sigma$ の関係がある。使用する ADC の性能を 10 V で 8000 チャンネルとすると、 σ_1, σ_2 は次の値となる。

$$\sigma_1 = \sigma_2 = \frac{10}{8000} \cdot \frac{1}{2.35} = 5.32 \times 10^{-4}$$

位置検出器から得られる 2 つのパルスには、使用する心線の抵抗値に依存する相関関係がある⁸⁾。今回は、Ref. 8 の例に従って $\rho = 0.25$ としている。

σ_P の誤差をもつ商出力が、本 RDC システムと同じ 4000 チャンネル・フルスケールでスペクトル表示を行なった場合には、

$$W_{1/2} = \sigma_P \times 2.35 \times 4000$$

に相当する半値幅のスペクトルが描かれる。この値が ADC の性能によって制限される分解能である。Fig. 8 に計算結果を示すが、総電荷パルス (V_0) が 1V 以下になると 1/1000 の分解能は得られない。

本装置のアナログ方式割算回路が、総電荷パルスが 0.5 V ~ 10 V の間でダイナミックレンジを保証し、かつ分解能も 1/1000 以下であることの有利さがわかる。また従来の割算回路では、商を TAC 回路で再びアナログ量として出力するため、TAC 回路の性能向上に注意を払わねばならなかった。RDC 回路では、放電時間をそのままデジタル出力に変換しているため、その信頼性は高まると考えられる。

なお、本装置を使用して測定した大型位置検出比例計数管による位置スペクトルの例を Fig. 9 に示す。1.8 m 位置検出比例計数管において、0.69 mm の位置分解能が得られている。測定は Fig. 7(b) に示したシステムで行なっている。

4.2 処理速度

8ビット・マイクロプロセッサによるデータ処理を行なうため、処理時間の 7 割近く (約 70 μ s) をマイクロコンピュータが使用する。そのため、このシステムの計数率特性は、このデータ処理時間によって決定されるわけであるが、通常の放射線測定には問題ない。

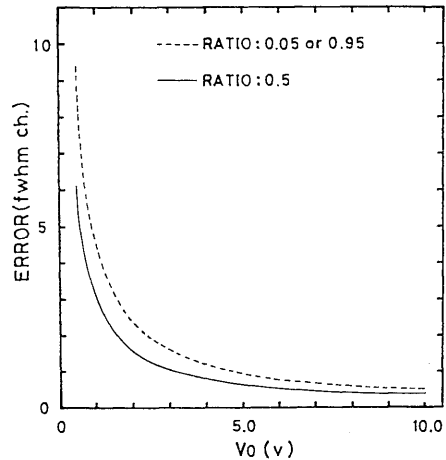


Fig. 8 Calculated errors as a function of the total pulse height value ($V_0 = V_1 + V_2$) for various ratios (V_1/V_0).

4.3 表示機能

ディスプレイの表示関係は、BASIC 言語で制御した。そのため、スペクトル表示、積分値算出、カーソル移動などやや時間がかかり、市販の多重チャンネル波高分析器と比較すると不便を感じる。

現在、データ収集用プログラムのみに使っている機械語をさらに表示関係に使用すれば、上記の不便さが解消できる。また、16ビット CPU マイクロコンピュータに接続することも CCP バスによって可能であり、これが実現されれば機能及び処理速度の向上が図られる。

5. 結 論

RDC 回路の実現を図り、次のような成果を得た:

1) 既存するマイクロコンピュータを容易に計測システムに組み込む事が可能となり、データ処理能力を向上させた。

2) RDC 回路には、RDC 及び ADC と 2 通りの機能を持たせ、マイクロコンピュータを利用することにより、安価で高性能の割算機能付き多重チャンネル波高分析器を実現した。

3) RDC 回路による計測システムが、2 台の ADC を使用する方法と比較して簡単であり、現時点ではむしろ優れていることを示した。

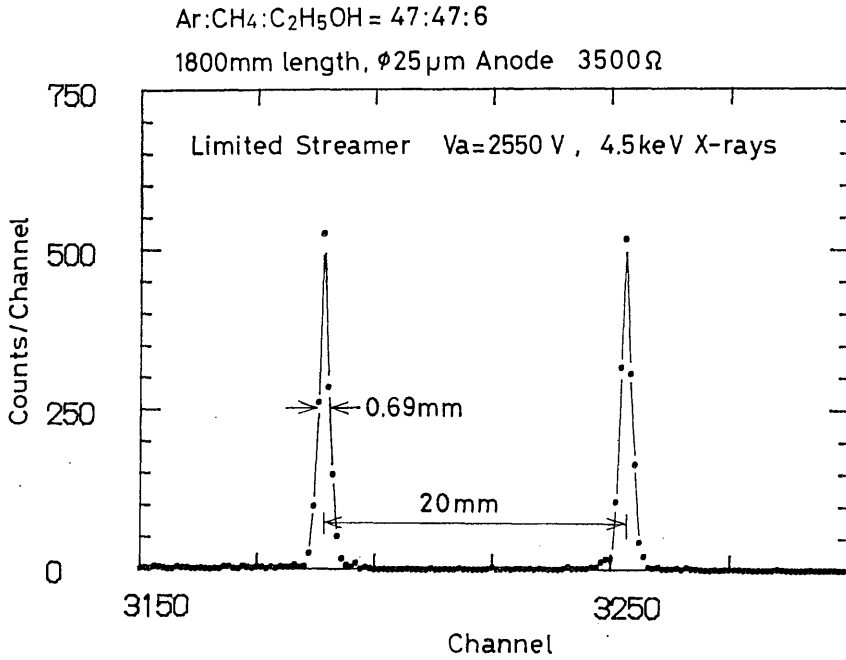


Fig. 9 Spectrum of the position of the positron sensitive counter:

References

- 1) R. J. Griffiths and K. M. Knight, Nucl. Instr. and Meth. 15 (1962) 309
- 2) M. Tsukuda, Nucl. Instr. and Meth. 25 (1964) 265
- 3) G. P. Westphal, Nucl. Instr. and Meth. 134 (1976) 387
- 4) C. Ediss and S. A. Mcquarrie, Nucl. Instr. and Meth. 189 (1981) 445
- 5) G. P. Westphal, Nucl. Instr. and Meth. 115 (1974) 509
- 6) D. H. Wilkinson, Proc. Cambridge Phil. Soc. 46 (1950) 508
- 7) 遠藤一太: パーソナルコンピュータによる CAMAC 制御方式標準化 Progress Report. No. 1, (1980) No. 2 (1981)
- 8) M. Atac and F. Bedeschi, IEEE Trans. NS-29 (1982) 396