

## 学位論文審査報告

<https://hdl.handle.net/2324/1654360>

---

出版情報：九州大学大学院システム情報科学紀要. 3 (1), pp.125-148, 1998-03-01. 九州大学大学院システム情報科学研究所  
バージョン：  
権利関係：

## 学位論文審査報告

氏名(本籍) 馬場昭好(福岡県)  
学位記番号 シ情博甲第20号(工学)  
学位授与の日附 平成9年9月25日  
学位論文題名 イオンビーム照射による金属シリ  
サイド形成の基礎過程と微細構造  
形成への応用に関する研究

### 論文調査委員

(主査) 九州大学 教授 鶴島稔夫  
(副査) 〃 〃 黒木幸令  
〃 〃 〃 本岡輝昭

### 論文内容の要旨

半導体素子の微細化の進行に伴い、半導体プロセスに使われるエネルギーを最小限に抑え、あるいは、効率よく局所的に与えることによって、プロセス感度を向上し、プロセス誘起欠陥を低減することが強く求められるようになってきた。半導体の結晶成長や素子加工のプロセスでは、熱エネルギーの他、電子ビーム、イオンビームなどの粒子エネルギーが有効に利用されている。イオンビームは、結晶固体中に比較的高濃度の点欠陥を局所的に導入するが、この欠陥の挙動を有効に利用することによって、固体物質の改質や原子混合反応を誘起することが可能と考えられる。結晶固体中に非平衡濃度に導入された点欠陥は、一般にその緩和過程で周辺原子の再配列を促すに十分なエネルギーを有するからである。

本論文は、イオン照射によって結晶固体中に導入される点欠陥の挙動を解明し、その効果を半導体プロセスに応用する可能性を論じたものであって、6章より構成される。

第1章では、研究の目的、背景、および本論文の要旨と構成について述べた。

第2章では、1個のイオンによって固体中に生成される1次欠陥としての反跳原子の統計的平均数と、反跳原子生成に関連する各エネルギー損失過程へのエネルギー分配の統計的平均量を数値計算によって求める方法を提示するとともに、低エネルギー領域(500eV~50keV)の様々なイオンをシリコン結晶に照射したときの損傷パラメータの評価を行った。その結果、ヘリウムより重いイオンの照射における変位効率は、照射イオンエネルギーが3 keV以下の範囲においてはイオン種に依存するが、それ以上のエネルギーに対しては、ほぼ一定となることがわかった。これらは、変位衝突の断面積がイオン種に依存することと、主な反跳原子生成過程が2次衝突系列

以降であることに起因することを明らかにした。さらに、シリコンイオン照射において、電子励起過程で失われるエネルギーの計算結果を実験結果と比較し、よい一致を得た。

第3章では、イオン照射による固相界面原子混合反応の促進効果に着目し、Co/Si(100)積層構造へのイオン照射により誘起されるシリサイド形成の素過程を調べた。X線回折により、100°C以下の照射温度において形成されるシリサイドはCoSi相であることを同定した。また、形成されたCoSi膜厚の照射量依存性を調べ、CoSi形成反応は拡散律速であることを明らかにした。次に、形成速度の温度依存性を調べ、CoSi形成反応の活性化エネルギーは0.16eVであることを明らかにした。さらに、照射による反跳原子生成量とシリサイド層成長量との相関を調べ、イオン照射誘起固相反応は、反跳原子生成に伴う増速拡散に律速された高い原子輸送効率に起因することを明らかにし、このプロセスが高い制御性と選択性を有することを指摘した。

第4章では、ビーム径0.1 $\mu$ m程度の集束イオンビーム(FIB)照射によるSi結晶中の誘起欠陥の動的特性を把握するために、照射により形成された非晶質線幅の照射量および照射温度依存性を調べた。その結果、照射誘起欠陥の固体中での空間的拡がり、照射率に依存し、照射率の増加にしたがって大きくなること、照射温度70°Cおよび100°Cにおける臨海照射量は、それぞれ、 $1 \times 10^{14}$  cm<sup>-2</sup>s<sup>-1</sup>および $1 \times 10^{15}$  cm<sup>-2</sup>s<sup>-1</sup>であることを明らかにした。次に、照射誘起欠陥回復速度の照射温度依存性を調べ、非晶質化は活性化エネルギー0.85 eVを持つ単純な欠陥の挙動によって支配されることを明らかにした。この活性化エネルギーは、格子間シリコン原子の移動エネルギーに対応すると考えられる。さらに、FIB照射が、幅数10nmまでの細線構造の形成に有効に利用できることを指摘した。

第5章では、Si基板上にCoSi細線構造を形成するための基礎実験を行い、FIB照射誘起固相反応による、金属シリサイド微細構造形成の可能性を実証した。さらに、シリサイド微細構造を絶縁性基板上に形成するための、プロセス構成の提案を行った。

第6章では、本研究全体を総括し、今後の課題についていくつかの指摘を行った。

### 論文調査の要旨

集積システムの大規模化と半導体素子の微細化の進行に伴い、その製造プロセスに用いられるエネルギーを最小限に抑制し、効率よく局所的に与えることによって、プロセス誘起欠陥を低減し、加工精度を向上させることが強く要求されている。最小限のエネルギーを局所的に供給する手段として、光ビーム、電子ビーム、イオンビー

ムなどを有効に利用する方法が研究されている。イオンビームは、固体中に比較的高濃度の点欠陥を導入するので、通常のプロセスでは、アニーリング等の後処理が必要であるが、この欠陥の挙動を積極的に利用することによって、固体物質の改質や原子混合反応の誘起が可能と考えられる。固体中に非平衡濃度に導入された点欠陥の緩和過程では、一般に周辺原子の移動や再配列を促すのに十分なエネルギーが放出されるからである。しかし、そのエネルギーが意図的に半導体加工等のプロセスに利用されたことはこれまでほとんどない。

本論文は、プロセスに關与するエネルギーの媒体として、イオン照射により固体物質中に導入された非平衡濃度の点欠陥を対象にし、その緩和過程における挙動を解明するとともに、放出されるエネルギーを微細デバイス構造の形成プロセスに利用する可能性について検討した結果をまとめたものである。

著者は、まず、1個の入射イオンによって固体中に生成される反跳原子の統計的平均数と、これに伴う核衝突、変位衝突、電子励起の各エネルギー損失過程へのエネルギー分配の統計的平均量を求める方法について理論的考察を行い、低エネルギー領域(500eV~50keV)の各種イオンをシリコン基板に照射したときの損傷エネルギー等のパラメータを数値計算により求める方法を明らかにしている。また、この方法を用いて、通常の照射条件では、反跳原子の大部分が2次衝突系列以降の過程で生成され、反跳原子総数は損傷エネルギーにほぼ比例することを定量的に示している。

次に、イオン照射によって固体中にもたらされる効果のうち、異物質界面に生じる原子混合反応の促進効果に着目し、コバルト/シリコン(Co/Si)積層構造に対してイオン照射を行い、温室から100°Cにわたる低温領域で、化学量論組成のコバルトシリサイド(CoSi)層の形成に初めて成功している。また、このCoSi層形成に関する固相原子混合の素過程を明らかにし、照射によるシリサイド層成長が反跳原子生成に伴う増速拡散に律速された高い原子輸送効率に起因することを示している。

さらに、イオン照射の手段として、液体合金イオン源からのビーム径0.1 $\mu$ mオーダの集束イオンビーム(FIB)を用いる方法を導入し、FIB照射誘起欠陥の緩和過程を実験的に調べて、FIBの照射レートと照射温度に依存して変化する欠陥の固体中での空間的広がりを定量的に明らかにするとともに、ビーム径を下まわる数10nmまでの微細構造加工への適用の可能性を明らかにしている。

また、これらの結果に基づいて、Si基板上に金属シリサイド細線構造を形成するプロセス条件の検討を行い、Co/Si積層構造へのFIB照射によって誘起される固相反応を利用したシリサイド微細構造の形成を試みて、バ

ルクCoSiに匹敵する電気的特性をもつCoSi細線構造形成の可能性を実証し、併せて、絶縁基板上への実用的細線構造パターンニングのためのプロセス構成の提案を行っている。

以上要するに、本研究は、イオンビーム照射により固体物質中に導入された非平衡濃度の点欠陥がその緩和過程でもたらす周辺原子の再配列効果の基礎過程を、理論、実験の両面から明らかにし、新しいデバイス構造の形成プロセスとして利用する可能性を拓くとともに、これを室温近傍の温度領域で0.1 $\mu$ mオーダの金属シリサイド細線構造の形成に適用し、その有効性を実証したもので、電子デバイス工学上寄与するところが大きい。よって本論文は博士(工学)の学位論文に値するものと認める。

氏名(本籍) 財津俊行(大分県)  
学位記番号 シ情博甲第21号(工学)  
学位授与の日附 平成9年10月22日  
学位論文題名 POWER CONVERSION  
USING PIEZOELECTRIC  
TRANSFORMER(圧電トランスを用いた電力変換に関する研究)

論文調査委員

(主査) 九州大学 教授 二宮 保  
(副査) " " 黒木 幸令  
" " " 西 哲生

## 論文内容の要旨

通信用スイッチング電源においては、小形化・高効率化という最も重要な課題に対して、スイッチング周波数の高周波化という手段によってその要求に答えてきた。これを達成するために、パワーMOSFET、セラミックコンデンサ、高周波フェライトを用いた電磁トランスと言った部品が開発され500kHzのスイッチングが可能になり、小形化が進んだ。しかしながら、更なる高周波化は入出力絶縁用に用いられる電磁トランスのコアの鉄損や、表皮・近接効果による銅損を増大させ、これらの損失による発熱が小形化を阻害するようになった。現実的には500kHz以上の高周波化による電磁トランスの小形化は困難である。そこで、電磁トランスによる電力変換になんらかのブレイクスルーが期待されていた。

本論文は、従来の電磁トランスに比べ、更なる薄形、小形化の可能性を持つ圧電トランスを用いた新方式のDC-DCコンバータの研究結果をまとめたものである。

圧電トランス自体その歴史は古く、40年以上も前に小電流高電圧発生用として開発され、この領域で多くの研究がなされた。しかし、大電流低電圧用つまり電力用と

して検討された例はこれまでに報告されていない。本研究では電力伝送用として小形化が可能な独自の厚み縦振動形圧電トランスを開発し、さらに、本圧電トランスの特性を最大限に引き出すための回路及び制御方式の検討を行っている。

第1章は緒論であり、高周波化におけるスイッチング電源の問題点と圧電トランスの概要を示し、本研究の位置づけを明らかにした。

第2章では、高周波で高電力密度の特長を持つ厚み縦振動形圧電トランスについて述べている。厚み縦振動形圧電トランスは厚み方向に積層、分極された構造を持つ圧電セラミックトランスである。入力部に共振周波数近傍の交流電圧を印加すると圧電逆効果で分極方向に厚み縦振動が発生し、この振動が出力部に伝わり出力部が振動する。この振動が圧電正効果により出力部に交流電圧となって現れる。本章では、この厚み縦振動形圧電トランスの構造、動作原理を示し、出力電力密度を求めている。振動モードは電力伝送効率の高い2次モードを用いる。試作した圧電トランスは厚さ僅か2 mmにも関わらず、周波数2 MHzでは電磁トランスの数倍の出力電力密度37.5W/cc(出力電力32W)を達成し、高電力密度であることを実証した。

第3章では、E級共振回路を用いて圧電トランスを駆動したDC-DCコンバータについて述べている。圧電トランスは入力端子に大きな静電容量を持つため、共振波形による駆動が望ましい。その一つとして用いたE級共振回路は簡単な回路で共振回路を構成できるという長所を持つが、電圧が共振波形となるためスイッチング素子に高耐圧FETが要求されること及び、周波数変調による出力電圧の制御範囲が狭いという問題点を指摘した。

第4章では、ハーフブリッジ形ソフトスイッチング回路を用いた圧電トランスコンバータについて述べている。本回路方式はスイッチング素子の印加電圧が入力電圧でクランプされるため低耐圧の素子を使えるという特長を持っている。まず、共振インダクタを付加して圧電トランスの入出力静電容量による循環電流損を低減する手法を示し、その回路のAC解析により出力電圧及び効率の周波数特性の最適設計を可能にしている。次いで、圧電トランスのスプリアスが存在すること及び、圧電トランスの共振点とスイッチング周波数のズレが大きくなると効率が低下することから、本方式のコンバータに用いられた周波数制御に問題点が残されていることを指摘した。

第5章では、上記の問題を解決するために、圧電トランスにアクティブクランプ回路を組み合わせ、スイッチング周波数一定でPWM制御を可能にする圧電トランスコンバータを提案している。すなわち、アクティブクランプ回路を用いることにより時比率で振幅変調された矩形波を圧電トランスに印加することができ、その基本

波成分のみが圧電トランスを通過し出力に現れる。この基本波成分の大きさがほぼ時比率に比例するためにPWM制御が可能となり、広範囲の入力及び負荷変動に対して良好な出力電圧調整を実現している。本方式による圧電トランスコンバータを試作し、入力20-30V、出力5 V/4 A、スイッチング周波数2 MHzで実験を行った結果、効率80%を達成しながら、従来の電磁トランスを1/3に小形化することに成功した。

第6章では本研究で得られた成果を要約し、結論とした。最後に、今後、IC、ダイオード等周辺部品の進歩により、圧電トランスコンバータの更なる薄形・小形化、高効率化が図られ、将来の通信用電源として期待できることを述べている。

## 論文調査の要旨

電子通信用スイッチング電源においては、小形・高効率化という重要な課題に対して、これまで、スイッチング周波数の高周波化という手段によってその要求に応えてきた。高周波磁性部品、パワーMOSFET、高周波対応コンデンサ等の出現と相俟って、500kHzまでのスイッチングが可能になり、DC-DCコンバータの急速な小形化が進められてきた。しかし、それ以上の高周波化は、入出力絶縁のために用いる電磁トランスの表皮効果や近接効果に起因する損失を増大させ、温度上昇の点から小形化を阻害するようになっている。そこで、電磁トランスを用いる電力変換技術に新たな対策が期待されている。

本研究は、このような背景のもとに、従来と異なる電氣的絶縁の方法として機械振動により電気エネルギーを伝達する圧電効果に着目して、巻線を要しない圧電トランスを構成し、それをMHz領域の高周波で動作させることによって低圧出力DC-DCコンバータの小形化を図ることを試みたものである。

著者はまず、高電力密度化に適した厚み縦振動形圧電トランスを考案し、その構造、動作原理、設計手法および試作結果について述べている。試作した厚さ2 mmの圧電トランスで、2 MHzの動作周波数において37.5W/cm<sup>3</sup>の電力密度を達成し、従来の電磁トランスと比較して数倍の高電力密度が得られることを実証している。

著者は次に、圧電トランスを適用するコンバータ回路方式として各種のソフトスイッチング回路を検討しており、はじめに、E級共振形コンバータ回路を採り上げている。すなわち、本コンバータ回路方式は簡単な回路構成でソフトスイッチングが達成できるという特長を有している一方、共振電圧に対する高耐圧スイッチ素子を必要とすること、出力電圧制御を周波数変調により行うため制御範囲を広く取れないことなどの欠点があることを指摘している。

次いで著者は、ハーフブリッジ回路の採用によって高

耐圧スイッチ素子の問題を解決している。さらに、圧電トランスの入出力容量による循環電流損を低減するために共振用インダクタを付加し、これを含めたコンバータ全体の等価回路に対してAC解析による出力電圧、効率の周波数特性を検討することにより、共振用インダクタの最適設計法を提示している。一方、スプリアス共振を内包する圧電トランスに対し周波数制御を用いているために、効率の観点から制御範囲が狭いという問題点が残っていることを指摘している。

最後に著者は、アクティブクランプ回路と圧電トランスを組み合わせることで、スイッチング周波数を固定したままPWM制御を可能にするDC-DCコンバータを提案している。すなわち、アクティブクランプ回路によって振幅が主スイッチの時比率で決まる方形波が得られるが、その基本波成分のみが鋭い共振特性をもつ圧電トランスを通り負荷へ供給され、この基本波成分の大きさが時比率にほぼ比例するためPWM制御が可能となる。その結果、圧電トランスが高効率で動作する共振周波数近傍にスイッチング周波数を固定してPWM制御することにより、広い入力及び負荷の変動に対して効率を低下させることなく出力電圧制御を可能にしている。試作した圧電トランスコンバータでは、入力20~30V、出力5V/4A、スイッチング周波数2MHzで効率80%を達成すると共に、トランス形状を従来の電磁トランスと比較して1/3に小形化することに成功している。

以上要するに、本論文は、従来の電磁トランスに代えて、機械振動で電力変換を行う圧電トランスを低圧出力DC-DCコンバータに適用することを提案し、各種コンバータ回路方式との適合性を検討した結果、入出力間絶縁トランスの著しい小形化を実現し、DC-DCコンバータの小形・高効率化のための新たな方向を示したもので、電子システム工学に寄与するところが大きい。よって、本論文は博士(工学)の学位論文に値すると認める。

氏名(本籍) 吉田 幸司 (大阪府)  
 学位記番号 シ情 博甲第22号(工学)  
 学位授与の日付 平成9年11月28日  
 学位論文題名 ZVS-PWM制御方式DC-DCコンバータに関する研究

論文調査委員

(主査) 九州大学 教授 二宮 保  
 (副査) " " 黒木 幸令  
 " " " 西 哲生

## 論文内容の要旨

近年、半導体集積化技術の発展により、電子機器の小形・軽量化が進み、それに伴いその電源部に対しても小

形・軽量化が強く要求されている。また一方で、省エネルギー・省資源の意味でも、電源部の高効率化・小形軽量化に対する要求は大きくなっている。さらに、電磁環境問題の観点から低雑音性が求められている。

スイッチング電源は、半導体によるスイッチングを利用して電磁トランスを高周波駆動し、電流・電圧の変換を行い、必要な電力を得る構成である。ここでは、動作周波数を上げることで、電磁トランスのインダクタンスや平滑キャパシタの容量値を小さくできるので、スイッチング電源の小形化が可能である。しかしながら、動作周波数を上げることで、スイッチング時の電圧・電流の重なりによって発生するスイッチング損失とスイッチング時に生じるノイズが増大するために、高周波化には限界がある。近年、スイッチング時の電流または電圧をゼロにして、スイッチング損失およびノイズの低減を図るソフトスイッチング技術が盛んに提案されており、それぞれZCS(Zero-Current-Switching)、ZVS(Zero-Voltage-Switching)と呼ばれている。

ソフトスイッチングを達成するためには、電流または電圧の共振現象を利用するのが一般的である。共振現象を利用することにより、電圧または電流の急峻な変化が少なくなるので、スイッチング時に発生するノイズを低減する効果もある。しかしながら、従来のPWMコンバータに比べて、共振によるピーク値が大きくなるために、定格の大きな部品が必要になる。また、共振回路を形成するために余分なインダクタとキャパシタが必要になるので、回路が複雑化する。さらに、共振波形は共振回路によってほぼ決定されるので、周波数制御が必要になり、高周波化のメリットが少ないという問題点がある。

本論文は、これらの問題点を解決するために、電圧共振波形の立ち上がり、立ち下がりの部分のみを用いてソフトスイッチングを行いながら出力電圧調整にはPWM制御を行うことのできるDC-DCコンバータについて3つの新しい回路方式を提案し、それらの基本特性を明らかにすると共に、有効性を実証することを目的としたものであって、5章から構成されている。

第1章は序論であり、スイッチング電源の概略を述べ、従来のPWMコンバータの基本動作について概説した。また、装置の小形化のためのスイッチング周波数の高周波化とその問題点について述べた。さらに、この問題の解決策としての共振形コンバータの基本動作について概説し、それらの問題点について述べた。

第2章では、ZVS-PWM電流共振フライバックコンバータについて述べている。すなわち、PWM方式フライバックコンバータにおいて、ZVS-PWM制御と電流共振による整流ダイオードのゼロ電流スイッチングが達成できる回路方式を提案し、回路動作の詳しい説明と動作解析を行う。さらに、実験によって解析結果を実証し、従

来のPWMフライバックコンバータと特性の比較を行い、その有効性を明らかにした。しかしながら、ノイズ低減には十分な効果が認められたが、フライバックコンバータがベースであるので部品に対するストレスが比較的大きく、効率は改善されたが、その効果は比較的小さかった。

第3章では、ZVS-PWM電流共振ハーフブリッジコンバータについて述べている。すなわち、PWMハーフブリッジコンバータをベースとして、ZVS-PWM制御と整流ダイオードの電流共振によるゼロ電流スイッチングを達成した回路方式を提案した。また、詳しい動作解析を行うことにより、変換特性、ZVS条件、ZCS条件を導出した。さらに、実測によって解析の妥当性を実証した。また、ZVS-PWMフライバックコンバータとの効率の比較を行うことにより2%以上の効率改善が確認でき、本回路の効率面での優位性を明らかにした。

第4章では、電流アクティブクランプにより、ZVS-PWM制御を実現したハーフブリッジコンバータについて述べている。すなわち、低電圧大電流出力向けのコンバータの場合、上述の提案回路では、電流共振ピークが過大になるため不十分であると判断し、別の方法でZVSできる回路方式を検討した。その結果として、PWMハーフブリッジコンバータをベースに、双方向スイッチを追加してトランスの1次巻線を短絡できるようにし、トランスに一時蓄積されたエネルギーをZVSに利用できるようにした回路方式を提案した。この回路は、電流共振を採用していないので電流ストレスが小さくなり、大電流出力の仕様に対して有効である。提案する回路の定常特性とZVS条件の解析を行い、実験によってその妥当性を確認した。また、3.3V、30A出力に対して、電流アクティブクランプハーフブリッジコンバータは83%の高効率を達成し、従来のPWMハーフブリッジコンバータと比較して約4%の効率改善を確認し、回路の有効性を実証した。

最後に第5章では、以上を総括した結論を述べた。

## 論文調査の要旨

近年、半導体集積化技術の発展により電子機器の小形・軽量化が進み、それに伴い、その電源部に対しても小形・軽量化が強く要求されている。この要求に対し、半導体のスイッチング動作を利用し、高周波駆動の電磁トランスを通して電力変換を行うスイッチング電源が今日広く用いられており、基本的にその動作周波数を上げることで小形・軽量化が可能である。しかし、スイッチング損失とスイッチング時に生じるノイズが増大するために高周波化には限界がある。特に最近、電磁環境問題の観点から低ノイズ性が強く求められている。このような状況において、スイッチング時の電流または電圧をゼ

ロにすることによってスイッチング損失およびノイズの低減を図るソフトスイッチング技術が盛んに提案されており、それぞれZCS(ゼロ電流スイッチング)、ZVS(ゼロ電圧スイッチング)と呼ばれている。これらのソフトスイッチングを達成するためには共振現象を利用するのが一般的であるが、共振によるピーク値が大きくなるために定格容量の大きな部品が必要になること、周波数制御を用いるため条件によってはスイッチング周波数が低下し、小形・軽量化を阻害することなどの問題点がある。

本論文は、これらの問題点を解決するために、スイッチ電圧の立ち上がり、立ち下がりの部分のみに共振現象を用いてソフトスイッチングを達成し、出力電圧調整には従来通りPWM制御を用いることのできるDC-DCコンバータについて3つの新しい回路方式を提案し、それらの動作特性を明らかにすると共に有効性を実証した成果をまとめたものである。

著者はまず、従来のPWMフライバックコンバータに補助スイッチとキャパシタを付加することによって、ZVSとPWM制御を可能にすると共に整流ダイオードのゼロ電流ターンオフが達成できるZVS-PWM電流共振フライバックコンバータを提案し、動作解析と実験により従来方式との特性の比較を行っている。その結果、整流ダイオードの緩やかな逆回復のため著しいノイズ低減効果が得られたこと、一方、効率面での改善効果は比較的小さかったことなどを述べている。

次に著者は、PWMハーフブリッジコンバータを基に、上述と同様なZVS-PWM制御と整流ダイオードのゼロ電流ターンオフを達成するZVS-PWM電流共振ハーフブリッジコンバータを提案し、解析および実験による検討を行っている。入力200~400V、出力12V、4Aの仕様に対し、スイッチング周波数500kHzのDC-DCコンバータを試作した結果、低ノイズ特性と共に効率面でも93%の高効率を得、上述の方式と比較して約3%の効率向上を達成している。

最後に著者は、低電圧大電流出力向けのコンバータの場合、上述の提案回路では、電流共振ピークが過大になるため効率向上が十分に望めないと判断し、別の方法でZVS動作が可能な回路方式を提案している。すなわち、PWMハーフブリッジコンバータをベースに双方向スイッチを付加することによってトランスの励磁電流を一時保持して、その励磁エネルギーをZVS動作に利用できるようにした電流アクティブクランプ方式ハーフブリッジコンバータについて解析と実験による検証を行い、3.3V、30Aという低電圧大電流の出力に対し83%の高効率を達成し、従来方式と比較して3~10%の効率向上が得られることを実証している。

以上要するに、本論文は、スイッチ電圧の立ち上がり、立ち下がりの部分のみに共振動作を用いたソフトスイッ

チングを行う一方、出力電圧調整にはPWM制御を用いることのできるDC-DCコンバータについて新しい回路方式を提案し、それらの動作特性を明らかにすると共に高効率および低ノイズ特性における有効性を実証したもので、電子システム工学に寄与するところが大きい。よって、本論文は博士(工学)の学位論文に値すると認める。

氏名(本籍) 山内 寛行 (福岡県)  
 学位記番号 シ情 博乙第11号(工学)  
 学位授与の日附 平成9年7月28日  
 学位論文題名 Studies on Low Power Technologies for Battery-Operated Semiconductor Random Access Memories(バッテリー駆動用半導体メモリの低消費電力化技術に関する研究)

#### 論文調査委員

(主査) 九州大学 教授 安浦 寛人  
 (副査) " " 西 哲生  
 " " " 黒木 幸令

### 論文内容の要旨

近年、普及が目覚ましいポータブル機器においては、1)電池寿命の延命化による再充電の煩わしさの軽減、2)機器に占める電池の面積、重量の削減による携帯性の向上、3)冷却コストの低減、4)動作電圧を電池の発生電圧に適合させる等の理由による低消費電力化の要求が急速に高まっている。又、今後のポータブルコンピュータ等の本格普及のためには、マルチメディア処理、特に、画像データに代表される大量のデータを取り扱う必要が出てくるために、電池駆動用半導体ランダムアクセスメモリへの大容量化、高速化の要求が高まり、メモリ部の消費電力も急速に増加し大きな技術課題になることが予想される。

そこで本研究では、電池駆動用半導体ランダムアクセスメモリとそれから構成されるシステムに於ける省電力化を実現することを目標とする。

本論文は、これらの成果をとりまとめたもので、7章から構成される。

第1章は序論であり、本研究のテーマである電池駆動用半導体ランダムアクセスメモリの低消費電力化の背景を、消費電力の増加トレンドと省電力化要求トレンドを含めて議論した。又、本研究の意義を明らかにするために、電池駆動用半導体ランダムアクセスメモリシステムの省電力技術トレンドに於ける本研究の位置づけと目的を述べた。

第2章は、メモリとCPU等の制御回路間を、GB/sを

越える大容量のデータ転送を行う場合の省電力化技術に関して述べたもので、電源電圧3.3Vのまま8ビットのデータ転送回路間で電荷を再利用することで従来の1/64の低消費電力でデータ転送が可能になることを示した。従来3 GB/s以上のデータ転送に1 Wの消費電力が必要であったものが、16mWで実現できることをシミュレーションと実測によって検証した。

第3章では、第2章で述べた電荷再利用技術に加えて、時分割のデータ転送アーキテクチャーを適用すれば、従来の並列アーキテクチャーに比較して、データ線の本数を半分にしても、データ遷移率が100%、25%の条件下でそれぞれ1/11, 1/3の低消費電力化が可能になることをシミュレーションと実測によって検証した。

第4章では、半導体ランダムアクセスメモリのうち、大容量化の点で最も優れているDRAMの、電池駆動用として最も大きな欠点であるデータ保持電流の大きさを、大幅に削減することを目的に研究したもので、電池駆動機器用のメモリに用いられるSRAMをDRAMで置き換えるために、データ保持部の接合バイアスを緩和し、データ消滅の主原因である接合リークを1/3に削減することでデータ保持期間を3倍に伸ばした。

またプレートをフローティングにした高精度のリークモニタを開発することで、リフレッシュ時間を従来より30倍長くすることが可能になった。これらの技術により従来より1/90のデータ保持電流が実現できることを示した。さらに、DRAM内蔵の電源回路内のDC電流を削減する回路を新たに設けることでDC電流を0.1μA/MBが実現できることを16MbitDRAMの実験チップで確認した。

第5章では、DRAMの動作電圧を、Ni-Cd電池2個の直列発生電圧に適合させるための1.8Vまでの低電圧化を従来の高速性を維持しながら行うことを目的に研究したもので、電流センシングアドレスコンパレータを用いた並列コラムアクセス冗長方式、疑似スタティックデータバスアンプ、低しきい値トランジスタの使用とペアトランジスタ間のしきい値電圧の対称性を向上させることを可能にするゲート分離型センスアンプ回路、アセンブリ技術を利用した信号配線長最短化レイアウトなどの技術を提案し、これらを組み合わせることで、電源電圧1.8Vでアクセス時間36nsの世界最高速の電池駆動16Mbit-DRAMを開発した。

第6章では、SRAMの動作電圧を太陽電池1個の電圧に相当する0.5Vまで低電圧化する際に問題となる速度劣化とリーク電流の増大の問題を解決することを目的に研究したもので、しきい値電圧を下げることによる急激なリーク電流の増大の問題を回避しながら100MHz動作を実現できるSRAMアーキテクチャーを開発した。この技術はHighとLowの電位差を電源電圧より大き

い電位差に保ちながら接地電圧に対してオフセットをもってデータを保持することに特徴があり、低い値トランジスタを用いた場合でもリーク電流を回避することができるため、高速化と低消費電力化の両立が可能になる。この技術を用いて、0.5V/100MHzのSRAM動作が5mW以下の消費電力で実現できることをシミュレーションで検証した。

第7章は結論であり、本研究によって得られた成果を総括するとともに、今後の研究課題について述べた。

## 論文調査の要旨

近年、急速に普及している各種携帯情報機器においては、回路の小型化や軽量化に伴い、電源となるバッテリーの容量や重量が機器全体の大きさや重さを決定するようになってきている。このため、低消費電力化によるバッテリー寿命の延長と、回路の動作電圧をバッテリーの発生電圧に適合させることが重要な技術課題となっている。携帯情報機器は主に、マイクロプロセッサと大容量の半導体メモリから構成され、半導体メモリの低消費電力化は、携帯情報機器の設計における重要な技術となっている。

本論文は、バッテリー駆動用半導体ランダムアクセスメモリとそれから構成されるシステムにおける低消費電力回路技術に関するもので、1)メモリと外部デバイス間のデータ転送にかかる電力消費を削減する電荷再利用型データ転送方式と小振幅時分割データ転送方式、2)DRAM(Dynamic Random Access Memory)のデータ保持電流をSRAM(Static Random Access Memory)並みの低電流に削減することを可能にする接合バイアス緩和型データ保持方式と高精度リフレッシュタイマー回路、3)バッテリーの発生電圧にメモリの動作電圧を適合させるための低電圧回路技術、に関する研究成果をまとめたものである。

著者は、まず、バッテリー駆動用半導体ランダムアクセスメモリの開発とそれから構成されるシステムの低消費電力回路構成技術における本研究の寄与の位置づけを明らかにし、研究の背景と目的を明確にしている。

次に、電荷再利用型データ転送方式と小振幅時分割データ転送方式を提案し、電源電圧3.3Vのまま8ビットのデータ転送回路間で電荷を再利用することで従来の1/64の低消費電力でデータ転送が可能になることを示している。従来3 GB/s以上のデータ転送に1 Wの消費電力が必要であったものが、わずか16mWで実現できることをシミュレーションと実測によって検証している。

また、著者は、データ保持部の接合バイアスを緩和し、データ消滅の主要原因である接合リークを1/3に削減することでデータ保持時間を3倍延ばすことに成功している。また、高精度のリークモニタを開発することで、従来よ

り30倍長くりフレッシュタイマーをセットすることが可能となることを示している。これらの技術により、従来の1/90のデータ保持電流が実現できることを示している。さらにDRAM内蔵の電源回路内のDC電流を削減する回路を新たに設けることでDC電流を0.1 $\mu$ A/MB以下に削減し、リフレッシュ電流と合わせてもSRAM並みであり、DRAMとして世界最小である0.5 $\mu$ A/MBが実現できることを16MbitDRAMの実験チップで確認している。この結果により、バッテリー駆動機器用のメモリに用いられるSRAMをDRAMで置き換えることが可能となった。

続いて、著者は、電流センシングアドレスコンパレータを用いた並列コラムアクセス冗長方式、疑似スタティックデータバスアンプ、低い値トランジスタの使用、ペアトランジスタ間のしきい値電圧の対称性を向上させることを可能にするゲート分離型センスアンプ回路、アセンブリ技術を利用した信号配線長最短化レイアウトなどの技術を提案している。これらの技術を組み合わせることで、電源電圧1.8Vでアクセス時間36nsの世界最高速のバッテリー駆動16MbitDRAMを開発している。

さらに、著者は、太陽電池1個の電圧に相当する0.5Vで100MHz動作を5 mW以下で実現できるSRAMアーキテクチャーを開発している。この技術は高電位と低電位の電位差を電源電圧より大きい電位差に保ちつつ接地電位に対しオフセットを持ってデータを保持することに特徴がある。これによりアクセストランジスタに低い値電圧を用いた場合でもリーク電流の問題を回避することができるため、高速化と低消費電力化の両立が可能となる。

最後に著者は、以上の結果をまとめて、携帯情報機器において半導体ランダムアクセスメモリのバッテリー駆動を本格的に実用化するために必要となる技術を総括し、低消費電力化によるバッテリー寿命の延長と、動作電圧をバッテリーの発生電圧に適合させることが可能であると結論付けている。

以上を要約すると、本研究は、半導体メモリの回路構造、データ転送方式、およびリフレッシュタイマー回路などの周辺回路に新しい低消費電力化の手法を導入し、高速かつ低消費電力の半導体メモリを実現する技術を提案し、試作によりその有効性を確認したものであり、情報工学に寄与するところが大きい。よって、本論文は博士(工学)の学位論文に値すると認める。

氏名(本籍) 公文保則(福岡県)  
学位記番号 シ情博乙第12号(工学)  
学位授与の日附 平成9年7月28日

学位論文題名 移動体通信のための変形伝送線路型アンテナに関する研究

論文調査委員

(主査) 九州大学 教授 安元 清俊  
(副査) // // 立居場 光生  
// // // 赤岩 芳彦

## 論文内容の要旨

近年、携帯電話を初めとして移動体通信が急速な勢いで普及していく中で、そのキーデバイスのひとつであるアンテナに対して、小型で高性能なものが要求されている。移動体通信では、アンテナを移動体に取り付けると、その移動体にも電流が流れアンテナの一部として動作し、自由空間にあるアンテナ単体の特性がずれる場合が多い。例えば、携帯電話機用アンテナにはモノポール素子がよく使用されているが、その特性は電話機の大きさ、アンテナの取り付け位置等により変わる。更に、通話時では人体がアンテナ系の特性に影響を与える。そのため移動体通信用アンテナでは、従来のようなアンテナ単体の特性ではなく、移動体の大きさや周囲の影響を考慮したアンテナの設計を行い、移動体通信に必要な条件を満たす特性が求められる。今日の電子計算機の処理速度の高速化や記憶容量の増加にともなう、種々の理論解析法も提案され、上記の事柄を考慮したアンテナの特性解析が容易にできるようになった。本論文では、移動体通信用アンテナの開発を目的として、従来からのダイポール素子のように簡単な構造でなく、多様化する移動体通信で利用するために要求される機能を含んだ新しい構造の変形伝送線路型アンテナの開発と、その応用例として自動車電話用変形伝送線路型アンテナ、および携帯電話用変形伝送線路型アンテナを提案しており、これらのアンテナに関する研究成果をまとめたものである。

第1章では本研究の背景、研究状況、本論文の構成について述べている。

第2章は第3章以下で提案する複雑な形状の線状アンテナを統一的に解析する数値解析法について述べる。すなわち、複雑な線状アンテナをいくつかの直線素子で近似して解析するために、多数の直線素子から成るアンテナ系において、各素子の電流に関する単純化された Hallen 形の積分方程式を導く。積分方程式の数値解法では、電流の展開関数として Lagrange の補間多項式を選び、モーメン法を適用している。ここで導いた積分方程式は従来のものより簡単な表現式となっており、数値計算が容易になる利点をもっている。

第3章は変形伝送線路型アンテナの形状と基本特性について論じている。このアンテナは、全長が半波長の伝送線路の終端を短絡し、伝送線路の水平素子部を“コ”の字に変形した伝送線路型アンテナであり、その動作は

2本の垂直素子部と水平素子部の構造に依存している。利得は垂直素子の間隔、インピーダンスは水平素子の高さを変えることで増減できることを数値解析と実験値より明らかにした。更に、変形伝送線路型アンテナの特性改善として低姿勢変形伝送線路型アンテナ、および低姿勢双変形伝送線路型アンテナを提案している。これら3種類のアンテナについて、アンテナの小型化、指向性の改善、高利得化の観点からその構造と動作特性を比較し、具体的なアンテナを設計する上での損失について明らかにしている。

第4章は第3章で検討したアンテナの応用例として2種類の自動車電話用変形伝送線路型アンテナについて論じている。単一周波数で動作する変形伝送線路型ジグザグアンテナと2周波共用の二重構造変形伝送線路型アンテナである。ここでは、自動車電話の800MHzの周波数帯で動作する最適なアンテナ形状とその特性を理論的に求め、実測値と比較し、実用的な面から検討した。その結果、いずれのアンテナも小型で高さも低く、水平面内で無指向性となることが確認され、車載用アンテナとして適した特性をもつことを示している。特に、2周波共用のアンテナでは、 $VSWR \leq 2.0$ の比帯域が16%の広帯域なアンテナを実現している。

第5章は変形伝送線路型アンテナを携帯電話機に取り付けた携帯電話用アンテナを提案し、その形状と特性について論じている。ここでは、現在市販されている比較的小型な電話機筐体モデルを対象に選び、筐体とアンテナから成る系に対してワイヤグリッド法を適用し、筐体の影響を含んだアンテナ特性の数値解析を行った。その結果、同軸給電線に対して整合が容易で、3.5dBiの高い動作利得を持った携帯電話用アンテナを実現することができた。更に、種々の筐体の大きさ(長さ)とアンテナ特性を調べ、筐体の大きさに対するアンテナの設計指針を明らかにしている。これらの結果と測定結果はよく一致しており本解法の有効性を確かめている。最後に、本アンテナを折り畳み式の携帯電話機に応用した例を示している。

第6章は携帯性をもたせるため、5章で検討した変形伝送線路型アンテナを電話機筐体に内蔵した携帯電話用アンテナについて論じている。電話機筐体に凹みをつけて収納したアンテナは使用時の人体効果により動作周波数がずれ給電線との整合が取れなくなることがある。この章では、凹みの大きさが変化したときのアンテナの諸特性を第5章と同様の解析法により求め、実測値と比較した。その結果、アンテナを収納する筐体の凹みには最適な大きさがあることやその大きさを変えることで動作周波数を広い範囲で変化できることを明らかにし、内蔵アンテナを設計する上で凹みの大きさが重要な要素であることを述べている。

第7章は結論であり、本研究の結果をまとめると共に、残された問題点や将来の展望について述べている。

## 論文調査の要旨

電気通信技術の進歩と社会活動の広域化に対応して、移動体通信の需要は急速に伸び続けている。移動体通信の回線品質は、移動端末における無線電波の送受信特性すなわちアンテナの性能に大きく影響される。近年、デジタル方式の導入や多周波の運用など移動体通信の多様化が進み、小型移動端末として自動車電話機、携帯電話機、簡易携帯電話機が普及するにつれて、移動端末用アンテナには小型化、広帯域化、高利得化の観点から、利用環境や目的に適合した種々の改良が求められている。

本論文は、このような要求に応えるため、接地型伝送線路を応用した各種の新しい小型・低姿勢アンテナを提案し、それらが自動車電話の車外搭載用アンテナ及び携帯電話用アンテナとして優れた特性を持つことを明らかにしたもので、その成果は、特に以下に述べる四点において評価される。

第一は、多数の直線状素子から構成された複雑な線状アンテナ系の解析と設計に有用な数値解析の手続きを与えたことである。ベクトルポテンシャルとスカラーポテンシャルを用いた電磁界の表現式を基にして、各直線状素子を流れる電流分布に対して Hallen 形積分方程式を導出し、この積分方程式をモーメント法を用いて効率的に解く方法を示している。この数値解析の手続きは、以下に述べるアンテナ系の解析と設計に応用されている。

第二は、移動体通信用の新しいアンテナ系として、伝送線路を利用した変形伝送線路型アンテナを考案したことである。変形伝送線路型アンテナの基本形は、全長が半波長の伝送線路を接地板に平行に置き、その水平部分を“コ”の字形に変形して終端を短絡した構造を持つ。放射に寄与するのは伝送線路の垂直部分であり、水平部分は主としてリアクタンス素子として働く。したがって、水平部分の長さを変えることでアンテナの共振周波数を調整できるという利点を有している。著者は、更に、伝送線路の水平部分を二分岐させて“ロ”の字形に変形した低姿勢変形伝送線路型アンテナを提案し、基本構造のアンテナよりも高い利得が得られることを理論と実験により確認している。

第三は、自動車電話の車外搭載用アンテナとして、変形伝送線路型ジグザグアンテナと二周波共用の変形伝送線路型アンテナを開発したことである。変形伝送線路型ジグザグアンテナは基本構造の水平素子部分を“コ”の字形から“ジグザク”形に変形したものである。一方、二周波共用の変形伝送線路型アンテナは共振周波数が異なる二つの低姿勢変形伝送線路型アンテナを並列に接続した構造を持つ。変形伝送線路型ジグザグアンテナの設

計例では、900MHzの動作周波数に対して、アンテナの全長を約0.6波長に設定したとき、動作利得が約2dBで帯域幅が約50MHzの無指向性の特性を実現している。また、二周波共用の変形伝送線路型アンテナの設計例は、二つのアンテナの形状を適正に設計することにより、約150MHzの帯域幅が得られることを示している。この帯域幅は870~940MHzにわたる自動車電話の二周波帯の帯域を十分に許容している。

第四は、携帯電話機に直接搭載する小型の変形伝送線路型アンテナを提案し、電話機筐体の形状と大きさを考慮に入れたアンテナの設計指針を明らかにしたことである。提案したアンテナは、基本構造の変形伝送線路型アンテナの給電部と短絡部を電話機筐体の頂面に設置し、伝送線路と筐体表面との距離を一定に保ちながらその一部を筐体の側面に沿って折り曲げた構造を持っている。著者は、アンテナと筐体を一つの複合アンテナ系として取り扱い、筐体の影響を考慮に入れたアンテナ特性の解析に成功している。入力インピーダンス、利得、及び動作周波数の関係を詳細に検討し、アンテナと筐体表面間の距離を適正に設計すれば広帯域な小型アンテナが実現できることを、理論と実験により明らかにしている。

以上、本論文は、移動体通信用アンテナの小型化・低姿勢化を目的として、各種の新しい伝送線路型アンテナを提案し、それらが自動車電話の車外搭載用アンテナ及び携帯電話用アンテナとして優れた特性を持つことを理論と実験により明らかにしたもので、情報通信工学に寄与するところが大きい。よって、本論文は、博士(工学)の学位論文に値するものと認める。

氏名(本籍) 田村秋雄(山口県)  
 学位記番号 シ情博乙第13号(工学)  
 学位授与の日付 平成9年7月28日  
 学位論文題名 プリント配線化電子回路パッケージの設計法と電子化作図装置の開発に関する研究

### 論文調査委員

(主査) 九州大学 教授 谷口研二  
 (副査) 〃 〃 二宮保  
 〃 〃 〃 平澤宏太郎

## 論文内容の要旨

電子装置においては集積回路をはじめ各種の電子回路部品がプリント配線板に実装され電子回路パッケージが構成される。プリント配線パターン設計にあたっては電子回路パッケージの実装密度、信頼性、量産性、保全性などの見地から予め設計基準を定めておく必要がある。我が国における集積回路を本格的に搭載した電子装置の

開発は1964年頃からの電子計算機と電子交換機が最初であった。その一つである電子交換機の開発では、特に集積回路など小形部品を実装するためパターン密度の高いプリント配線が重要であったが、これについて従来系統的な研究はあまりなされていなかった。そこで信頼性と量産性が確保される範囲内において集積回路搭載の実装密度を高めることを目的としたプリント配線基準の設定が極めて重要な課題となった。

一方、1980年以降におけるパーソナルコンピュータの急速な発展と普及の予想から、設計・製図作業の電子化ツールとして、一般の設計者が所謂OA機器として容易に使いこなせる低価格の汎用製図装置が広く求められるようになることが想定された。しかし従来の電子化作図装置は汎用コンピュータあるいはミニコンピュータなどを中心に構成されており、パーソナルコンピュータによる低価格で実用的なシステムはほとんど開発されていなかった。そこで設計・製図用の電子化ツールとしてパーソナルコンピュータを用いた2次元汎用図形処理システムの開発・製品化が重要な課題となった。

本論文は、電子装置プリント配線および電子回路パッケージの設計基準の設定について論じると共に、電子交換機への適用結果について述べている。次に、パーソナルコンピュータを処理装置とした汎用製図装置の開発について論じると共に、その実用製品への適用結果について述べたもので、全5章から構成されている。

第1章は序論で、研究の背景・目的と本論文の概要を述べている。

第2章では、電子装置用プリント配線板のプリント配線基準の設定のために行った、プリント配線板とプリント配線の基本となる特性の検討、これらに基づいて定めたプリント配線の設計基準について述べている。すなわち、電気的および機械的諸特性、化工性などプリント配線板の材料である銅張積層板およびプリント配線に要求される基本的特性について考察し、さらに設計製造上配慮すべき諸条件等を勘案してプリント配線の設計基準を求めている。また、電子回路パッケージの設計に関する基礎的検討として、プリント配線板への電子回路部品の取付法の設定についても論じている。

これらの結果に基づき、プリント配線および電子回路パッケージの設計法ならびに設計基準を定める手順を明らかにし、その具体例としてDEX-2号ならびにDEX-21号電子交換機用プリント配線板および電子回路パッケージの設計法・設計基準への適用結果などについて述べている。これらの研究結果は商用機であるD10形電子交換機等に適用され、また、企業内の設計基準などにも参照されて、現在においても本研究の基本的な考え方は広く一般の電子機器にも適用されている。

第3章は、電子化作図装置開発の基本コンセプトにつ

いて述べている。本装置は新たに構築したパーソナルベースのCADシステムであって、処理装置にパーソナルコンピュータ等を用いた電子製図板的感覚の汎用図形処理装置として位置付けられる。すなわち、本装置では“設計・製図作業の電子化”のためのパーソナルベースの設計OAツールとして、低価格のフルターンキーシステム、ユーザにソフトウェアを意識させない使い勝手、ユーザメニュー、図形アクセスプログラムルーチン群の提供などによるユーザインタフェースの完備、また、リストアップ機能によるデータ保護、モデル間におけるユーザデータの上位互換性の確保、シリーズ内の最新モデルへの機能的エンハンスを可能とするエンハンスキットの提供などを骨子とした基本コンセプトを提案している。

第4章では、電子化作図装置の開発と結果の適用例について述べている。すなわち、パーソナルコンピュータを利用する場合に課題となる速度性能の向上には新しいディスプレイファイル方式の導入などによって実用性を高め、使い勝手の面では操作の習熟度に応じて選択が可能な入力方式、ユーザ自身によるカスタマイズを可能とするインタフェースならびに未定義マクロコマンドの立案、さらに、入出力機器ドライバの整備によって入出力機器の広範囲な選択などを可能とした2次元の汎用図形処理装置を開発している。本研究の結果の具体的な適用例として簡易図形処理装置を開発、製品化している。

この製品はその後、1997年5月現在までに多系列の製品に展開され、多くのユーザにおいて使い勝手の良さ、カスタマイズの容易さ、信頼性の高さなどを特徴として、設計開発部門の合理化、開発効率の向上などに必須のツールとして広く定着し、新しい適用分野を拓いている。またCADインストラクタ認定試験制度の実施当初(1990年)から標準機の一つにも指定されている。

第5章は、本論文の結論であり、本研究の成果をまとめている。

## 論文調査の要旨

電子装置用電子回路パッケージのプリント配線パターンの設計にあたっては、実装密度、信頼性、量産性、保全性などの見地から予め設計基準を定めておく必要がある。本研究の対象となった我が国初の電子交換機の開発では、特に集積回路など小形部品を実装するため、信頼性と量産性を確保しながら実装密度を高めるためのプリント配線基準の設定検討が重要な課題となった。

一方、近年の設計・製図作業用電子化ツールとして、一般の設計者が容易に使いこなせる、低価格の汎用製図装置が広く求められるようになった。しかし従来の電子化作図装置は汎用コンピュータやミニコンピュータを中心に構成されており、発展著しいパーソナルコンピュータによる低価格で実用的なシステムは殆んど開発されて

いなかった。

本研究は、上記の課題に応える、電子装置用プリント配線板および電子回路パッケージの設計基準の設定検討と、その電子交換機への適用、ならびに新たに構築したパーソナルコンピュータを処理装置とした汎用図装置の開発を行ったものであり、以下の点で評価できる。

第一に、電氣的・機械的諸特性、化工性などプリント配線板の材料である銅張積層板およびプリント配線に要求される基本的特性について広範な実験と考察を行い、さらに設計製造上配慮すべき諸条件を勘案してプリント配線の設計基準を確立している。これらの結果に基づき、プリント配線板および電子回路パッケージの設計法と設計基準を明らかにし、これらを DEX-2号ならびに DEX-21号電子交換機用プリント配線板および電子回路パッケージの設計法・設計基準へ適用している。

第二に、新たに電子化作図装置開発の基本コンセプトを構築している。具体的には、低価格のフルターンキーシステム、ユーザにソフトウェアを意識させない使い易さ、ユーザメニューや図形アクセスプログラムルーチン群の提供などによってユーザインタフェースを完備すること、また、リストア機能によるデータ保護機能やモデル間においてユーザデータの上位互換性を確保することなどを定めている。

第三に、電子化作図装置の開発を行い、その製品化に成功している。具体的には、速度性能の向上のため新たにディスプレイファイル方式を導入し、使い勝手の向上のための、操作の習熟度に応じて選択可能な入力方式やユーザ自身によるカスタマイズを可能とするインタフェース・未定義マクロコマンドの提供、さらに、入出力機器ドライバの整備によって入出力機器の広範囲な選択を可能とした2次元の汎用図形処理装置を開発している。

本研究の結果は、簡易図形処理装置シリーズとして多系列の製品へ展開され、多くのユーザにおいて、その使い勝手の良さ、カスタマイズの容易さ、信頼性の高さなどが評価され、設計過程の合理化、開発効率の向上などに貢献している。また、ここで開発された装置はCADインストラクタ認定制度の標準機の一つとして指定されている。

以上要するに、本研究は、半導体集積回路など小形部品を高密度に実装し、かつ高信頼度を実現するプリント配線化電子回路パッケージの設計基準を確立し、さらに新たなコンセプトに基づいた、パーソナルコンピュータを処理装置とした電子化作図装置の開発と、これによる設計開発の効率化に成功したもので、電気情報工学上寄与するところが大きい。

よって本論文は博士(工学)の学位論文に値するものと認める。

氏名(本籍) 中司賢一(福岡県)  
 学位記番号 シ情博乙第14号(工学)  
 学位授与の日附 平成9年7月28日  
 学位論文題名 A Study on Semiconductor Device Modeling Based on Physical Structure and Design of Advanced PLL VLSI(物理構造に基づく半導体デバイスのモデリングと高性能PLL VLSIの設計に関する研究)

#### 論文調査委員

(主査) 九州大学 教授 谷口研二  
 (副査) " " 黒木幸令  
 " " " 二宮保

#### 論文内容の要旨

トランジスタの発明に続く集積回路の発明以来、半導体技術を基本とする電子産業は急速な発展を遂げてきた。半導体物理の進展、半導体デバイスの微細化プロセスの進歩、あるいは回路設計技術の発展により集積度は飛躍的に向上し、現在では1つのチップ上に数百万トランジスタを集積した超LSI(Very Large Scale Integrated-Circuit: VLSI)や、さらに高集積度の超々LSI(Ultra LSI: ULSI)の時代になっている。このようなVLSIやULSIによってコンピュータの小形化・高性能化が進み、また、携帯電子機器の普及が急速に進行している。しかし、集積度が上がるにつれてVLSIの設計は複雑化し、設計時間も増大している。このため、検証の容易な設計法、設計時間の短縮が求められている。この問題を解決するものとして、システムレベルでの設計を基に回路設計を行うトップダウン設計、すなわち、ハードウェア設計記述言語(Hardware Description Language: HDL)による設計が大きな流れになってきている。集積回路の設計は、デバイスレベルからシステムレベルまで広範囲にわたり、それぞれのレベルにおいて様々な技術課題がある。デバイスレベルでは、微細化に伴うデバイスモデルの改良・提案・新規デバイス採用のためのデバイスモデルの開発が必要である。例えば、高電子移動度トランジスタ(High Electron Mobility Transistor: HEMT)や量子効果デバイス的一种である共鳴トンネルダイオード(Resonant Tunneling Diode: RTD)等が発表されている。回路レベルでは、電源の低電圧化に伴う低電圧用回路の提案が、システムレベルでは、効率の良い設計法が求められている。

本論文は、クロック生成・再生のキーデバイスであるPLL(Phase Locked Loop)の設計法を中心課題として、

1) HEMTのデバイス構造から直接的にデバイス特性を計算しモデル化する方法, 2) 高性能 DPLL (Digital PLL) の設計法と高位設計言語による新機能のインプリメンテーション法, 3) システムレベルでのジッタ特性の計算方法, 4) RTD/HEMT を用いたゲート回路とその PLL 用応用回路に関する研究に関して論じたもので, 6 章から構成されている。

第1章は序論で, 本研究の背景, 目的ならびに本論文の各章の概要を述べた。

第2章は, 半導体デバイスのモデリング, 特に HEMT の回路シミュレーション用モデルの開発について述べた。並列計算機による半導体特性計算用モンテカルロシミュレーションの高速化法を提案し, その有効性を実証した。HEMT の物理構造, すなわちデバイスの構造から直接デバイス特性を導くための定式化を行い, これに基づいて DC モデルを開発した。ゲート長が短縮されるに伴い, GaAs 系化合物半導体特有の電子速度のオーバーシュート現象が顕著になってくる。提案のモデルでは, この現象を新たに考慮することにより, 従来モデルでは過小に評価していた直流特性を大幅に改善することができた。さらに, マイクロ波回路設計に必要な S パラメータをデバイス構造から直接的に導出する方法を示した。

第3章では, デレイライン方式 DPLL について述べた。DPLL は多機能であり, プロセッサ, メモリ, 論理回路等と同じチップ上に集積可能で, システムオンチップ化に最適であり, 今後重要になっていく機能回路である。本論文では, DPLL として高速動作可能なデレイライン方式 DPLL の設計法とその特性の評価結果について述べている。特に, 1 次 PLL (DPLL) では定常位相誤差が問題となるが, その定常位相誤差を低減できる DPLL を提案した。さらに, HDL によるトップダウン設計を行い, DPLL 設計における優位性を示した。また, デバイスの微細化に伴う回路性能向上性を予測するために, 数種類のデザインルールによる DPLL を設計し, その特性を評価した結果を示した。

第4章では, システムレベルでの集積回路の性能評価として PLL のジッタ特性についてその計算方法について述べた。PLL のジッタ特性は回路レベルで評価することで求めることはできるが, 回路レベルでのシミュレーションは非常に時間を要し実際問題として回路レベルでの評価は困難である。この問題を解決するためにシステムレベルでのシミュレーションを行う新しいシミュレーション法, すなわちタイムステップ法を開発した。タイムステップ法は, 回路システムの状態方程式をたて, 回路応答を前進差分法により計算する方法である。この方法により従来の回路レベルでのシミュレーションによる方法と比較して計算速度を数百倍にすることが可能となった。

第5章では, PLL の高速化を図るために RTD と HEMT デバイスを組み合わせたゲート回路とこれを用いた機能回路についての検討について述べた。RTD は, 量子効果を利用したデバイスであるため高速で低消費電力の可能性をもち, HEMT も同じく量子効果を利用したデバイスであるため高速で, その特徴あるデバイス構造によって低雑音特性を示す。RTD は 2 端子デバイスであるために用途が限られるが, 3 端子デバイスである HEMT と組み合わせることにより超高速・低消費電力回路を構成することができる。そこで, この RTD/HEMT 回路で基本論理ゲート回路を構成しその特性を評価した。さらに, この基本ゲート回路を用いて機能回路, 特に PLL を構成する位相比較器と電圧制御発振器を設計しその特性を回路シミュレーションによって求め, 従来回路と対比してその優位性を示した。

第6章では, 本研究の総括を述べるとともに, 今後の課題について述べた。

## 論文調査の要旨

近年, 半導体技術の進歩によりコンピュータの高性能化, 小形電子携帯機器の普及が急速に進行している。これらは, 微細化による集積度の向上やデバイスの高速化, ならびに設計技術の高度化によるところが大きく, 特に以下のような動向が注目される。まず, 最近の VLSI では, 数百万個のトランジスタが集積されており, 設計も複雑化している。このため, システムレベルでの設計を基に回路設計を行うトップダウン設計が大きな流れになりつつある。集積回路の設計は, デバイスレベルからシステムレベルまで広範囲にわたるが, 各レベルの構成要素の性能向上とモデリングの確立, それを用いた高性能かつ効率のよい設計法の開発が重要な課題となる。例えば, デバイスレベルでは, 微細化に伴うデバイスモデルの改良・提案, 新規デバイスの採用によるデバイスモデルの開発が必要である。回路レベルでは, 電源の低電圧化に伴う低電圧用回路の提案が, システムレベルでは, 高位設計言語による高品質で効率的な設計が求められている。

本研究は, 通信・磁気ディスクにおけるタイミング再生・信号処理, さらにマイクロプロセッサや RAM のクロック生成・分配等で重要な, PLL を中心的な課題としてとりあげ, その超高速化につながる化合物半導体デバイスのモデリングの開発と回路検討, 広範な用途に適応できるデジタル PLL の設計法, 特に高位設計記述言語 HDL による設計法の開発, PLL システムにおけるジッタ特性の計算法の開発を行ったものであり, 以下の点で評価できる。

著者はまず, 半導体デバイスのモデリング, 特に HEMT (High Electron Mobility Transistor) の回路シ

ミュレーション用モデルを開発している。特に微細化デバイスで問題になる速度オーバーシュート等の基礎的特性を求めるために、並列計算機によるモンテカルロシミュレーションの高速化法を提案し、その有効性を実証している。一方、HEMTの物理構造、すなわちデバイスの構造から直接デバイス特性を導くための定式化を行い、これに基づいてDCモデルを開発している。ゲート長が短縮されるに伴い、GaAs系化合物半導体特有の電子速度のオーバーシュート現象が顕著になってくるが、提案のモデルでは、この現象を新たに考慮することにより、従来モデルでは実験値との誤差が大きかった直流特性計算法を大幅に改善している。さらに、マイクロ波回路設計に必要なSパラメータをデバイス構造から直線的に導出する方法を示している。

第二に、CMOS VLSI技術を活用できる点で、各種の信号処理に適したデジタルPLL(DPLL)のうち、高速化の点で優れた、ディレイライン方式DPLLをとりあげ、その高性能化設計と特性の評価結果について述べている。特に、1次DPLLでは定常位相誤差が問題となるが、これを低減できる方式を提案している。さらに、HDLによるトップダウン設計を行い、DPLL設計における有用性を示している。また、デバイスの微細化に伴う回路性能向上度を予測するために、数種類のデザインルームによるDPLLを設計し、その特性を評価した結果を示している。

第三に、システムレベルでの集積回路の性能評価としてPLLのジッタ特性について検討している。PLLのジッタ特性は回路レベルで評価することで求めることはできるが、回路レベルでのシミュレーションは非常に時間を要し実際問題としてこれによる評価は困難である。この問題を解決するためにマクロモデルによる新しいシミュレーション法、すなわちタイムステップ法を開発している。タイムステップ法は、回路システムの状態方程式をたて、回路応答を前進差分法により計算する方法である。この方法により従来の回路レベルでのシミュレーションによる方法と比較して計算を数百倍高速化することを可能としている。

第四に、PLLの高速化を図る上で注目される、RTD(Resonant Tunneling Diode)とHEMTデバイスを組み合わせたゲート回路とこれを用いた機能回路について検討し、その動作と性能を確認している。RTDは、量子効果を利用したデバイスであるため高速で低消費電力化が期待できるが、2端子デバイスであるために用途が限られる。そこで、3端子デバイスであるHEMTと組み合わせることにより超高速・低消費電力の回路を構成することができることに着目し、このRTD/HEMT回路で基本論理ゲート回路を構成しその特性を評価している。さらに、この基本ゲート回路を用いて機能回路、特に

PLLを構成する位相比較器と電圧制御発振器を設計しその特性を回路シミュレーションによって求め、従来回路と比較してその優位性を示している。

以上要するに、本研究は通信・コンピュータ用のPLL VLSIの高性能化を課題として、化合物半導体デバイスHEMTの物理構造に基づくモデリング、HEMTとRTDを組み合わせた基本回路とPLL用の機能回路の動作特性の定量化、ディレイライン方式デジタルCMOS PLLの高性能化と高位設計記述言語による設計法、さらにPLLの高速ジッタシミュレーション法の開発等、一連の設計技術の確立をはかったもので、電子デバイス工学上寄与するところが大きい。よって本論文は博士(工学)の学位論文に値するものと認める。

氏名(本籍) 中垣博文(熊本県)  
 学位記番号 シ情博乙第15号(工学)  
 学位授与の日付 平成9年9月25日  
 学位論文題名 視覚と力覚を用いたロボットシステムによる線状柔軟物体のハンドリングに関する研究

#### 論文調査委員

(主査) 九州大学 教授 長谷川 勉  
 (副査) // // 谷口 倫一郎  
 // // // 平澤 宏太郎

### 論文内容の要旨

これまで、ロボットのハンドリングの対象物としては剛体とみなすことのできる物体が主に扱われ、活発な研究がなされてきた。一方、実環境には、紐、布、紙、電線など柔らかな性質を持ったものが数多く存在する。これら柔軟物体をロボットでハンドリングする技術は今後必要不可欠なものになると考えられるが、それに関する研究はまだ始まったばかりである。たとえば、線状柔軟物体を穴に挿入する作業では、物体の先端が穴に入らず開口部周囲の面に当たったときや、穴に入ったのち側壁から摩擦を受けたときに発生する外力で形状が変化(座屈)することが多い。このため、剛体のように物体にかかる力で接触状態を推定し、作業を実行することが困難である。また、物体の座屈形状の計測だけでは瞬間的な接触状態や状態変化を推定することが困難である。その上、物体の材質によっては塑性変形を生じることがある。そのため、線状柔軟物体のハンドリングを実現するには、物体の形状と物体にかかる力を計測して、それらの情報を組み合わせて物体の状態を総合的に判断しながら、作業を実施することが重要である。本論文は、線状柔軟物体を壁に空いた穴に挿入する作業を想定して、物体の形状をステレオカメラで認識し、且つ、物体にかかる力を

力覚センサで計測することにより、物体先端の壁へ接触認識方法や穴の摩擦に対抗できる挿入方法を開発することを目的とした研究成果をまとめたものであり、6章から構成されている。

第1章は序論であり、電柱上の電線作業を行う配電作業ロボット車を開発するに至った経緯と、ロボット作業の高速化のためにセンサベースによる作業自動化の重要性について論じた。さらに、電線のような柔軟物体をロボットでハンドリングする場合の問題点を述べた。

第2章では、線状柔軟物体の種類や特徴を述べるとともに、線状柔軟物体を用いた作業について各種類毎に洗い出し、分類を行った。そして、本論文で取り扱う線状柔軟物体として電線が属する金属製の物体をあげ、その特徴として塑性変形しやすいことを述べた。また、金属製の線状柔軟物体の作業の中で「挿入」と「曲げ」の2つの作業を取り上げることを述べた。

第3章では、線状柔軟物体の大変形を扱えるモデリング手法を提案した。物体の形状をRitz法を用いて近似関数で表わし、物体のポテンシャルエネルギーが極小となるように非線形計画法で求める手法はすでに提案されているが、取り扱える形状に強い制限があった。そこで、あらたな近似関数を考案して、現実の作業状態に適用できるよう拡張した。モデリングの種類としては、二次元弾性モデル、三次元弾性モデル、三次元弾塑性モデルを用いた。また、ポテンシャルエネルギーの式が極小となるようにオイラーの変分原理を用いて求めた微分方程式より、物体を区分直線で近似した時の区分点どうしの関係式も求めた。ここで示したモデルに基づいて計算した物体形状や物体にかかる力・モーメントは実測値と良く一致していることが示された。

第4章では、線状柔軟物体をステレオカメラで高速に認識するために、初期形状認識方法と前章で述べた区分直線近似のモデルを用いて形状を逐次計測する方法について述べた。最初に、画像処理を用いて物体の中心線を抽出し、区分直線に近似し、区分点の三次元位置を測定する。その後は、区分点の近傍のみ探索して、次の時刻の区分点を求めることにより、探索時間を短くして高速な逐次計測を実現した。また、力覚センサを用いずにカメラで測定した形状から物体の接触力を推定する方法や力覚センサの情報と形状情報を併用して塑性変形量を推定する方法も提案し、実験により有効性を確認した。

第5章では、逐次計測手法を用いて物体の位置・形状を測定しながら、力覚センサの情報も併用して壁に空いた穴に挿入する作業を実現する方法を提案した。挿入手順を電線の先端を穴に入れる動作と穴に押し込む動作の2つに分けて、前者は糸を針の穴に通す作業を参考に手法を考察した。後者は摩擦の多い穴に挿入するとき人間が手首を上下に振る動作を参考に手法を考案し、物体

にかかる力と摩擦係数の関係をモデルで計算して、挿入実現の可能性を示した。また、塑性変形した物体の場合、挿入前に物体をまっすぐに伸ばす曲げ作業を実施した後に、挿入作業を実施する手順を示し、挿入手順が弾性変形物体と同じように扱えることを示した。実際に曲げ作業および挿入作業を実験し、作業手順の有効性を示した。

第6章では、以上の研究を総括した。

## 論文調査の要旨

単調で過酷な作業や危険な作業からの労働者の解放は、ロボットに期待される重要な役割の1つである。現在、工場での単純繰り返し作業の自動化ではロボットは大きな効果をあげているが、工場以外の非整備環境での作業のロボット化には多くの課題が残されている。通電中の高圧配電線を直接扱う作業は、配電システムの保守管理を無停電で実施し電力を安定供給する上で欠かせないものであるが、高所でかつ感電を避けながら行わなければならない危険作業のため、ロボット化が強く望まれている作業の1つである。ロボット技術としての主要課題は、作業毎に環境の異なる現場で実施しなければならないこと、柔軟物体である電線の巻き付けやはめ合いなどの種々の操作を含むことの2点である。前者については、従来より研究されている運転員からの指示による遠隔作業手法の高度化による解決法が研究されている。後者については、柔軟物体を対象としたあらたな操作法が必要である。これは、剛体を操作対象としたこれまでのロボット作業では、物体にかかる力の計測により環境との接触状態を推定できるのに対し、柔軟物体では力の計測のみでは接触状態の推定ができず、従来の作業動作制御戦略がつかえないからである。

本研究は、線状柔軟物体に関し、その形状変形とその物体にかかる力との関係を知る方法を考案し、実時間形状計測手法を開発して物体にかかる力を計測したうえで、ロボットによる線状柔軟物体の操作手法を提案したもので、以下の点で評価できる。

第一は、線状柔軟物体の変形を扱えるモデリング手法を開発した点である。線状柔軟物体は力が加えられたとき、ポテンシャルエネルギーが極小となるような形状をとる。これに着目して、新たな形状近似関数を考案し非線形計画法を用いることにより現実の作業状態での形状推定を可能にしている。さらに、オイラーの変分原理を適用して得られる微分方程式を用いて形状を区分直線で近似する手法を開発し、形状推定計算の高速化に成功している。また、弾性変形に塑性変形を加えたモデルを考案し、物体形状と物体にかかる力から塑性変形量を推定する方法を開発している。

第二は、線状柔軟物体の形状を測定するための高速なステレオ視覚処理手法を開発した点である。作業直前の

形状の正確な計測には、エピソード制約に基づく対応点決定法を、また作業中の形状変化には、区分直線近似モデルから得られる区分点の近傍のみに探索を限定する手法を考案して実時間計測を実現している。この視覚処理手法と柔軟物体モデルに基づき、視覚センサで測定された形状から物体接触力を推定できること、さらに力覚センサを併用することにより物体の塑性変形量が推定できることを実験により明らかにしている。

第三は、線状柔軟物体を穴へ挿入するための、視覚と力覚を併用した作業実行戦略を考案した点である。開口部への電線先端の位置ざめでは座屈の有無を視覚で検出することで挿入の成否判定が可能になること、穴壁面との摩擦に抗して挿入するためには物体形状に沿った押し運動に加えて把握部の振り運動の重畳が有効であること、さらに塑性変形した電線については挿入まえに直線となるよう変形を取り去ることができ、弾性物体と同じ戦略で作業が達成できることを実験により明らかにしている。

以上要するに本論文は、ロボットによる自動化が困難であった線状柔軟物体を操作する作業に関し、物体にかかる力と形状変化を関係づけるモデリング手法を開発し、これと高速なステレオ視覚処理とを組み合わせる作業対象の柔軟物体の状態を計測する手法ならびに穴への挿入作業におけるロボットの作業実行戦略を考案して、挿入作業が効率的に実施できることを示したもので、ロボット工学に寄与するところが大きい。よって本論文は博士(工学)の学位論文に値するものと認める。

氏名(本籍) 小栗 清 (佐賀県)  
学位記番号 シ情 博乙第16号(工学)  
学位授与の日附 平成9年9月25日  
学位論文題名 ハードウェア記述言語と高位論理  
合成システムに関する研究

#### 論文調査委員

(主査) 九州大学 教授 雨宮 真人  
(副査) " " 長谷川 隆三  
" " " 安浦 寛人

## 論文内容の要旨

LSIの微細加工技術の発展により多くの回路をLSI上に搭載できるようになり、これに見合った設計の効率化技術が要求されている。LSIの設計は仕様設計、動作設計、論理設計、レイアウト設計の順に進められる。動作設計と論理設計は、動作設計の結果を表現する適切な形式でなかったために、渾然一体として行われており、その結果は部品間の接続関係を示す回路図として記述される。ところが、設計者は回路図からいったん動作を抽出しなければ回路を理解できないため、回路図による設計

の記述では、設計の内容を接続に変換して記述し、逆に接続表現から抽出理解して、設計を追加・完成させていくという負担の大きい作業をとまなう。そこで、ハードウェアの高度な並列動作を明示的に表現できる言語を定義できれば、動作設計と論理設計を分離でき、この設計の負担を取り除くことができる。さらに分離の結果として論理設計の自動化を考慮できる様になる。

本研究では、従来の設計手法に比べ効率的な設計手法を提供することを目的に、ソフトウェアの記述言語のように制御の流れを明示する(手続き的記述の)ハードウェア記述言語SFL(Structured Function description Language)を提案する。さらに、このハードウェア記述言語による記述から全自動で論理設計を完了させる高位論理合成システムの構成法を明らかにする。

本論文は8章からなり内容は以下の通りである。

第1章では本研究の背景と目的を示す。設計自動化技術発展の歴史を概観し、研究の基本的立場や前提を述べる。

第2章ではハードウェア記述言語の分類・整理を行い、言語設計の観点を明らかにする。まず、これまでに使われてきた、動作記述(behavior description)、機能記述(function description)、構造記述(structure description)という用語による分類を吟味し、これまで提案されたハードウェア記述言語のもつ問題点を明らかにする。そして、仕様記述、動作記述、接続記述の目標と概念を新たな観点にたって提示する。

第3章では2章の分類・整理から導き出された目標を具体化した、新しいハードウェア動作記述言語SFLの設計について述べる。SFLの基本的な目標は、動作の流れ、すなわち前後関係を手続きとして明示的に表現できるようにすること、そして同時動作する複数の手続き間の主従関係を表現できるようにすることである。前後関係を定義可能とするために同期回路であることが必要であり、複数の手続きの関係を表現するためにハードウェア対象を制御する側と制御される側に分離する必要があることを述べる。また、本章の議論において、SFL言語をVHDL、Verilog-HDL言語と比較しつつ、SFL言語の特徴を具体的に示す。

第4章では回路の物理レベルの情報を表現する2つの言語、NLD(Net List Description)言語とPCD(Physical Characteristic Description)言語について述べる。NLD言語は非常に単純な等電位表現の接続記述言語であり、回路に特別な前提を必要としない。PCD言語は面積や、消費電力、静的な負荷駆動能力のような回路のタイミングモデルに無関係な情報と、同期回路の遅延モデルやタイミング制約に密着した情報の記述を行う。

第5章ではSFL記述から論理回路を自動合成する仕組みを述べる。近年大幅な進歩を見た論理回路の最適化

技術について概説するとともに、これらをどのように適用すれば、大規模な動作記述を実用時間で論理回路へ変換できるかを示す。

第6章ではこの高位論理合成システムを最終合成規模が40万ゲートの通信処理LSIの設計に適用した際の論理合成性能について述べる。動作記述から論理回路を生成する処理では、同一要素の繰り返し利用や設計テンプレートの利用により、論理式操作アルゴリズムの対象となった回路規模が1万ゲート程度ときわめて少ないことを示す。また生成された論理回路全体を面積や遅延時間で最適化する処理については、synopsys社Design Compilerの性能と比較を行いその有効性を示す。

第7章では、本研究で得られた成果をまとめるとともに、SFL言語と動作シミュレーション、テスト合成との関係について言及し、今後に残された課題、これからの研究の進むべき方向などについて述べる。

付録AではSFL言語の仕様の詳細を記す。付録BではSFL言語をVHDL、Verilog-HDL言語へ変換する方法の詳細を記す。

## 論文調査の要旨

近年、LSIの微細加工技術の発展により、多種多様の回路をLSI上に搭載できるようになり、これに見合ったLSI設計の自動化が重要な課題となっている。LSIの設計は仕様設計、動作設計、論理設計、レイアウト設計よりなるが、現状では動作設計と論理検証が渾然一体として行われているため、LSI回路の設計過程における論理設計、動作設計、修正という一連の作業はLSI設計者にとって大きな負担となっている。そこで、この問題を解決して設計者の負担を軽減させ、自由度の高い効率的な設計自動化システムを開発することが強く求められている。

本論文は、従来の設計手法に比べ効率的な設計手法を提供することを目的として、動作設計と論理設計を分離する新たな設計概念の提示とこれに基づくハードウェア記述言語SFL(Structured Function description Language)の開発、および、このSFLによるハードウェア記述から全自動で論理設計を完了させる高位論理合成システムの開発に関する研究をまとめたものであり、その成果は以下の点で評価できる。

1. これまで提案されたハードウェア記述言語のもつ問題点を明らかにし、仕様記述、動作記述、接続記述の目標と概念を整理し、新たな観点にたったハードウェア設計の方法論を提示している。
2. この方法論に基づいて、新しいハードウェア動作記述言語SFLを提案している。ハードウェア動作記述においては、(1)動作の前後関係が手続きとして明示的に表現できること、(2)同時動作する複数

の手続き間の階層関係が表現できること、(3)そのためにハードウェア対象を制御する側と制御される側に分離できること、の重要性を明らかにし、SFLの特徴を現在広く用いられているハードウェア設計用語VHDL、Verilog-HDLと比較して論じ、SFLがこれらの要求を満足するものであることを明らかにしている。

3. 回路の物理レベルの情報を表現する2つの言語、NLD(Net List Description)言語とPCD(Physical Characteristic Description)言語を提案している。NLD言語を用いることによって回路に特別な前提を必要としない非常に単純な等電位表現の接続記述が可能となることを示し、また、PCD言語を用いることによって、面積や消費電力、静的な負荷駆動能力などの回路のタイミングに無関係な情報と、同期回路の遅延やタイミング制約に密着した情報を区別して記述でき、きめ細かな回路構成制御が可能であることを示している。
4. SFL記述から論理回路を自動合成する手法を提示し、本手法によって、大規模な動作記述を実用的な処理時間で論理回路へ変換できることを明らかにしている。また、本合成手法において、多出力論理関数の多次元空間へのマッピングに際して変数の値を変数軸の区間として捉える新しい方法を導入することにより、積和表現の単純化ならび共通積和の括りだしによる多段化変換が容易なることを明らかにしている。
5. この高位論理合成システムを40万ゲートの通信処理LSIの設計に適用してその論理合成性能を評価し、以下のような評価データを示してその有効性を明らかにしている。(1)動作記述から論理回路を生成する処理では、同一要素の繰り返し利用や設計テンプレートの利用により、論理式操作アルゴリズムの対象となる回路の規模を1万ゲート程度と極めて少なく抑えることができ、40万ゲート程度の大規模回路の自動合成が可能である。(2)商用のsynopsys社Design Compilerと比較して2~3倍の速度で処理でき、5倍程度の規模でかつ同程度の品質(ゲート数、遅延時間)をもつ論理回路を全自動で合成することができる。

以上、本研究はLSI設計の自動化技術に関し、LSI設計自動化の新たな方法論を提示し、この方法論に基づくハードウェア記述言語ならびに論理合成システムの構成法について提案から実用化開発までを一貫して行い、実用規模のLSI設計に適用してその有効性を明らかにしたもので、情報工学上寄与するところが大きい。よって、本論文は博士(工学)に値するものと認める。

氏名(本籍) 太田 剛 (静岡県)  
学位記番号 シ情 博乙第17号(情報科学)  
学位授与の日附 平成9年9月25日  
学位論文題名 分散プログラムの手順的デバッグ  
法に関する研究

#### 論文調査委員

(主査) 九州大学 教授 牛島 和夫  
(副査) // // 程 京徳  
// // 牧之内 顕文

### 論文内容の要旨

分散プログラムは、地理的に隔たった複数の計算機上に存在するプロセス群が、利用者の要求を満たすために、必要な情報を計算機ネットワークを通じて相互に交換しつつ、同時並行的に実行される。このようなプログラムでは同期問題を起こし得る。同期問題を生じるようなプログラムは、その性質上、同期誤りに至る実行過程を正確に再現することが難しいこと、さらには複数プロセスの状態を同時に考慮する必要があること等から、デバッグ作業は逐次プログラムのそれと比較してはるかに困難である。

一方、逐次プログラムのデバッグ作業に関する研究では、手順的デバッグ法が提案されている。伝統的なデバッグ法ではプログラマが主導権を握り、デバッグ支援システムはプログラマからの質問に答える受動的立場にある。これに対して、手順的デバッグ法ではデバッグ支援システムが主導権を握り、能動的にプログラマに質問を繰り返すことによって次第に誤り位置を絞り込んでゆく。この方式を採用することにより、プログラマは(1)次に何をすべきかについて考える必要がなく、(2)デバッグ対象システムの時間経過にともなう動的变化よりも、ある実行時点において達成されているべき機能に注意を向ければ良い。これらのことは、デバッグ作業に必ずしも経験豊かな熟練者を必要とするわけではないことを示している。

分散プログラムに対して手順的デバッグ法を適用することができれば、上記2つの利点が得られ、逐次プログラムと比較してはるかに困難なデバッグ作業を少しでも解消することが可能となる。このような背景のもと、本論文は、逐次プログラムに対して提案されている手順的デバッグ法を分散プログラムに適用する方式について述べたものである。

第1章は、序論であり、研究の背景と目的、従来の研究の概観と本研究の特徴について述べる。

第2章は、既存の手順的デバッグ法に関してまとめ、これを抽象化する。ここではプログラムは有向グラフとして表現され、デバッグはその枝刈り問題であると位置

づけられる。そして、この有向グラフ上の切断集合の概念と、切断集合に対して与えられるプログラム状態の適否を用いた枝刈りの手順を示す。枝刈りの結果、頂点がただ1つ残った場合にはその頂点に相当する文に記述誤りがあることが、また、1つも残らない場合にはその部分に必要な文の記述が漏れていることが特定される。

第3章は、第2章において抽象化された手順的デバッグ法を分散プログラムに適用する方法について述べる。この方法は2つの段階から成る。まず、本論文が対象とする分散プログラムの定義を述べ、デバッグ環境やプログラマの能力に関する仮定について述べる。第一段階では、同期誤りを引き起こす部分プログラムを特定する。そのために、まず、分散プログラムを有向グラフに表現する手段と、そのグラフ上での切断の定義について述べ、複数の切断集合間の関係から同期問題を定義する。次に、この定義を用いて、同期誤りを引き起こす部分プログラムを特定する手段について述べる。第二段階では、そのような同期誤りを引き起こす原因について、実行文のレベルで特定する。これは、既存の逐次プログラムに対する手順的デバッグ法に若干の拡張をほどこすことによって実現できることを示す。

第4章は、実際のデバッグ作業においてプログラマが用いることのできる発見的手法を列挙する。これらの手法をうまく用いることによって、手順的デバッグ作業の効率を上げることが可能となる。

第5章は、前章までに述べた方式の実際の動作について、例題を用いて具体的に述べる。例題としては、同期問題としてよく知られた「5人の哲学者の食事問題」を単純化した「2人の哲学者の食事問題」と、文の記述誤りによってデッドロックが生じるような「移動窓プロトコル」を用いる。前者では同期誤りの原因となった部分プログラムをどのようにして発見するかについて述べ、後者では原因を引き起こした文をどのようにして特定するかについて述べる。

第6章は、手順的デバッグ法をシステム化する際に重要なポイントとなるプログラムスライスの一計算手法について述べる。これまでに発表されたスライス計算アルゴリズムは、プログラムが変更されることはないとは仮定したものである。しかし、デバッグ環境においては、プログラムの変更は頻繁になされる。ここで述べる計算手法は、プログラムの変更が頻繁に行われる環境においてその能力を発揮する点に特徴がある。これは、デバッグ環境に組み込むことに適していることを意味する。

第7章は、本論文のまとめを行い、今後の課題について述べる。

### 論文調査の要旨

情報化社会の高度化に伴って、分散処理システムに対

する需要が益々増加している。分散処理システムにおける障害の発生は、社会や自然に深刻な影響を与える可能性があるため、その信頼性に対する要求も益々高くなっている。分散処理システムにおいて中心的な役目を果たす分散プログラムの信頼性は、そのシステムの信頼性を著しく左右する。プログラムのデバッグは、プログラムにある誤りの原因を特定しそれを排除する作業であり、プログラムの信頼性を向上させる重要な手段となっている。逐次プログラムのデバッグ法については、様々な研究がなされており、実用的なツールも開発され使用されている。一方、分散プログラムには多重制御流れと多重データ流れが同時に存在するので、その挙動は一般に非予測的かつ非決定的である。このため、逐次プログラムで用いられているデバッグ法をそのまま分散プログラムのデバッグ法として利用するだけでは不十分である。分散プログラムのデバッグ法については、試行的な研究が幾つかなされているが、実用の域に達していない。

本研究は、逐次プログラムに対して提案され実用化されつつある手順的デバッグ法を分散プログラムに適用する方式を提案しその有効性を示したものである。

まず、著者は、手順的デバッグ法の抽象化を試みた。プログラムの実行を実行時点の半順序集合としてとらえ、それを有向グラフによって表現し、ある時点のプログラム状態を有向グラフの切断によって表現する。これによって、デバッグは有向グラフの枝刈り問題として位置づけることができた。

次に、著者は、抽象化された手順的デバッグ法を分散プログラムに適用する方法を示した。この方法は同期誤りを引き起こした部分プログラム群を特定することと特定された部分プログラムから更に誤りを含む文を特定することという二つの段階からなる。著者は、部分プログラム間に存在する時間的先行順序を用いて同期問題を定義し、同期誤りを引き起こした部分プログラムを特定するためのアルゴリズムを提示した。また、著者は、特定された部分プログラムから更に誤りを含む文を特定することについて、逐次プログラムに対する従来の手順的デバッグ法を若干拡張することによって実現できることを示した。

更に、著者は、実用的な観点から、誤りの存在範囲を効率良く絞り込むために利用できる発見的手法をいくつか挙げ、また、具体例を用いて、本研究で提案したデバッグ法の有効性を確認した。

最後に、著者は手順的デバッグ法を実際に実現する際に重要な技法となるプログラムスライスの計算法について新しいアルゴリズムを提案している。従来発表されたスライス計算アルゴリズムでは、プログラムが変更されることはないかと仮定している。プログラムの変更が頻繁になされるデバッグ環境においてこの仮定は不適切であ

ることを指摘し、プログラムに変更が加えられることを前提とした新しいスライス計算アルゴリズムを提案し、プログラムの変更が頻繁に行なわれるデバッグ環境においてその有効性を示した。

以上を要約すると、本研究では、分散処理システムの信頼性を向上させるために不可欠な分散プログラムデバッグ法を確立するために、逐次プログラムに対して提案され実用化されつつある手順的デバッグ法を分散プログラムに適用する方式を提案しその有効性を明らかにしたものであり、ソフトウェア工学に寄与するところが大きい。よって、本論文は博士(情報科学)の学位論文に値するものと認める。

氏名(本籍) 中川 豊 (新潟県)  
 学位記番号 シ情 博乙第18号(情報科学)  
 学位授与の日付 平成9年9月25日  
 学位論文題名 ソフトウェア信頼性評価モデルと  
 その適用に関する研究

論文調査委員

(主査) 九州大学 教授 牛島 和 夫  
 (副査) " " 程 京 徳  
 " " " 牧之内 顕 文

## 論文内容の要旨

近年、情報処理システムの企業や社会における役割はさらに大きくなり、信頼性の高いものが要求されている。一方、ソフトウェアの開発規模は、初期開発で1千万行前後も開発されるなど、一層の大規模化が進み、開発は困難度を増している。ソフトウェア開発における品質管理は、現状では、試験項目数と検出フォールト数の目標管理が主となっている。しかし、ソフトウェアの機能や構成、開発要員の構成やスキル等は、開発プロジェクトそれぞれで異なるため、目標値に到達したからといってシステムの信頼性を確保したとは言い難く、その判断は管理者の経験に依存している。品質管理指標である残存フォールト数の推定技術や信頼性を保証する総合試験技術の改良、開発は、今日なお続く重要なテーマである。

残存フォールト数の推定には、ソフトウェア信頼度成長モデル(SRGM)がよく使用されている。これまでのSRGM論では、モデルが形成する曲線と実際のフォールト累積曲線(これを信頼度成長曲線という)との一致性が追求されている。ところが、今日の主流であるウォーターフォールモデルに準拠したソフトウェア開発では、試験工程終盤のフォールト検出率(単位時間当たりのフォールト検出数)は本来より小さくなる。このため、SRGMによる残存フォールトの推定値は、実際より大幅に下回る場合がある。また、SRGMは指数形およびS字形から外

れた信頼度成長曲線の開発プロジェクトには適用し難いという側面もある。本論文は、残存フォールト数を推定する2つの信頼性評価モデルとそれらの適用法、および総合試験の最終段階で実施する高信頼化試験法に関する研究をまとめたもので、7章から成る。

第1章では、緒論として、今日の情報システム開発における技術上の問題点および本研究が必要とされる背景を述べ、これまでの発表論文の主張点を示し、本研究の新規性と位置付けを明らかにする。

第2章では、連結指数形SRGMについて述べる。実際の信頼度成長曲線と試験工程の分析から、成長曲線の基本特性は指数形であり、S字形はメインルートモジュールの先行統合によって形成されるという信頼度成長曲線形成に関する新しい物理的解釈を示す。この解釈から、小さい指数形と大きい指数形の信頼度成長曲線が連結する連結指数形SRGMを導出し、当該モデルの信頼度成長曲線は指数形やS字形を形成することを示す。

第3章では、連結指数形SRGMの適用法を述べる。現場での容易な利用を目的に、近似モデルとして指数形SRGMが利用できることを示す。さらに、試験工程終盤の本来のフォールト検出率より小さいフォールトデータを、ノイズデータとしてモデルの適用から外すアルゴリズムを示す。そして、実際のフォールトデータを用いて、当該モデルの適用法を示すと共に、統合試験工程終了時点の残存フォールト数の推定精度が、代表的なSRGMと比較して、2倍前後向上することを示す。

第4章では、フォールト検出難易度モデル(FDM)について述べる。検出難易度とはフォールトが生起する状態を現出する困難さのことである。実行条件依存性および処理多重度を分類軸として、検出難易度を3クラスに分類する基準と手順を示す。そして、試験初期は検出難易度の低いフォールトが大多数を占め、試験の進捗と共に検出難易度の高いフォールトの割合が大きくなるという物理的解釈に基づき、検出難易度の高いフォールトは低いフォールトより信頼性の評価比重が大きいと仮定して、評価直前に検出したフォールト $m$ 件から残存フォールト数を推定するFDMを導出する。そして、実際のフォールトデータを用いて、FDMの推定精度は代表的なSRGMより統合試験終了時点では7~9倍優れていることを示す。

第5章では、FDMの適用法について述べる。分析フォールト件数 $m$ を変数として残存フォールト数を二通り算出し、評価時点のフォールト検出特性から推定値を決定する実践的な適用法を示す。さらに、信頼性成長状況を図形表示する三角形のFDMチャートと、その使用方法を示す。

第6章では、大規模なシステムの高信頼化試験法について述べる。高信頼化試験は試験対象ソフトウェアの

信頼性向上と共に、サービス開始時間判断のための品質評価を目的とする。運用中に検出したフォールトの分析から、信頼性向上には多種多様な試験データの準備が必要であることを示す。また、最大トラヒックの長時間保持とセンタ・端末間交信時間の短縮によって試験時間を短縮するモデルを示す。そして、実際に運用しているシステムの端末入出力データを利用する総合試験システム(RASP)の機能と構成、および処理方式を示す。RASPを適用した総合試験では、それ以前のシステムの総合試験と比較して、試験時間で約1/3、要員稼働で約1/6、サービス開始後3ヶ月間の平均システムダウン間隔時間で約2倍となったことを示す。また、当該試験で検出したフォールトを検出難易度で分類し、RASP試験終了時の信頼性が安定運用中のシステムに近い水準にあることを示す。

第7章では、結論として、2章から6章までのまとめと連結指数形SRGM、フォールト検出難易度モデルおよび高信頼化試験法の今後の課題を述べる。

## 論文調査の要旨

情報化社会の高度化に伴って、ソフトウェアシステムは益々複雑になり、それらの規模も益々大きくなっている。複雑で大規模なソフトウェアシステムにおける障害の発生は、社会と自然に深刻な影響を与える可能性がある。その信頼性に対する要求も益々高まっている。しかし、複雑で大規模なソフトウェアは、その全体の要求定義、仕様、設計、試験項目と試験データを初めから形式的に規定することは極めて困難である。このようなソフトウェアを初めから完璧に作成することは不可能である。従って、ソフトウェア開発プロジェクトにおける品質管理は、複雑で大規模なソフトウェアシステムの信頼性を保証する不可欠な手段である。ソフトウェアにおける残存障害数を推定するソフトウェア信頼性評価モデルおよびそれらの適用法は、ソフトウェア開発の品質管理において開発現場で最もよく利用されてきた技法として、実際に稼働するソフトウェアシステムの信頼性を大きく左右する。しかし、ソフトウェア信頼性評価モデルはこれまでに数多く提案され研究されたにも関わらず、各モデルの基礎になっているソフトウェア開発に関する基本的な仮定の違いや、各モデルに固有の適用領域の違いや、各モデルの着眼点の違いなどによって、現在、普遍的に最良なソフトウェア信頼性評価モデルはまだない。

本研究は、ソフトウェアにおける残存障害数を推定する二つのソフトウェア信頼性評価モデルとそれらの適用法を新たに提案し、実際に開発されたソフトウェアの障害データを用いて提案モデルの推定精度を実証し有効性を示したものである。

まず、著者は、ソフトウェア信頼度成長曲線に関する従来の指数形説とS字形説に対して、大規模なソフトウェアシステムの実際の信頼度成長曲線と試験工程の分析から、ソフトウェア信頼度成長曲線の基本特性は指数形であり、S字形は試験の進め方によって形成されるという信頼度成長曲線の特性形成に関する新しい実際の解釈を与えた。更に、この解釈から、大規模なソフトウェアシステムの信頼度成長曲線は小さな指数形成長曲線とそれに続く大きな指数形成長曲線とが連結するという連結指数形ソフトウェア信頼度成長モデルを導出した。また、著者は、連結指数形ソフトウェア信頼度成長モデルの近似モデルとして指数形モデルが利用できることを示し、試験工程終盤の本来の障害検出率を過小評価させる障害データをモデルの適用から外すアルゴリズムも示し、提案モデルを現場で容易に利用する指針を与えた。更に、実際の障害データを用いて、提案モデルの適用法を示すと共に、統合試験終了時点の残存障害数の推定精度が、代表的なソフトウェア信頼度成長モデルより2倍程度向上することを示した。

次に、著者は、実行条件依存性および処理多重度を基準として、ソフトウェアにおける障害の検出難易度を三つのクラスに分類した。この分類に基づいて、試験初期は検出難易度の低い障害が大多数を占め、試験の進捗と共に検出難易度の高い障害の割合が大きくなるという実際の解釈を与えた。そして、検出難易度の高い障害は低い障害より信頼性の評価比重が大きいと仮定し、最新に検出された障害における検出難易度クラス別比率から残存障害数を推定するソフトウェア障害検出難易度モデルを導出した。更に、実際の障害データを用いて、提案モデルの推定精度は代表的なソフトウェア信頼度成長モデルより統合試験終了時点では7~9倍優れていることを示した。また、著者は、提案モデルの実践的な適用法や、信頼性成長状況の図形表示法も示した。

以上を要約すると、本研究は、複雑で大規模なソフトウェアシステムの信頼性を保証するソフトウェア開発品質管理技法を確立するために、ソフトウェアにおける残存障害数を推定する連結指数形ソフトウェア信頼度成長モデルおよびソフトウェア障害検出難易度モデルとそれらの適用法を新たに提案し、実際の障害データを用いてこれらの信頼性評価モデルの推定精度を実証し有効性を示したものであり、ソフトウェア工学に寄与するところが大きい。よって、本論文は博士(情報科学)の学位論文に値するものと認める。

氏名(本籍) 西岡志道(佐賀県)  
 学位記番号 シ情博乙第19号(工学)  
 学位授与の日付 平成9年9月25日

学位論文題名 擬1次元化合物 $KFeS_2$ の電気伝導に関する研究

論文調査委員

(主査) 九州大学 教授 黒木幸令  
 (副査) // // 吉田啓二  
 // // // 鶴島稔夫  
 // // // 本岡輝昭

## 論文内容の要旨

半導体デバイスプロセス技術の進歩により、Siメモリ素子や演算素子の高速化、高集積化などその充実ぶりはめざましい。一方センサや電池といったデバイスの性能は、材料自体の性質に大部分が支配されることから、高性能化のために新物質開発が必須である。近年、これらのデバイスへの材料として低次元物質が注目を集めつつある。例えば最近携帯電子機器用の電源としての需要が急増しつつあるリチウム二次電池には、正極材料、負極材料として、層状物質であるグラファイト、および遷移金属酸化物がそれぞれ用いられている。しかしこれらの物質は最適な材料というわけではなく、さらに高性能な材料が待望されている。しかしながら実際には、基礎的な物性の評価が遅れているために、デバイス設計に用いることのできる低次元電子材料が非常に少ないのが現状である。この状況はセンサに関しても同様であり、まず新規な低次元電子材料の基礎的な物性評価、ならびに低次元電子材料開発に関する指針の確立が求められている。

本研究の目的は、今後電子デバイスへの応用が進むと期待される無機低次元物質の電気物性の評価を行い、応用上の問題点を明らかにし、また無機低次元伝導材料の開発指針を得ることである。この目的のもとに、典型的な1次元構造をもつ化合物 $KFeS_2$ をとりあげ、電気的性質の評価を欠陥等の影響を含め詳細に行った研究結果をまとめたものが本論文であり、6章から構成されている。

第一章は序論で、研究の背景、目的ならびに本論文の各章の概要を述べた。

第二章では $KFeS_2$ の単結晶がもつ電気伝導性を明らかにした。まず、高伝導方向ならびにその垂直方向の直流抵抗率、および帯磁率の測定を行い、この物質の基礎的な物性の知見を与えた。直流抵抗率は非金属的な振る舞いを示すのに対して、帯磁率は金属的と、両者の測定結果が一見互いに矛盾することを述べている。さらに透過電子顕微鏡による観察により結晶の組織が不均一であることを指摘し、この3点から、 $KFeS_2$ は本質的には金属的性質をもつが、結晶内のnmスケールの構造の乱れにより、電気伝導は非金属的な振る舞いを示すことを結論づけた。次に高伝導方向の電気抵抗率を支配している電気伝導の機構を議論した。試料の伝導を担う1次元の電気伝導パスが、~10nm程度の金属的領域により構

成されていることを指摘し、金属的領域間のトンネル伝導機構が抵抗率を支配していることを明らかにしている。さらに、20Hz から 1 MHz における交流伝導率の周波数依存性の解析により、高伝導方向に垂直な方向においては、金属的領域間でのキャリアのホッピングが支配的な伝導機構であることを明らかにしている。

第三章においては、単結晶が、転位などの欠陥による伝導パス分断の影響を受けた場合に生じる異常な伝導現象について、実験および理論的な検討を行った。まず、アニール処理を行わない試料の電気抵抗率の温度依存性が、室温付近で大きなヒステリシスを含む異常な振る舞いを示すことを見いだしている。抵抗率異常の出現には吸熱信号が伴っており、また透過電子顕微鏡観察により転位の分布が観測される。この結果から、転位などによりセグメント状に分断された電気伝導パスが、室温より高温側では配向の乱れを生じており、これが冷却されることによりセグメント配向状態の凍結が起こり、さらに、昇温によって配向状態が熱平衡状態に緩和するという発現モデルを構築した。次に、セグメント配向状態の熱力学的考察から、電気抵抗率の理論的な表式を求め、発現モデルのシミュレーションによる検証を行った。最後に、この抵抗率異常は他の低次元伝導材料においても生じうる現象であり、実用上回避すべきであることを指摘している。

第四章では、前章までに述べた、 $\text{KFeS}_2$  の電気伝導の構造の乱れに対する感受性を緩和する目的で、S サイトの Se 置換を行った結晶を作成し、その有効性の検証を行った。まず、帯磁率および熱起電力の温度依存性の測定結果から、S サイトの Se 置換により金属的な電子構造が保持されることを確認した。次に直流電気伝導の評価を行い、抵抗率異常の抑圧と、電気伝導性の向上がともに可能になることを明らかにした。この実験結果を、置換に伴う格子パラメータの変化に基づいて議論し、電気伝導パスを構成する化学結合を強め、またパス間相互作用を導入するような元素置換が、伝導性の改善のために有効な手法であることを明らかにした。

第五章では、第二章から第四章を総括し、かつ無機低次元伝導材料開発の指針を与えている。まず低次元物質として、電気伝導が、構造の乱れによる擾乱を受けにくいことが重要であることを指摘し、そのためには、力学的にも安定な結晶構造をもつ物質を選択することが必要であることを述べている。さらに、電子機能材料としての応用のためには、元素置換などにより電気伝導パス同士の相互作用を適切に制御し、3次元性を導入することが重要であると結論づけている。

## 論文調査の要旨

機能性材料として、1次元方向または2次元面内に強

い結合を持つ低次元物質が数多く知られている。これらの物質の中には線状あるいは層状の原子団間がファンデルワールス力の弱い結合で結ばれ、線間あるいは層間にガス分子、金属原子、電解質が容易に出入りできるものがある。もし、それが強い結合内に良い電気伝導性を持っておれば、極めて比表面積の大きい電極として機能することから、低次元物質はガスセンサーや電池などの応用において非常に注目されている。特に無機の低次元物質は化学的、熱的安定性の面で優れていると期待されているが、結晶の作製や扱いが難しいことから、その電子物性は今まであまり検討されていない。

本論文は擬1次元構造を持つ無機の3元化合物  $\text{KFeS}_2$  に着目してその電子物性、特にその電気伝導機構について検討した結果をまとめたものである。

$\text{KFeS}_2$  は  $\text{FeS}_2$  四面体がc軸方向に線状に並び、その線間にKが配置された結晶構造を持つ擬1次元物質である。著者はまず  $\text{KFeS}_2$  の直流電気伝導度を測定し、室温でc軸方向にその垂直な方向と比較して約 $10^4$ 倍の高い伝導度を持っていることを確認した。しかし、抵抗が温度とともに減少する非金属的な振る舞いを示すのに対し、帯磁率は金属的な性質の一つの指標であるパウリ常磁性的な振る舞いを示すという矛盾した現象を見出した。これを説明するため、著者は、作製した針状結晶を透過電子顕微鏡を用いて観察し、c軸方向に10nm程度の粒子構造をしていることを確認した。また、粉末X線回折のロッキングカーブの半値幅からも単結晶部分のサイズが30nmと見積もった。次に、これらの事実を基に、著者は  $\text{KFeS}_2$  は結晶粒内では  $\text{FeS}_2$  四面体を通して1次元的に流れる金属的伝導を示し、一方、結晶粒間では温度上昇とともに有効バリア高さが低くなるトンネル現象によりc軸方向の伝導が支配されるというモデルを提案し、 $\text{KFeS}_2$  のパウリ常磁性的振る舞いと電気伝導の温度依存性の矛盾を説明できることを示した。さらに交流伝導度の測定からc軸に垂直な方向では金属的領域間のホッピング伝導によって支配されることを明らかにしている。

著者は次に、格子欠陥を多く含む  $\text{KFeS}_2$  試料が室温近傍で示す伝導度異常について検討している。まず実験により、温度上昇時にのみ室温付近で比抵抗が減少するヒステリシスを持つ振る舞いをし、この昇温時の抵抗減少は吸熱を伴うことを見出した。また、透過電子顕微鏡観察では成長直後の試料では結晶内応力に起因する等傾斜角干渉縞が多く見られるが、アニールした試料では顕著に干渉縞が減少し電子線回折では2倍の周期構造に起因する衛星反射を持つ構造変化を示すようになることを見出した。またアニール後には伝導度のヒステリシス異常も観測できなかった。以上のことから温度上昇により結晶欠陥部が切断し距離が広がることにより、c軸方向伝導機構がトンネル伝導からホッピング伝導に変化する

モデルを考え、その接合構造変化を熱力学的なモデルで表して、伝導度のヒステリシス特性を説明できること示している。

著者はさらに、 $KFeS_2$  の電気伝導の構造敏感性を減らす目的で S の一部を原子半径の大きな Se 置き換える実験を行い、Se 置換を多くすると、より伝導度が大きくなりその温度変化が減り、昇温時の伝導度異常も小さくなることを見出した。これは 1 次元伝導路に含まれるトンネル接合のコンダクタンスと  $FeS_{2x}Se_{2(1-x)}$  セグメント間のホッピング伝導のコンダクタンスを決める活性化エネルギーがともに減少するためであることを示している。

以上要するに、本研究は、擬 1 次元化合物  $KFeS_2$  の電気伝導機構について実験と理論の両面から検討を行い、電気伝導の異常な熱的振る舞いが 1 次元性結合の弱さ・構造不安定性に起因する本質的なものであり、元素置換により結合を強くすれば電気伝導度も安定化できるという機能性電子デバイス開発上の知見を得たもので電子材料物性工学上極めて価値ある業績である。よって本論文は博士(工学)の学位に値するものと認める。

氏名(本籍) 川本 洋 (東京都)  
 学位記番号 シ情 博乙第20号(工学)  
 学位授与の日付 平成9年12月3日  
 学位論文題名 大容量 MOS メモリの低消費電力化と高信頼度化に関する研究

#### 論文調査委員

(主査) 九州大学 教授 谷口 研二  
 (副査) " " 黒木 幸令  
 " " " 二宮 保

### 論文内容の要旨

近年、コンピュータ・通信・家電を中心とする電子機器の発展にはめざましいものがあるが、これを実現させるのに大きな原動力となったのが半導体の技術革新である。半導体製品の中でも、産業規模上も技術革新上でも中心的な存在である MOS メモリに於ては、製品開発上、開発技術そのものはもちろん、製品の用途や事業展開等に関する確かな展望を得る必要がある。すなわち MOS メモリ製品が電子機器に組み込まれた時にどのような性能・機能が要求されるかという市場からの要求と、製品を商品として販売して企業が利益を得られるかという経済性からの要求の収集・整理・考察が必要である。このような大前提の中で、MOS メモリ製品の開発者にとっては製品の性能・コスト・信頼度の諸面での確たる目標の設定と、その達成のための技術の提案、先行開発が重要となる。

MOS メモリが本格的に開発され始めた1975年当時、

その市場は大形汎用コンピュータ用の主記憶装置であったために、メモリの消費電力については余り低電力化の要求は無く、信頼度についても、コンピュータ本体に誤り訂正回路 ECC が付加されていたために、さほど高信頼度化は要求されなかった。これに対し当時から、1980年代を見通すことにより、将来の半導体特に MOS メモリの市場は、PC(Personal Computer)の普及に伴い PC・携帯電子機器にあることが予測され、そのため MOS メモリに要求される性能は、低消費電力・高信頼度が第一優先になると予想された。

本論文は、数世代にわたる MOS メモリ製品技術の開発の中で特に低消費電力化と高信頼度化に関する研究をまとめたもので、1)低消費電力化を実現させるための新しい MOS デバイス構造・CMOS 回路方式の提案と従来構造・方式との比較検討、新方式を用いた製品開発とこれによる有効性の確認 2)高信頼度化を実現するために、 $\alpha$ 線ソフトエラーを製品設計時に予測するためのシミュレーション技術、および不良が発生したときにこれを救済する不良救済技術について検討し、上記の製品開発上、製品開発者が持つべき展望とともに論じたものであり、全体は7章から構成されている。

第1章は序論で、本研究の背景、目的ならびに本論文の概要を述べた。

第2章では、1Tr メモリセル(Tr:トランジスタ)で構成される MOS メモリの低消費電力・安定動作という観点から最適な製品構造・方式について、NMOS, CMOS のデバイス構造・回路方式等を総合的に比較検討した。この結果新たに提案した n 形ウエルの CMOS タイプで基板バイアスを印加した構造(n ウェル CMOS V<sub>bb</sub> 構造)と電源電圧 V<sub>cc</sub> の半分の電圧にプリチャージする回路方式の組み合わせがメモリの低消費電力・動作の安定性の面から最適であることを示した。

第3章では、上記のデバイス・回路技術とアドレス変化検知回路を組み合わせることにより、1Tr メモリセルでは従来不可能と見られていた“アクセス時間=サイクル時間”の関係が実現できることを示すと共に、従来 LSI 外部から行っていたリフレッシュ(情報再書込み)を LSI 内部で自ら行うセルフリフレッシュ機能を持たせた、SRAM と同等の機能と低消費電力特性を併せ持つ、新しいコンセプトの PSRAM(Pseudo SRAM)の提案と、その設計・評価による実証について述べた。

第4章では、上記の n ウェル CMOS V<sub>bb</sub> 方式の詳細な検討とこれを適用した DRAM の開発について論じた。すなわち、DRAM に CMOS 回路方式を用いた、新しい機能のスタックカラム(カラム系をスタックに動作)を提案した。これによりカラム系のプリチャージが不要となるため、従来 NMOS 回路方式に比べて1.9倍の高ビットレートが得られた。また、待機時の低消費電力を

実現させる新方式の2系統基板バイアス回路方式、および高速動作で問題となるLSI内部雑音に対する設計指針等の検討を行った。これらの技術を採用した1MビットCMOS DRAMの設計・評価を行い、その有効性を明らかにした。

第5章では、MOSメモリの信頼度向上、特に1970年代後半から注目され始めた $\alpha$ 線ソフトエラーのメカニズムと、対策の基本となるシミュレーションによる信頼度の予測精度向上について論じている。ソフトエラーの基本的メカニズムを基に総合的な検討を加えた結果、 $\alpha$ 線以外の自然放射線によるメモリのソフトエラーの可能性が無視できるほど少なく、大部分が $\alpha$ 線によるものであることを結論付けている。またそのシミュレーション手法としてデバイスモデルによる詳細解析と簡素化モデルによる立体的解析の組み合わせを検討し、これらを種々のメモリ製品に適用した結果に基づいて、 $\alpha$ 線ソフトエラーが予測可能であることを示した。一方、種々の強制照射実験を行い、その実測値とシミュレーション値との比較検討により、高精度シミュレーションを可能とした。

第6章では、MOSメモリの量産初期歩留まりや信頼度と関連する製品・技術の開発について論じた。まずMOSメモリの経済的側面から、企業としての生産をいかに立ち上げていくべきかを論じ、生産初期に高い歩留まりを得るのが最も効果的であることを示した。量産初期の新設工場ではウェハ上の欠陥が多く歩留まりが低迷してしまう。この歩留まりを向上させる技術として冗長方式不良救済回路が極めて効果的であることはよく知られているが、ここでは計算値と実際の歩留まりとの比較を行ない、最適冗長本数を求める新しい計算式を提案して、その効果を定量的に示した。冗長方式についてはヒューズ方式と誤り訂正符号(ECC)回路内蔵方式の二種についての検討を行い、それぞれをMOSメモリ製品に適用する上での問題点と解決策について論じ、ヒューズ方式はRAM製品に、ECC内蔵方式はROM製品に最適であるとの結論を得た。

第7章では、本研究の総括とともに、今後の課題と展望についても述べた。

## 論文調査の要旨

代表的な半導メモリであるDRAMは、集積度が高くビット当たりコストが低いことから、当初大形コンピュータのメインメモリとして採用されたが、半導体技術の進歩に伴う高集積化やパソコンへの搭載の本格化とともに、その低消費電力化が問題となり、従来のNMOSに代わりCMOSが注目された。一方、高集積化とともに製造時の歩留まりの低下が問題となり、製造時のテスト結果に基づいて不良救済を可能とするために冗長回路をLSIに組み込むことが提案された。また、パッケージや配

線材料に含まれるトリウム等から放射される $\alpha$ 線によるメモリのソフトエラー現象が見いだされ、その対策が急務となった。一方、メモリの中でもROMに対しては冗長回路を設ける方法は適用できず、その対策が求められていた。

本論文は、著者が行ってきた数世代にわたるMOSメモリの開発の中で、特に低消費電力化と高信頼度化に関する研究をまとめたもので、1)低消費電力化を実現するための新しいMOSデバイス構造・CMOS回路方式の提案、これを用いた新しいコンセプトのメモリの提案と有効性の確認、2)高信頼度化を実現するために、 $\alpha$ 線ソフトエラーを製品設計時に予測するためのシミュレーション技術の開発、3)不良が発生したときにこれを救済する不良救済技術の確立、を行ったもので、以下の点で評価できる。

第一に、単一トランジスタ形メモリセルで構成されるMOSメモリについて、低電力・安定動作という観点からNMOSやCMOSのデバイス構造・回路方式を総合的に比較検討し、従来と違ってp形基板を用いてかつこれに逆バイアス(V<sub>bb</sub>)をかけ、この部分にメモリセルを設け、かつメモリ周辺回路部を基板内のnウェル内に設ける構造(nウェル-CMOS, V<sub>bb</sub>構造)と、ビット線を従来の電源電圧V<sub>cc</sub>の1/2にプリチャージする回路方式を組み合わせることを提案している。また、本技術とATD(アドレス変化検知)回路を組み合わせることにより、単一トランジスタ形メモリセルを用いたメモリでは従来実現されていなかった、サイクル時間をアクセス時間に等しくできることを示すとともに、従来、LSI外部から行っていたリフレッシュ(情報再書込み)をLSI内部で自ら行う、セルフリフレッシュ機能を持たせた新しいコンセプトのPSRAM(疑似スタティックRAM)を提案し、その設計・評価を行ってこれらの有効性を明らかにしている。また、上記の構造、回路方式を用いた、高速・低消費電力のPSRAMやスタティックカラム機能付きのCMOS DRAMを開発している。

第二に、MOSメモリの信頼度向上、特に $\alpha$ 線ソフトエラーのメカニズムと対策の基本となるシミュレーション法並びに信頼度の予測について論じ、特にシミュレーション手法としてデバイスモデルによる詳細解析と簡素化モデルによる立体的解析の組み合わせによる実用化技術を確立している。また、強制照射実験における実測値と比較検討し、メモリ製品の $\alpha$ 線ソフトエラー予測が可能であることを示している。

第三に、MOSメモリの量産初期における歩留まりと製品・技術との関係について論じ、生産初期に高い歩留まりを得ることの重要性を示している。この歩留まりを向上させる技術としてヒューズ方式の冗長回路不良救済技術が効果的であることはすでに知られていたが、著者

は実際の歩留まりとの比較, これに基づいた最適冗長本数の定量化を行い, 設計の指針を明らかにしている. 冗長回路の他の方式である, 誤り符号訂正回路内蔵方式についても検討を行い, これを集積した ROM 製品の開発に成功している.

以上要するに, 本研究は大容量 MOS メモリ的高速性を維持しながら低消費電力化を図る上で基本となる

CMOS デバイス構造と回路方式, およびこれらを用いた新コンセプトのメモリを提案して有効性を確認するとともに,  $\alpha$  線ソフトエラーの予測や不良の救済等の高信頼度化を実現するための技術を確立し, これらの技術の実用化に成功したもので, 電子デバイス工学上寄与するところが大きい. よって本論文は博士(工学)の学位論文に値するものと認める.

