

## SER評価のための論理回路におけるパルスの伝搬解析

原田, 翔次  
九州大学大学院システム情報科学府

赤峰, 悠介  
九州大学大学院システム情報科学府

吉村, 正義  
九州大学大学院システム情報科学研究院

松永, 裕介  
九州大学大学院システム情報科学研究院

<https://hdl.handle.net/2324/16076>

---

出版情報 : 電子情報通信学会技術研究報告. DC. 109 (12), pp.49-54, 2009-04. 電子情報通信学会  
バージョン :  
権利関係 :

## SER 評価のための論理回路におけるパルスの伝搬解析

原田 翔次<sup>†</sup> 赤峰 悠介<sup>†</sup> 吉村 正義<sup>††</sup> 松永 裕介<sup>††</sup>

<sup>†</sup> 九州大学大学院システム情報科学府 〒 819-0395 福岡県福岡市西区元岡 744

<sup>††</sup> 九州大学大学院システム情報科学研究院 〒 819-0395 福岡県福岡市西区元岡 744

E-mail: †{s-harada,akamine,yosimura,matsunaga}@c.csce.kyushu-u.ac.jp

あらまし 近年のトランジスタの微細化に伴い、ソフトエラーは増加する傾向にある。論理回路において、論理ゲートの出力にパルスが発生し、外部出力に伝搬、または記憶素子に伝搬かつ記憶されると回路の挙動に影響を与える可能性がある。ソフトエラー耐性を考慮した回路設計においては、回路が所望のソフトエラー耐性を持つか調べなければならない。評価指標として一般的にSER(Soft Error Rate) が用いられ、SER を計算するためには、パルス発生確率と、発生したパルスが外部出力に伝搬、または記憶素子に伝搬かつ記憶される確率が必要となる。後者の確率は、パルスの伝搬解析を行うことで求める。パルスの伝搬解析においては、パルス伝搬阻害要因、PT(Pulse Transformation) を考慮する必要がある。現在、様々な SER 計算手法が提案されているが、多くの既存手法がパルスの伝搬解析において PT の考慮を行っておらず、またその妥当性について十分な考察がされていない。本稿では、パルスの伝搬解析において、PT の考慮の有無が SER 計算精度にどの程度影響するか評価を行う。

キーワード ソフトエラー、論理回路、タイミングシミュレーション

## Pulse Propagation Analysis for SER Estimation of Logic Circuits.

Shoji HARADA<sup>†</sup>, Yusuke AKAMINE<sup>†</sup>, Masayoshi YOSHIMURA<sup>††</sup>, and Yusuke MATSUNAGA<sup>††</sup>

<sup>†</sup> Graduate School of Information Science and Electrical Engineering, Kyushu University Motooka 744,  
Nishi-ku, Fukuoka, 819-0395 Japan

<sup>††</sup> Faculty of Information Science and Electrical Engineering, Kyushu University Motooka 744, Nishi-ku,  
Fukuoka, 819-0395 Japan

E-mail: †{s-harada,akamine,yosimura,matsunaga}@c.csce.kyushu-u.ac.jp

**Abstract** As a transistor feature size scales down in recent years, soft error tends to increase. In logic circuits, a pulse generated at the output of a gate will cause an error if it propagates to a primary output or is latched into a memory element. When circuit designers consider a soft error tolerance in circuit design, they must examine whether the circuit has desirable soft error tolerance. Generally, Soft error rate(SER) is used as an index of such purpose. Computing SER needs pulse generation probability and pulse propagation probability. The latter is computed with pulse propagation analysis. It needs to consider maskings which block pulse propagation and Pulse Transformation(PT). Currently, most past methods do not consider PT in pulse propagation analysis and the methods sufficiently is considered the validity. In this paper, We estimate an impact of considering PT or not in pulse propagation analysis against SER computation accuracy.

**Key words** soft error , logic circuit , timing simulation

### 1. はじめに

LSI(Large Scale Integrated circuit) の微細化が進展することで搭載可能なトランジスタ数は増加し、LSI の性能・機能は向

上してきた。しかし、微細化の進展はソフトエラー増加による信頼性の低下という問題を引き起こしている。ソフトエラーとは、トランジスタの拡散領域へ宇宙線に含まれる中性子等が衝突し、その際に発生した電荷によって起こる回路の一時的な誤

動作のことである。メモリ回路においては、低コストで信頼性の高い回路の設計可能な対策が提案されている。論理回路において、低コストで信頼性の高い回路の設計可能な対策が提案されていない。高信頼性を実現できる対策として、TMR(Triple Modular Redundant) [6] が提案されている。TMR は、回路を三重化し、三重化した回路の出力を多数決で決定する対策である。しかし、面積が約 3 倍になり、オーバーヘッドが大きい。今後のさらなる微細化により、信頼性のためにかけることのできるコストが限られている分野においては、ソフトエラー問題が顕在化する可能性がある。

論理回路におけるソフトエラーは、回路中の論理ゲートの出力に論理値を一時的に反転させてしまうパルスが発生することである。発生したパルスが外部出力 (Primary Output, PO) に伝搬する、または記憶素子に伝搬かつ記憶されると回路のエラーとなる可能性がある。

信頼性の高い論理回路を設計するために、設計した回路のソフトエラー耐性の評価を行う必要がある。ソフトエラー耐性の評価指標として一般的に SER(Soft Error Rate) が用いられる。SER とは、ソフトエラーが発生し、回路のエラーとなる確率である。本稿では、回路のエラーを、発生したパルスが回路の PO に伝搬、または記憶素子に伝搬かつ記憶されることと定義する。SER を計算するためには、パルス発生確率と、発生したパルスが PO に伝搬、または記憶素子に伝搬かつ記憶される確率が必要となる。本稿では、後者の確率について考える。

後者の確率は、パルスの伝搬解析を行うことで求める。パルスの伝搬解析とは、PO、記憶素子に発生したパルスが伝搬するか、また伝搬する場合にはどのようなパルスがいつ伝搬するかを調べ、確率を求めることである。パルスの伝搬解析においては、パルス伝搬阻害要因を考慮する必要がある。3つのパルス伝搬阻害要因とは、logic masking, electrical masking, latch-window masking [5] である。パルス伝搬阻害要因により、発生したパルスの伝搬、記憶が阻害される。さらに PT(Pulse Transformation) を考慮する必要がある。PT とは、出力側へパルスが伝搬していく際に、パルス幅が増減することである。PT はゲートの遅延、再収斂パスの影響により起こる。

厳密に SER を求めるためには、パルス伝搬阻害要因、PT を考慮する必要がある。しかし、効率的に精度の高いパルスの伝搬解析を行うことは容易ではない。なぜなら、パルス伝搬阻害要因が回路の構成、各ゲートの遅延、入力パターン、発生するパルスの幅に依存するためである。現在、SER 計算手法として、FASER [1], MARS-C [2], AnSER の改良版 [3], SERA [4] が提案されている。本稿では、提案されている既存手法において、後者の確率を求める方法に着目する。これらの既存手法では、PT の計算が正確に行われておらず、また、その妥当性について十分な考察がなされていない。したがって、PT の考慮の有無による SER の計算精度への影響がどの程度か評価を行う必要がある。

本稿では、PT の考慮の有無による SER 計算精度への影響を評価するため、PT を考慮した厳密な SER 計算手法を考え、そして、評価を行った。実験結果より、PT の考慮の有無が SER

計算精度に影響を与えることが確認できた。また、ゲート遅延による PT の影響が大きいと思われるベンチマークと、再収斂パスによる PT の影響が大きいと思われるベンチマークが異なる。したがって、すべての回路において、精度の高い SER 計算をするためには、PT をどちらも考慮する必要がある。

本稿の構成は以下の通りである。まず、第 2 節でソフトエラーの伝搬メカニズムについて述べ、第 3 節で既存研究について述べる。第 4 節では、PT を考慮した厳密な SER の計算について説明し、第 5 節で評価実験について述べる。第 6 節で本稿をまとめる。

## 2. ソフトエラー伝搬メカニズム

論理回路のソフトエラーとは、論理ゲートの出力に論理値を一時的に反転させてしまうパルスが発生することである。論理ゲートの出力で発生したパルスは、各ゲートの遅延の影響を受け、出力側へ伝搬していく。発生したパルスが PO に伝搬、また記憶素子に伝搬かつ記憶されると回路のエラーとなる可能性がある。ここで、記憶素子にパルスが記憶されるとは、記憶素子に伝搬したパルスによって、記憶素子に誤った値が取り込まれる、または記憶素子の動作が保証されなくなることである。

### 2.1 パルス伝搬阻害要因

発生したパルスは、すべて PO に伝搬、または記憶素子に伝搬かつ記憶されるわけではなく、3つのパルス伝搬阻害要因により伝搬、記憶が阻害される。3つのパルス伝搬阻害要因とは、logic masking, electrical masking, latch-window masking である。以下で3つの masking について説明する。

- logic masking は、論理的にパルスの伝搬が阻害されることである。logic masking の発生は、ゲートの論理、ゲートの他の入力値に依存する。
- electrical masking は、回路の電気的性質によって、論理ゲートの出力でパルスが閾値電圧より十分に減衰することである。electrical masking によるパルスの減衰は、ゲート遅延とパルス幅に依存する。ゲート遅延に対してパルス幅が十分に大きいのであれば、パルスの減衰は起こらない。ゲート遅延に対するパルス幅の割合が小さくなるにつれ、パルスの減衰しやすくなる。
- latch-window masking は、記憶素子にパルスが伝搬するタイミング、パルスの幅によって、記憶素子へのパルスの記憶が阻害されることである。latch-window masking は、記憶素子のセットアップ・ホールド時間、パルスの伝搬するタイミング、またパルス幅に依存する。

### 2.2 Pulse Transformation

PT(Pulse Transformation) とは、パルスが出力側に伝搬していく際に、パルス幅が増減することである。PT は、ゲート遅延、再収斂パスの影響により起こる。以下で、ゲート遅延による PT、再収斂パスによる PT について述べる。

#### 2.2.1 ゲート遅延による PT

ゲートの遅延はどの入力電圧の遷移が生じるかによって異なる。また、ゲートの出力での電位の立ち上がり、立ち下がりによっても遅延は異なる。ゲート遅延による PT は立ち上がり、

立ち下がりによる遅延の違いによって起こる．図 1 にインバータのゲート遅延による PT を示す．

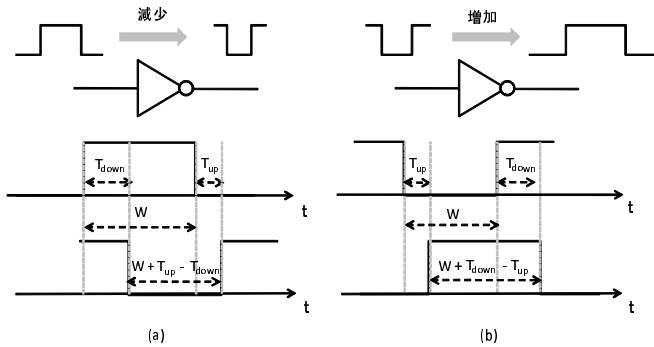


図 1 インバータにおけるゲート遅延による PT

図 1 では，インバータの出力で電圧が立ち上がる場合の遅延を  $T_{up}$ ，立ち下がる場合を  $T_{down}$  とし， $T_{up} < T_{down}$  であるとする．そして，入力に幅  $w$  のパルスが伝搬したとする．図 1 の (a) はインバータの論理値が 0 の場合を示している．この場合，出力に幅  $w + T_{up} - T_{down}$  のパルスが現れ，パルス幅が減少する．また，図 1 の (b) は論理値が 1 の場合を示している．この場合は，パルス幅が増加する． $w + T_{up} - T_{down} < 0$  である場合は，パルスは出力には現れず，パルスの伝搬が阻害される．

### 2.2.2 再収斂パスによる PT

回路中の再収斂パスの影響により，ゲートの複数入力にパルスが伝搬することがある．その際に PT が生じる．具体的に，2 入力 AND ゲート，2 入力 OR ゲートにおける再収斂パスによる PT について説明する．ここでは，簡単化のためゲート遅延の違いはないものと仮定し，遅延を  $T_{delay}$  とする．ゲートの 2 つの入力を  $a, b$  とし， $a, b$  の正常値は共に 0 であるとする．値を 0 から 1 に反転させる幅  $w$  のパルスが  $a$  に時刻  $t_a$ ， $b$  に時刻  $t_b$  に伝搬するとする．ここで， $t_a < t_b$  であるとする．このとき， $w > t_b - t_a$ ， $w < t_b - t_a$  の 2 つの場合に分けられる．

2 入力 AND ゲートにおいて， $w > t_b - t_a$  の場合を図 2 の (a) に示す．この場合，出力には幅  $t_a + w - t_b$  のパルスが現れ，パルス幅が減少する．次に， $w < t_b - t_a$  の場合を図 2 の (b) に示す．この場合，出力にはパルスは現れず，伝搬してきたパルスは logic masking により伝搬が阻害される．

2 入力 OR ゲートにおいて， $w > t_b - t_a$  の場合は図 3 の (a) のように，出力には幅  $t_b + w - t_a$  のパルスが現れ，パルス幅が増加する． $w < t_b - t_a$  の場合には，図 3 の (b) のように出力には幅  $w$  のパルスが 2 つ現れる．

### 2.2.3 PT がパルス伝搬阻害要因に与える影響

ゲート遅延，再収斂パスによる PT により，パルス幅の増減が生じた場合には，electrical masking, latch-window masking に影響を与える．図 2 の (a) のように，PT によりゲートの出力に幅の短いパルスが現れると，そのパルスは出力先のゲートを通ることで減衰し，electrical masking が起こる可能性がある．また，PT によって，パルス幅の減少した場合には，パルスが出力に伝搬すると，latch-window masking が起こる可能

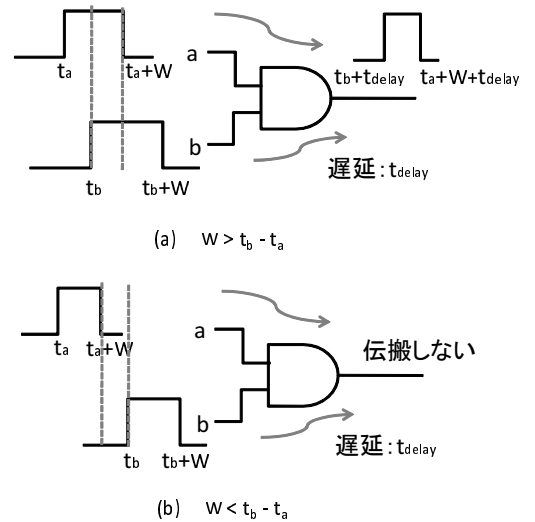


図 2 2 入力 AND ゲートにおける再収斂パスによる PT

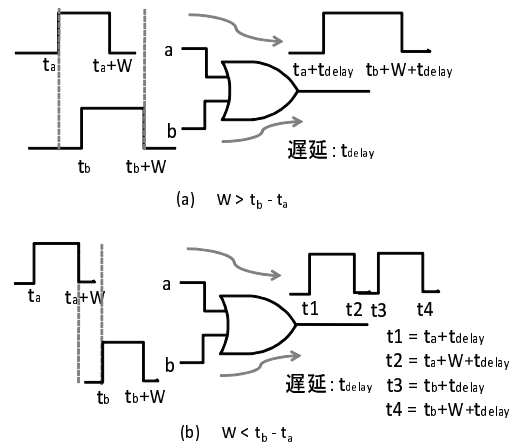


図 3 2 入力 OR ゲートにおける再収斂パスによる PT

性が向上する．逆に，PT によって，パルス幅が増加した場合には，electrical masking, latch-window masking が起こる可能性が低くなる．以上のように，PT によってパルス伝搬阻害要因は影響を受ける．

## 3. 既存研究

現在，SER 計算手法として，FASER [1]，MARS-C [2]，AnSER の改良版 [3]，SERA [4] が提案されている．

パルスの伝搬解析において，FASER，MARS-C は，再収斂パスによる PT を考慮しているが，ゲート遅延による PT を考慮していない．AnSER の改良版，SERA では，再収斂パスによる PT，ゲート遅延による PT のどちらも考慮していない．

SER の計算においては，FASER，MARS-C，SERA は，SER を過大に計算してしまう可能性がある．なぜならば，SER を各出力における SER の和により求めているからである．発生したパルスにより複数の出力でエラーとなることがある．よって，各出力でエラーとなる事象は排他的でない．そのため，各出力における SER の和をとることで，SER を過大に計算してしまう可能性がある．

計算量に関して， $K, N, N_{PT}$  をそれぞれ，与える入力パ

ターン数, 対象回路のゲート数, 対象回路の入力数とすると, FASER, MARS-C は  $O(N2^{N_{PI}})$  である. AnSER の改良版は  $O(KN)$ , SERA は  $O(KN^2)$  である. 表 1 に既存研究についてまとめたものを示す.

表 1 既存研究のまとめ

|             | FASER            | MARS-C           | AnSER 改 | SERA      |
|-------------|------------------|------------------|---------|-----------|
| ゲート遅延による PT | 無視               | 無視               | 無視      | 無視        |
| 再収斂パスによる PT | 考慮               | 考慮               | 近似      | 無視        |
| SER の計算     | 出力毎              | 出力毎              | 全出力     | 出力毎       |
| 計算量         | $O(N2^{N_{PI}})$ | $O(N2^{N_{PI}})$ | $O(KN)$ | $O(KN^2)$ |

#### 4. 厳密な SER 計算手法

前節で既存研究の問題点を示し, 多くの既存研究では, 正確に PT の計算を行っていないこと説明した. したがって, 本稿では, PT の考慮の有無による SER 計算精度への影響を評価する. 本節では, そのために必要となる PT を考慮した厳密な SER の計算手法について説明する.

##### 4.1 厳密な SER

厳密な SER を, 式 (1) に示す.

$$SER = \frac{1}{|K|} \sum_{w \in W} \sum_{g \in G} \sum_{k \in K} P_{occur}(g, w) \times P_{latch}(g, w, k) \quad (1)$$

$K$  は入力パターンの集合,  $W$  は発生するパルスの幅の集合,  $G$  は回路中のゲートの集合である.  $P_{occur}(g, w)$  は幅  $w$  のパルスがゲート  $g$  で発生する確率である.  $P_{latch}(g, w, k)$  は入力パターン  $k$  に対して, ゲート  $g$  で発生した幅  $w$  のパルスによって, いずれかの出力でエラーとなる確率である.  $P_{occur}(g, w)$  は与えられるものとし,  $P_{latch}(g, w, k)$  はパルスの伝搬解析によって求める.

パルスの伝搬解析は, ゲート遅延, 再収斂パスによる PT を考慮し, 各出力に伝搬するパルスの幅, タイミングを計算する. ここで, 例として, 図 4 のように, 記憶素子  $F1$  に幅  $w_1$ ,  $F2$  に幅  $w_2, w_3$  のパルスが異なるタイミングで伝搬した場合について考える.

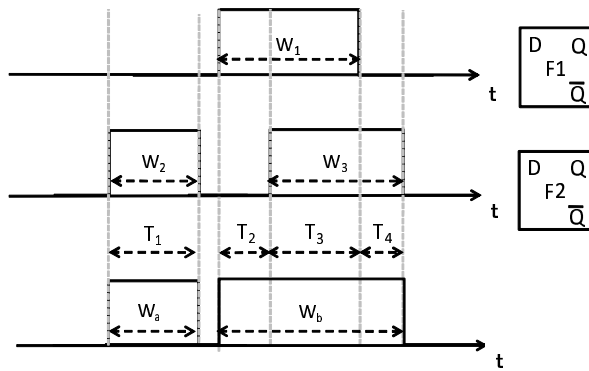


図 4 複数の出力にパルスが伝搬した場合

記憶素子の  $T_{setup}$  の開始時刻から  $T_{hold}$  の終了時刻までの期間を  $T_{latch}$  とすると, 図 4 の期間  $T_1$  または  $T_4$  が  $T_{latch}$  に存在

すると,  $F2$  にパルスが記憶される.  $T_2$  が  $T_{latch}$  に存在すると,  $F1$  にパルスが記憶される.  $T_3$  が  $T_{latch}$  に存在すると,  $F1$  と  $F2$  にパルスが記憶される. つまり, 図 4 の例において, いずれかの記憶素子にパルスが記憶される確率は, ある 1 つの記憶素子に幅  $w_2$  と  $w_b$  のパルスが伝搬した場合に, そのパルスが記憶される確率とみなすことができる. ここで,  $w_b$  は, オーバーラップしている幅  $w_1, w_3$  のパルスを結合し, 1 つのパルスとした場合のパルスの幅である.

ここで, パルスを  $(t_s, t_e)$  とする.  $t_s, t_e$  はパルスの到達時刻, 終了時刻を表す. 入力パターン  $k$  において, ゲート  $g$  で幅  $w$  のパルスが発生した場合, 出力に伝搬するパルスの集合を  $V_{prop}(g, w, k)$  とし,  $V_{prop}(g, w, k)$  に含まれるパルスのうち, オーバーラップしているパルスを結合させた場合のパルスの集合を  $V_{merge}(g, w, k)$  とする. 厳密に  $P_{latch}(g, w, k)$  を計算するため,  $s_{g,w,k}$  を式 (2) のように求め,  $P_{latch}(g, w, k)$  を式 (3) で求める.

$$s_{g,w,k} = \sum_{(t_e, t_s) \in V_{merge}(g, w, k)} t_e - t_s \quad (2)$$

$$P_{latch}(g, w, k) = \begin{cases} 0, & (s_{g,w,k} = 0) \\ \frac{s_{g,w,k} + t_{setup} + t_{hold}}{C_{clk}}, & (s_{g,w,k} < C_{clk} - t_{setup} - t_{hold}) \\ 1, & (s_{g,w,k} \geq C_{clk} - t_{setup} - t_{hold}) \end{cases} \quad (3)$$

厳密な SER を求めるためには, 以上のように, 求める必要がある.

##### 4.2 PT を考慮したパルスの伝搬解析手法の概要

PT を考慮したパルスの伝搬解析手法として, タイミングシミュレーションに基づく手法を用いる. タイミングシミュレーションに基づく手法は, あるゲートでパルスが発生したと仮定し, そのパルスが各ゲートに伝搬していくタイミング, masking を考慮しながら, パルスの伝搬解析を行う. タイミングシミュレーションに基づく手法の手順は以下に示す.

手順 1 対象とする回路に入力パターンを与え, 論理シミュレーションを行い, 各ゲートの出力値を計算する.

手順 2 故障ゲートにパルス幅  $w$  を与え, 故障ゲートの出力に幅  $w$  のパルスが時刻 0 で生じるものとする. 故障ゲートとは, パルスが発生すると仮定するゲートのことである.

手順 3 発生させたパルスに対し, パルスの伝搬解析を行う. 解析時には, 各ゲートの遅延によりパルスがゲートに伝搬するタイミングを計算する. 各ゲートの遅延は与えられるものとする.

手順 4 手順 2, 3 の処理をすべてのゲートに対して行う.

手順 5 手順 1 から 4 を複数の入力パターンに対して行う.

手順 6 手順 1 から 5 を複数のパルス幅に対して行う.

タイミングシミュレーションに基づく手法は, 与えられた入力パターンに対して, 正確なパルスの伝搬解析を行うことができる. 対象回路のゲート数を  $N$ , 与える入力パターン数を  $K$  と

すると、計算量は  $O(KN^2)$  である。したがって、この手法は処理時間が非常に大きいため、SER 計算手法としては適していない。

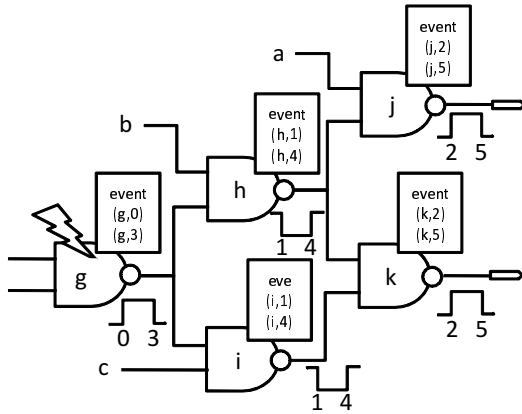


図 5 パルスの伝搬解析における対象回路

タイミングシミュレーションに基づく手法の手順 3 におけるパルスの伝搬解析アルゴリズムについて、具体的に説明する。図 5 のような回路を例とする。ここで、説明の簡単化のため、各ゲートの遅延は一律に 1 とし、ゲートの立ち上がり、立ち下がり遅延は等しいものとする。ゲートの出力で電位の立ち上がり、または立ち下がりが起こることをイベントと定義し、時刻  $t$  におけるゲート  $g$  でのイベントを  $(g, t)$  と表記する。要素がイベントから成るリストを  $L_{eve}$  とする。 $L_{eve}$  はイベントの時刻  $t$  でソートされる。また、PO のファンインゲートの出力で起こるイベントの集合を  $V_{fin}$  とする。図 5 において、ゲート  $g$  の論理値が 0、入力  $a, b, c$  の論理値が 1 であるとする。このとき、ゲート  $h, i$  の出力値は 1、 $j, k$  の出力値は 0 である。ゲート  $g$  で幅 3 のパルスが時刻 0 で発生した場合のパルスの伝搬解析手順を以下に示す。まず、故障ゲート  $g$  において時刻 0 で幅 3 のパルスが発生するので、 $L_{eve}$  に  $(g, 0), (g, 3)$  を加える。このとき  $L_{eve}$  は以下である。

$$L_{eve} = \{(g, 0), (g, 3)\}$$

次に、 $L_{eve}$  の要素のうち、時刻の一番小さいイベントである  $(g, 0)$  を取り出す。イベント  $(g, 0)$  により、 $g$  のファンアウトゲートである  $h, i$  で  $h, i$  の遅延は 1 であるので、 $(g, 0)$  により発生するイベントは  $(h, 1), (i, 1)$  である。これらを  $L_{eve}$  に加える。このとき  $L_{eve}$  は以下になる。

$$L_{eve} = \{(h, 1), (i, 1), (g, 3)\}$$

そして、 $L_{eve}$  の要素のうち、時刻の一番小さいイベントである  $(h, 1), (i, 1)$  を取り出す。イベント  $(h, 1), (i, 1)$  が発生すると、 $h, i$  のファンアウトゲートである  $j, k$  の出力でイベント  $(j, 2), (k, 2)$  が発生する。これらを  $L_{eve}$  に加える。このように、 $L_{eve}$  の要素のうち、時刻の一番小さいイベントから取り出していく。ただし、PO のファンインゲートの出力で発生するイベントは  $L_{eve}$  に加えず、 $V_{fin}$  に加えるものとする。解析終了条件は、 $L_{eve}$  に含まれる要素が空になることである。最終的に、

$V_{fin}$  に含まれる要素は以下ようになる。

$$V_{fin} = \{(j, 2), (k, 2), (j, 5), (k, 5)\}$$

## 5. 評価実験

### 5.1 実験の概要

PT の考慮の有無による SER 計算精度への影響がどの程度か調査するため、以下の 4 つのパルスの伝搬解析法により、SER を求め、比較する。

EX ゲート遅延、再収斂パスによる PT を考慮した手法

RC 再収斂パスによる PT のみ考慮した手法

DE ゲート遅延による PT のみ考慮した手法

BS PT を考慮していない手法

SER を式 (1), (2), (3) により求める。本実験では、各ゲートで幅  $w$  のパルスが発生する確率は一律であるとし、 $T_{setup}, T_{hold}$  は、発生するパルスに対し、十分に小さいものとする。4 章で説明したパルスの伝搬解析は、与えられた入力パターンに対し、正確なパルスの伝搬解析を行うことができる。よって、精度の評価は、EX で求めた SER を理想的な値とし、比較することで行う。

実験は、MCNC ベンチマーク、ITC'99 ベンチマークを対象とし、入力として、ランダムサンプリングの入力パターンを 2000 通り、発生するパルスの幅を 30, 60, 90, 120ps の 4 通り与えた。本実験における各セル遅延は、65nmPTM トランジスタモデルを用い、HSPICE により求めたものである。幅 30, 60, 90, 120ps のパルスがゲートで発生する確率の相対値を表 1 に示す。表 2 の相対値は、幅 120ps のパルスがゲートで発生する確率を 1 とした場合のものである。

表 2 パルス発生確率の相対値

| パルス幅 (ps) | 30   | 60   | 90   | 120 |
|-----------|------|------|------|-----|
| 発生確率の相対値  | 9.53 | 11.8 | 4.93 | 1   |

本実験において、PT による SER 計算精度への影響を評価するためのパルスの伝搬解析手法について説明する。

EX は、4 章で述べたタイミングシミュレーションに基づく手法におけるパルスの伝搬解析法である。この手法は、ゲート遅延による PT、再収斂パスによる PT を考慮し、パルスの伝搬解析を行うものである。

RC は、EX のパルスの伝搬解析法において、ゲート遅延による PT を考慮しない手法である。RC では、各ゲートの遅延を立ち上がり、立ち下がり遅延の平均とする。

DE は、各ゲートの遅延、ゲート遅延による PT を考慮した場合のパルスの伝搬解析法である。この手法は、論理的にパルスが伝搬するかを故障シミュレーションにより求め、各ゲートの遅延、ゲート遅延による PT を考慮し、出力にパルスが伝搬するタイミング、パルス幅をパルスの伝搬経路ごとに求める。

BS は、DE のパルスの伝搬解析法において、ゲート遅延による PT を考慮しない手法である。RC と同様に、各ゲートの遅延を立ち上がり、立ち下がり遅延の平均とする。表 3 にパルスの伝搬解析法をまとめたものを示す。

表 3 パルスの伝搬解析法のまとめ

|             | EX | RC | DE | BS |
|-------------|----|----|----|----|
| ゲート遅延による PT | 考慮 | 無視 | 考慮 | 無視 |
| 再収斂パスによる PT | 考慮 | 考慮 | 無視 | 無視 |

## 5.2 実験結果

MCNC ベンチマーク, ITC'99 ベンチマークにおける実験結果を表 4, 5 に示す. 表 4, 5 の各列は, EX で求めた SER に対する各手法で求めた SER の誤差を示している. 各行は, 各々のベンチマークに対する結果である.

表 4 MCNC ベンチマークにおける実験結果

| benchmark | RC[%] | DE[%] | NA[%] |
|-----------|-------|-------|-------|
| C2670     | 4.4   | 4.9   | 7.9   |
| C5315     | 1.8   | 8.6   | 9.1   |
| C6288     | 0.0   | 33.0  | 31.3  |
| C7552     | 0.8   | 12.9  | 13.7  |
| att10     | 24.5  | 10.6  | 20.6  |
| att14     | 106.6 | 30.5  | 107.7 |
| att15     | 13.3  | 13.6  | 15.7  |
| att16     | 1.7   | 2.2   | 3.1   |
| att21     | 35.0  | 11.4  | 35.1  |
| att22     | 12.3  | 7.4   | 14.7  |
| att6      | 15.0  | 13.0  | 13.0  |
| att8      | 24.2  | 24.4  | 24.4  |
| att9      | 1.3   | 1.7   | 0.1   |
| des       | 14.7  | 5.6   | 15.4  |
| rot       | 10.8  | 11.1  | 11.1  |
| too_large | 35.3  | 11.5  | 35.4  |
| vda       | 0.0   | 6.5   | 14.0  |
| avg.      | 17.8  | 12.3  | 21.9  |

表 5 ITC'99 ベンチマークにおける実験結果

| benchmark | RC[%] | DE[%] | NA[%] |
|-----------|-------|-------|-------|
| b04       | 5.4   | 0.9   | 6.4   |
| b05       | 1.8   | 10.5  | 11.8  |
| b12       | 2.8   | 1.1   | 4.1   |
| b14       | 6.4   | 0.4   | 6.9   |
| b14_1     | 5.3   | 0.1   | 5.5   |
| b15       | 7.6   | 0.6   | 8.6   |
| b15_1     | 9.1   | 0.2   | 9.2   |
| b17       | 8.5   | 0.6   | 9.4   |
| b17_1     | 6.1   | 0.1   | 6.4   |
| b20       | 5.7   | 0.4   | 6.3   |
| b20_1     | 4.8   | 0.3   | 5.2   |
| b21_1     | 4.8   | 0.2   | 5.1   |
| b22       | 3.8   | 0.5   | 4.4   |
| b22_1     | 3.2   | 0.6   | 3.8   |
| avg.      | 5.4   | 1.2   | 6.7   |

MCNC ベンチマークにおいて, 表 4 より, RC は SER を平均で 17.4 % の誤差が生じている. DE は平均 12.3 %, BS は平

均 21.9 % 誤差が生じている. また, RC, DE, BS で, 誤差が最大となるベンチマークは, att14 であり, 誤差はそれぞれ 108.5, 35.3, 109.6 % である. ITC'99 ベンチマークにおいて, 表 5 より, RC は平均 5.4 %, DE は平均 1.2 %, BS は平均 6.7 % の誤差が生じている. RC で誤差が最大となるベンチマークは, b17.1 であり, 誤差は 6.1 % である. DE, BS で誤差が最大となるベンチマークは b05 であり, それぞれ誤差は 11.2 %, 12.6 % である.

## 6. まとめ

本稿では, PT による SER 計算精度への影響について評価を行った. 実験結果より, PT は SER 計算精度に影響を与えることがわかった. また, 再収斂パスによる PT の影響が大きいと思われるベンチマークと, ゲート遅延による PT の影響が大きいと思われるベンチマークが異なることが確認できた. したがって, 回路によって, それぞれの PT が精度に与える影響の大きさは異なると考えられる. よって, すべての回路に対し, 精度の高い SER の計算をするためには, どちらの PT も考慮する必要がある.

本稿で考えた PT を考慮した厳密な SER 計算手法は, 規模の大きい回路に対しては, 数日かかる. したがって, 今後の課題は, SER 計算精度をあまり落とすことなく, 効率的に計算できるパルスの伝搬解析手法を検討することである.

## 謝 辞

本研究の一部は, 科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST) 「統合的高信頼化設計のためのモデル化と検出・訂正・回復技術」の支援によるものである.

## 文 献

- [1] B. Zhang, W. S. Wang, M. Orshansky, "FASER: Fast Analysis of Soft Error Susceptibility for Cell-Based Design", ISQED 2006, pp. 755-760
- [2] N. Miskov-Zivanov, D. Marculescu, "MARS-C: Modeling and Reduction of Soft Errors in Combinational Circuit", DAC 2006, pp. 767-772
- [3] S. Krishnaswamy, I. L. Markov, J. P. Hayes, "On the Role of Timing Masking in Reliable Logic Circuit Design", DAC 2008, pp. 924-929
- [4] M. Zhang, N. R. Shanbhag, "A Soft Error Rate Analysis (SERA) Methodology", ICCAD 2004, pp. 111-118
- [5] K. Mohanram, et al, "Cost-Effective Approach for Reducing Soft Error Failure Rate in Logic Circuits", Proc. ITC, pp. 893-901, 2003
- [6] J. Von Neumann, "Probabilistic logic and the synthesis of reliable organisms from unreliable components", Automata Studies, Ann. of Math. Studies, pp. 43-98, 1956