

ゲートッドフリップフロップの多ビット統合による レジスタ回路の低消費電力化

奥平, 拓見
九州大学大学院システム情報科学府

石原, 亨
九州大学システムLSI 研究センター

井上, 弘士
九州大学大学院システム情報科学研究院

<https://hdl.handle.net/2324/16075>

出版情報：電子情報通信学会2009年総合大会講演論文集．2009年_エレクトロニクス（2），pp.97-97，
2009-03

バージョン：

権利関係：



ゲートッドフリップフロップの多ビット統合による レジスタ回路の低消費電力化

奥平 拓見¹ 石原 亨² 井上 弘士³

¹ 九州大学 大学院 システム情報科学府

² 九州大学 システム LSI 研究センター

³ 九州大学 大学院 システム情報科学研究院

レジスタ回路の低消費電力化のためにはその構成要素であるフリップフロップの低消費電力化が重要である。低消費電力フリップフロップとしてゲートッドフリップフロップが提案されている。ゲートッドフリップフロップはデータ書き込みの確率が高い場合は通常のフリップフロップと比較して消費電力が大きくなる。本稿では1ビットのゲートッドフリップフロップを複数ビット統合することにより電力を削減する方法を提案する。商用の組込みプロセッサのレジスタ回路に適用してシミュレーションにより評価した結果、複数ビット統合することにより、1ビットのゲートッドフリップフロップを適用した場合と比較して平均で27%、最大で39%の消費電力が削減できることを確認した。

Unification of Multiple Gated Flip-Flops for Saving the Power Consumption of Register Circuits

Takumi Okuhira¹ Tohru Ishihara² Koji Inoue³

¹ Graduate School of Inf. Sci. & EE, Kyushu University

² System LSI Research Center, Kyushu University

³ Faculty of Inf. Sci. & EE, Kyushu University

Since the clock power consumption in today's processors is considerably large, reduction of the clock power in flip-flops is important for reducing the total power consumption of the processors. Recently, a gated flip-flop is proposed for reducing the power consumption of flip-flops. The gated flip-flop employs a clock-gating circuit which stops the clock supply if the input data does not need to be written into the flip-flop. However, when the data is written into the flip-flop, extra power is dissipated in the clock-gating circuit. For reducing the wasted power in the clock-gating circuit, this paper proposes a technique for unifying the multiple clock-gating circuits, which reduces the overhead of the clock-gating circuit. Experimental results obtained using a commercial embedded processor demonstrate that our technique reduces the power consumption of register circuits by 27% on average and 39% at the best case compared to the conventional gated flip-flops.

1 はじめに

パーソナルコンピュータや携帯電話等の製品が高性能化し、我々の生活に大きな恩恵をもたらしている。例を挙げると、パーソナルコンピュータで手軽に動画や音楽などのマルチメディアを扱うことができるようになり、携帯電話でテレビを視聴することが可能となっている。これらの製品の高性能化の背景としてマイクロプロセッサの飛躍的な性能向上がある [1]。

しかし、マイクロプロセッサの高性能化は同時に消費電力の増大を引き起こし、様々な問題となって

いる。問題の一つとして電力消費に伴う熱が挙げられる。マイクロプロセッサの温度が10～15℃上昇するとマイクロプロセッサの寿命はおよそ半分に短縮されることが報告されている [2]。また、マイクロプロセッサの温度上昇を防ぐための冷却機構は機器のコスト増加を招く [3]。もう一つの問題として、バッテリーにより駆動される機器の動作時間の低下が挙げられる。携帯電話や携帯型オーディオプレーヤーなどのバッテリーにより駆動される機器における動作時間は機器の価値を決定する重要な指標の一つである。機器に搭載可能なバッテリーのエネルギー容量は限られている。消費電力の増大は機器の連続動

作時間の低下を招く。以上の理由からマイクロプロセッサの低消費電力化は非常に重要な課題である。

マイクロプロセッサではフリップフロップでのクロックの変化に伴うレジスタ回路における消費電力が大きい [4]。図 1 に 65nm テクノロジを使用し、独自に設計を行ったマイクロプロセッサ上でベンチマークプログラムを実行した際の消費電力の内訳を示す。図 1 に示す通りマイクロプロセッサにおいてレジスタ回路の消費電力が約 40 % を占めることがわかる。マイクロプロセッサの低消費電力化のためにはレジスタ回路の低消費電力化が重要である。

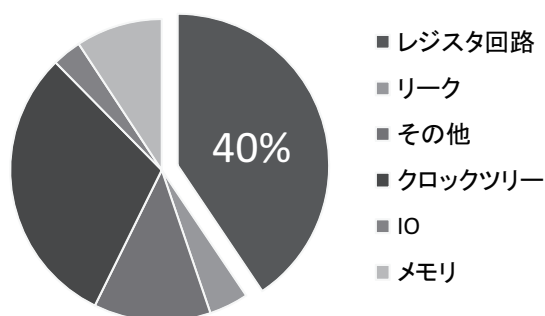


図 1: マイクロプロセッサの消費電力内訳

既存のレジスタ回路の低消費電力化手法としてクロックゲーティングが広く用いられている [5]。クロックゲーティングはフリップフロップへのクロック供給を抑制することでデータの書き込みを行わないフリップフロップの低消費電力化を行う手法である。しかし、既存のクロックゲーティングではクロック供給を行う必要のないフリップフロップへクロックが供給される可能性がある。本稿ではこれを unnecessary クロック供給と定義する。既存のクロックゲーティングにおける unnecessary クロックの供給を削減する手法としてゲーテッドフリップフロップが提案されているが、付加回路の消費電力の影響によりレジスタ回路の消費電力を十分に削減できない。そこで、本稿ではレジスタ回路の低消費電力化のため、ゲーテッドフリップフロップの消費電力削減率を向上させる手法の提案を行う。提案手法ではゲーテッドフリップフロップの多ビット統合を行い、1 ビット当たりの入力端子の負荷容量を削減することで消費電力削減率の向上を行う。

本稿の構成は以下の通りである。2 章で関連研究について述べる。3 章でゲーテッドフリップフロップの改良を行う。4 章で改良を行ったゲーテッドフリップフロップをプロセッサ中のレジスタ回路に適用し、消費電力の削減効果を確認する。5 章では考察と今後の課題を示し、6 章でまとめを行う。

2 関連研究

2.1 クロックゲーティング

レジスタ回路の低消費電力化手法としてクロックゲーティングが広く用いられている。クロックゲーティングはデータの書き込みを行わないフリップフロップへのクロック供給を選択的に停止することによりフリップフロップのクロックでの信号遷移確率を低下させ、レジスタ回路の低消費電力化を行う手法である。レジスタ回路はデータフェッチの有無をイネーブル信号により制御する。イネーブル信号の多くはマイクロプロセッサの命令コードやオペランドから生成されている。クロックゲーティングの多くは上記のイネーブル信号を利用する。イネーブル信号が活性化されていないレジスタ回路は動作を行う必要がない。このためイネーブル信号が入力されていないレジスタ回路中のフリップフロップへのクロックを停止することでレジスタ回路の省電力化を行う [6]。文献 [7] ではプロセッサ中のデータの有効ビット幅はレジスタ回路のビット幅より小さい場合が多い特徴を利用して整数演算器の前段に接続されているレジスタ回路を複数のグループに分割し、上位ビットのグループがすべて 0 の場合にはそのグループに対するクロックの供給を停止する。

2.2 ゲーテッドフリップフロップ

前節で述べたクロックゲーティング手法ではクロックゲーティングを行った場合でも unnecessary クロックが供給されるビットが存在するという問題点がある。この問題を解決する方法としてゲーテッドフリップフロップが提案されている [8]。ゲーテッドフリップフロップはフリップフロップの D 入力端子と Q 出力端子の値が等しい場合に clk 端子へのクロック供給を停止するためのクロック停止回路を持つ。図 2 に

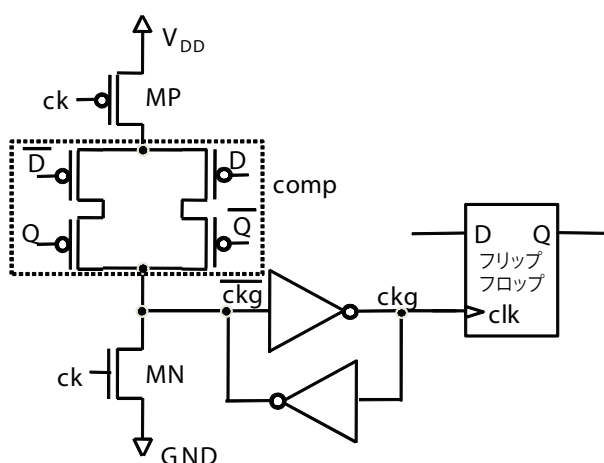


図 2: ゲーテッドフリップフロップ

ゲートッドフリップフロップの回路図を示す。ゲートッドフリップフロップは、通常のフリップフロップにクロック停止回路を付加しているため、クロック停止回路の消費電力増加とフリップフロップのクロック端子における電力削減のトレードオフを考慮することが重要である。図3にゲートッドフリップ

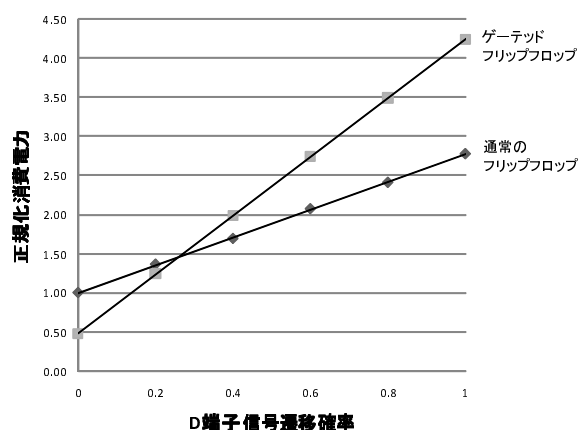


図3: ゲートッドフリップフロップの消費電力

フロップの消費電力のグラフを示す。グラフは通常のフリップフロップにおいてD端子信号遷移確率が0の時の消費電力を1として正規化を行っている。ここで、D端子信号遷移確率は1クロックサイクル中におけるD端子への入力信号の平均遷移回数と定義する。本稿ではD端子への信号にハザードは発生しないものと仮定する。したがってD端子信号遷移確率の最大値は1である。D端子信号遷移確率が25%以下の場合にはゲートッドフリップフロップが通常のフリップフロップと比較して消費電力が少ない。D端子信号遷移確率が25%以上の場合には、クロック停止回路の消費電力がフリップフロップへのクロック供給のための消費電力を上回る。

3 ゲートッドフリップフロップの改良

ゲートッドフリップフロップではD端子信号遷移確率が25%以上になるとクロック停止回路の消費電力の影響により通常のフリップフロップより消費電力が大きくなる問題がある。本章ではゲートッドフリップフロップの消費電力削減効率を向上させるためにゲートッドフリップフロップの多ビット統合手法について述べる。

3.1 多ビット統合

クロック停止回路の消費電力は1ビット当たりのクロック入力端子の負荷容量を減らすことで低下させることができる。図4に示すとおり、複数のゲー

テッドフリップフロップを統合し、クロック停止回路を共有することでゲートッドフリップフロップへのクロック供給を受けるck端子をひとつにまとめる。1ビット当たりのゲートッドフリップフロップのck端子の負荷容量が減少するため1ビット当たりのゲートッドフリップフロップのck端子での消費電力を削減することができる。本稿では評価実験のために2ビット、3ビット、4ビット統合を行ったゲートッドフリップフロップの設計結果を示す。例として設計を行った2ビット統合のゲートッドフリップフロップを図4に示す。多ビット統合は図4に示すようにクロック停止回路へcomp回路を並列に追加していくことで実現できる。多ビット統合を行ったすべてのフリップフロップにおいてD端子とQ端子の値が同じ場合にフリップフロップへのクロック供給を停止する。

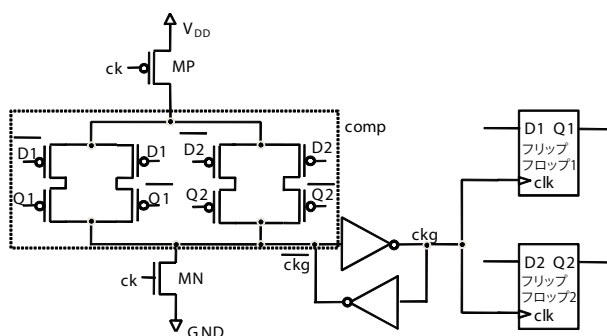


図4: 2ビット統合を行ったゲートッドフリップフロップ

しかし、ゲートッドフリップフロップの多ビット統合を行うと、統合を行ったフリップフロップのどれか一つのフリップフロップにデータ書き込みを行う必要がある場合にはすべてのフリップフロップにクロックが供給される。このためビット当たりのクロック供給確率が上昇する可能性がある。ここで、クロック供給確率はクロックがクロック停止回路により遮断されずにフリップフロップへ供給される確率と定義する。

3.2 評価実験

設計した多ビット統合を行ったゲートッドフリップフロップの電力評価をシミュレーションにより行う。実験環境としてツールはsynopsys社のHSPICE, トランジスタモデルは商用65nmを用いる。電源電圧は1.2Vとする。

3.2.1 電力評価実験

実験では通常のフリップフロップとゲートッドフリップフロップ、2ビット、3ビット、4ビットの統合を行ったゲートッドフリップフロップにおいてD端

子信号遷移確率を変化させた場合の消費電力の比較を行う。多ビット統合を行ったゲーテッドフリップフロップについてはすべてのフリップフロップのD端子に同じ値を入力した場合の1ビット当たりの平均消費電力を求める。入力端子の充放電による消費電力を考慮するために入力端子の前段にCMOSインバータを接続し、CMOSインバータの消費電力も含めた評価を行う。

図5に電力評価結果のグラフを示す。

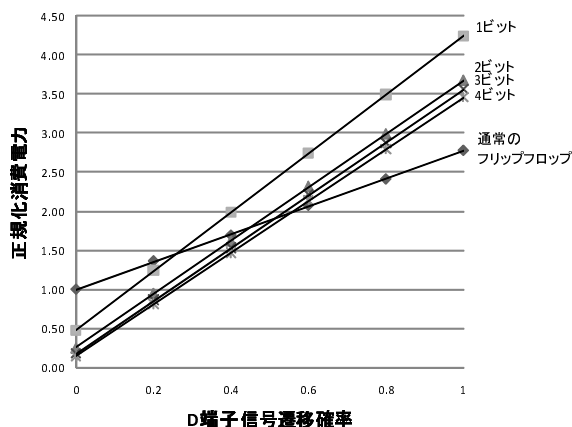


図5: 多ビット統合を行ったゲーテッドフリップフロップの消費電力

図5より、2ビット統合では45%、3ビット統合では51%、4ビット統合では56%以下のD端子信号遷移確率において多ビット統合を行ったゲーテッドフリップフロップは通常のフリップフロップと比較して低消費電力である。実験結果より、ゲーテッドフリップフロップの多ビット統合を行うことでクロック供給確率の上昇が発生しない場合には1ビット当たりの消費電力を削減することができることを確認した。

4 プロセッサへの適用

プロセッサ中のレジスタ回路に多ビット統合を行ったゲーテッドフリップフロップを適用し、消費電力の削減効果を確認する。

4.1 実験環境

実験ではRTLシミュレーションによりプロセッサにおいてベンチマークプログラムを動作させた際のコアロジック部における4ビット以上のビット幅を持つレジスタ回路の信号遷移確率を求める。その後、RTLシミュレーションにより得られた信号遷移確率と図5により示した消費電力のグラフを用いて削減される消費電力を求める。実験には東芝社の32/16

ビット可変命令語長RISCプロセッサMedia embedded Processor(MeP)を用いる。ただしsynopsys社のpower compilerによりクロックゲーティング回路が挿入されている前提でシミュレーションを行う。利用したベンチマークプログラムを表1に示す。

表1: ベンチマークプログラム

プログラム名	プログラムの機能
dct	離散コサイン変換
fft	高速フーリエ変換
jpeg	jpeg エンコード
mpeg2	mpeg2 エンコード
adpcm	適応的差分PCM
compress	ファイル圧縮プログラム
dhry21	Dhrystone: 整数演算性能評価プログラム
whets	Whetstone: 浮動小数点演算性能 評価プログラム

プロセッサコア中のビット幅が4ビット以上のレジスタ回路すべてにおいて、統合を行わないゲーテッドフリップフロップを適用した場合と、2ビット統合、3ビット統合、4ビット統合のゲーテッドフリップフロップを適用した場合を比較する。多ビット統合は、レジスタのMSB(Most Significant Bit)から順に、それぞれ隣り合う2ビット、3ビット、4ビットを連結し、LSBに端数が出た場合は、最も大きい統合ビット幅(4ビット以下)を持つゲーテッドフリップフロップを適用する。

4.2 実験結果

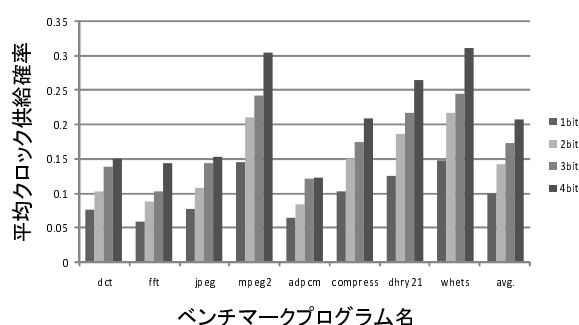


図6: 多ビット統合によるクロック供給確率の上昇

図6に1ビット当たりのクロック供給確率のグラフを示す。グラフに示すようにゲーテッドフリップフロップの多ビット統合を行うことによりビット当

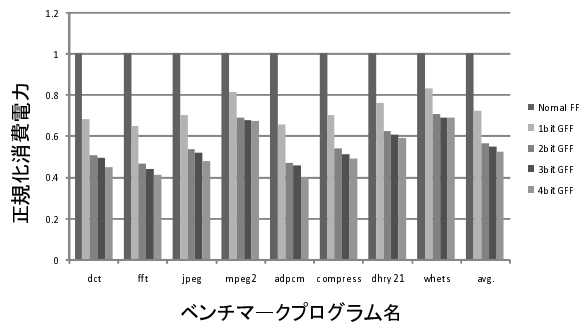


図 7: 電力評価結果

たりのクロック供給確率が上昇する。図 7 に電力評価結果のグラフを示す。縦軸は実験に使用したすべてのレジスタ回路のすべてのビットを通常のフリップフロップで構成した場合の消費電力をで正規化した正規化消費電力、横軸はベンチマークプログラム。avg. はすべてのベンチマークプログラムの平均である。実験結果よりすべてのベンチマークプログラムにおいてゲーテッドフリップフロップの多ビット統合により消費電力が削減され、統合するビット数を増やすことにより消費電力の削減効果が向上した。ゲーテッドフリップフロップの 4 ビット統合を行った場合、統合を行わない場合と比較すると平均で 27%、最大で 39%の消費電力の削減を確認した。

5 考察と今後の課題

5.1 レジスタ回路の機能を考慮した統合ビットの決定

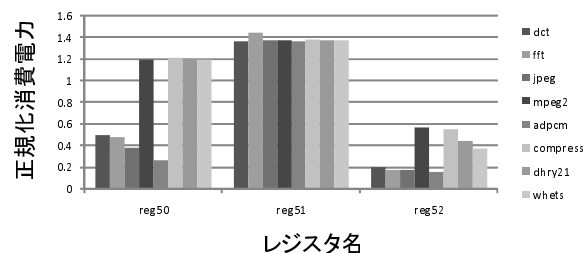


図 8: 各レジスタ回路の消費電力

図 8 に 4 章で示した実験結果の中から 4 ビット統合を行った場合における 3 つのレジスタ回路の消費電力例を示す。実験結果では通常のフリップフロップでの消費電力で正規化を行っている。reg52 ではすべてのベンチマークプログラムにおいて消費電力が削減されている。また、reg50 ではベンチマークプログラムにより通常のフリップフロップを使用した場

合と比べて、消費電力が上昇する場合がある。これはレジスタ回路のデータの変化が動作させるアプリケーションプログラムにより大きく異なるためである。reg51 ではすべてのベンチマークプログラムにおいて消費電力が増加している。これはレジスタ回路 reg51 の機能的に、動作させるアプリケーションによらずデータの変化する回数が多いためであると考えられる。そこで reg51 のような、ゲーテッドフリップフロップを挿入することで消費電力が上昇するレジスタ回路を機能で分類し、ゲーテッドフリップフロップの挿入を行わない、もしくは消費電力が上昇する原因となる信号遷移確率の高いビットにおいてはゲーテッドフリップフロップの挿入を行わない等の対策を行うことでさらにレジスタ全体の消費電力を削減できると考えられる。

5.2 タイミングパラメータの変化

表 2,3,4 に通常のフリップフロップと比較したゲーテッドフリップフロップのセットアップ時間、ホールド時間、遅延時間の変化を示す。ここで遅延時間とはクロック信号の立ち上がりから Q 信号の出力までの伝搬遅延時間とし、通常のフリップフロップの遅延時間を 100%とした時の割合で表わす。

表 2: セットアップ時間

統合 ビット数	RISING DATA[ps]	FALLING DATA[ps]
1bit	-2	-4
2bit	-12	-14
3bit	-18	-19
4bit	-27	-24

表 3: ホールド時間

統合 ビット数	HIGH DATA[ps]	LOW DATA[ps]
1bit	+29	+24
2bit	+43	+30
3bit	+50	+44
4bit	+63	+44

ゲーテッドフリップフロップの多ビット統合により各タイミングパラメータに及ぼす影響が多くなる。クロック停止回路を付加したことによるフリップフロップの各タイミングパラメータを考慮してゲーテッドフリップフロップの適用ビットや統合ビットを決定しなければならない。タイミングを考慮した手法の構築は今後の課題である。

表 4: 遅延時間

統合 ビット数	RISING DATA[%]	FALLING DATA[%]
1bit	164	163
2bit	199	196
3bit	218	215
4bit	248	243

6 まとめ

本稿ではレジスタ回路の低消費電力化に向けてゲーテッドフリップフロップの多ビット統合を行った。ゲーテッドフリップフロップの多ビット統合による消費電力の削減効果を確認するためプロセッサ中のレジスタ回路に多ビット統合を行ったゲーテッドフリップフロップを適用し、電力の見積もりを行い、平均で 27%, 最大で 39% の消費電力が削減できることを確認した。また、今後の課題について検討を行った。今後は、5 ビット以上のビット統合の検討およびゲーテッドフリップフロップの遅延時間削減および小面積レイアウトの検討を行う。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、株式会社半導体理工学研究センター、(株)イー・シャトル、富士通株式会社、東芝株式会社、シノプシス合同会社および日本ケイデンス株式会社の協力で行われたものである。本研究の一部は、科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST) によるものである。

参考文献

- [1] デイビッド・A・バターソン, ジョン・L・ヘネシー, “ コンピュータの構成と設計 ”, 日経 BP 社, 2006.
- [2] R. Viswanath, V. Wakharkar, A. Watwe, and V. Lebonheur, “ Thermal Performance Challenges from Silicon to Systems, ” Intel Technology Journal, vol.4, no.3, 2000.
- [3] S. Gunther, F. Binns, D. M. Carmean, and J. C. Hall. “ Managing the Impact of Increasing Microprocessor Power Consumption. ” Intel Technology Journal, vol.5, no.1, 2001.
- [4] M. Pedram. “ Power Aware Design Methodologies. ” Kluwer Academic Publishers, Norwell, MA, USA, 2002.
- [5] M. Pedram, “ Power Minimization in IC Design: Principles and Applications. ” ACM Transactions on Design Automation of Electronic Systems, vol.1, no.1, 1996.
- [6] N. Raghavan, V. Akella, S. Bakshi, “ Automatic Insertion of Gated Clocks at Register Transfer Level, ” VLSI Design, International Conference on, vol. 0, no. 0, pp. 48, 12th International Conference on VLSI Design - 'VLSI for the Information Appliance', 1999.
- [7] D. Brooks, M. Martonosi, “ Value-Based Clock Gating and Operation Packing: Dynamic Strategies for Improving Processor Power and Performance ”, ACM Transactions on Computer Systems, vol.18, no.2, May, 2000.
- [8] A. G. Strollo, E. Napoli, and D. De Caro, “ New Clock-Gating Techniques for Low-Power Flip-Flops. ” In Proceedings of the 2000 international Symposium on Low Power Electronics and Design ,2000.