九州大学学術情報リポジトリ
Kyushu University Institutional Repository

学位論文審査報告

三輪, 英樹

Ahmed, Ibrahim Ahmed Galal

Dong, Rubing

Mahmoud, Ahmed Abdelghany Khalil

他

https://hdl.handle.net/2324/1564062

出版情報：九州大学大学院システム情報科学紀要. 17 (1), pp.17-40, 2012-05-25. 九州大学大学院システム情報科学研究院
バージョン：
権利関係：

学 位 論 文 審 査 報 告

氏　　名　　三輪英樹
学 位 記 番 号　　シ情　博甲第 437 号（工学）
学位授与の日付　　平成 23 年 8 月 31 日
学 位 論 文 題 名　　大規模相互結合網の性能推定に関する研究

論文調査委員
（主　査）　九州大学　教　授　村上　和彰
（副　査）　〃　　〃　　青柳　睦
〃　　〃　　准教授　南里　豪志
〃　　〃　　〃　　井上　弘士

論 文 内 容 の 要 旨

近い将来，数 10 万ノードを相互結合網によって接続した大規模並列計算機が主流となると予測される．高い実効演算性能を得るためには，通信処理が性能ボトルネックとならないように，通信処理を担う相互結合網および通信ライブラリを設計開発しなければならない．これらの開発を効率的に進めるためには，数 10 万ノード規模の相互結合網における種々の通信パターンの性能を現実的な時間内で精度よく推定する手段が必要となる．

そこで，本論文では大規模相互結合網の性能予測のための相互結合網シミュレータ NSIM を提案し，本シミュレータを利用した性能評価を行った．本シミュレータでは，シミュレーションモデルの改良，逐次シミュレーション性能の改善，および並列シミュレーション性能の改善により，従来に比べシミュレーション時間を短縮している．また，対象システムにおけるプロセス間のデータ転送を省略することで消費メモリを削減し，大規模相互結合網のシミュレーションを可能にしている．さらに，実行駆動型シミュレーション方式の採用により，相互結合網における混雑状況で振る舞いが動的に変化する通信パターンを正しくシミュレーションすることができる．このため，実行時の通信性能低下要因である演算負荷不均衡や OS ジッタの影響を含めた通信性能の評価が可能である．この他，結果を可視化することにより，混雑解析を支援する機能を備えている．

実機における通信時間との比較により，本シミュレータの予測結果が妥当であることを確認した．また，全対全通信のシミュレーション結果から，本シミュレータが将来の大規模相互結合網を現実的な時間内でシミュレーションする能力を持つこと，および既存シミュレータと比較して省メモリかつ高速に動作することを示した．

本シミュレータを利用した評価実験により，全対全通信を 6 次元トーラス網で実行した場合の通信性能は，より高い理論性能を持つファットツリーに匹敵することを示した．また，演算負荷不均衡の影響評価により，通信性能に対し大きな影響は及ばないことを明らかにした．さらに，OS ジッタの影響評価により，大きなジッタ成分だけでなく小さなジッタ成分についても通信性能に悪影響を与えるため，ジッタ対策が必要であることを確認した．

論 文 調 査 の 要 旨

科学技術計算向けの高性能計算機システムは，個々のプロセッサの動作周波数向上による性能改善，ならびに，プロセッサを搭載した計算ノード数の増加によりこれまでに著しい性能向上を達成してきた．しかしながら，近年は動作周波数の向上がほぼ限界に達してきたため，計算ノード数の増加に主軸が移って来ている．近い将来，数 10 万規模の計算ノードを相互結合網によって接続した大規模並列計算機が主流となると予測されている．このようなシステムにおいて高い実効演算性能を得るためには，通信処理が性能ボトルネックとならないように，通信処理を担う相互結合網および通信ライブラリを設計開発しなければならない．このとき，当開発を効率的に進めるためには，数 10 万ノード規模の相互結合網における種々の通信パターンの性能を現実的な時間内で精度よく推定する手法が必要となる．

本論文では上記の考察に基づき，大規模相互結合網の性能予測のための相互結合網シミュレータ「NSIM」を開発，この NSIM を利用して大規模相互結合網の性能評価を行った．まず，シミュレーション時間の短縮を目標に，NSIM ではシミュレーションモデルの改良，逐次シミュレーション性能の改善，並列シミュレーション性能の改善，等を実施し，従来手法に比べてシミュレーション時間を大幅に短縮することに成功した．また，対象システムにおけるプロセス間のデータ転送を省略することでメモリ使用量を削減し，大規模相互結合網のシミュレーションを可能にした．具体的には，既存のシミュレータの１つである BigNetSim（米イリノイ大学開発）と比較して，シミュレーション時間で約 2700 倍（計算ノード数 1024，メッセージサイズ 4B の場合）もの短縮に成功し，この時のメモリ使用量も 1/10 にまで削減できたことは特筆に値する．

一方，シミュレータの開発においては，シミュレーション時間の短縮のみならずシミュレーション精度の確保も重要な課題となる．本論文では，相互結合網のトポロジーとして３次元メッシュ網を対象に，実機の IBM BlueGene/L での実測値と NSIM におけるシミュレーション結果を比較して誤差が 5%以内であることを確認し，十分な精度を保証できることを示している．

次に，本論文では NSIM を用いて，３次元トーラス網，６次元トーラス網，FatTree 網の３種類のトポロジーを対

象に，さらに，計算ノード数を 256～4116 の範囲でそれぞれ５通り設定して，最も負荷の大きい通信処理である「Alltoall（全体全）通信」の性能を推定している．さらに，Alltoall 通信アルゴリズムとしては，理論的には FatTree 網に有利な「Pairwise Exchange 法」，および，トーラス網に有利な「Simple Spread 法」の２種類をシミュレーションした．その結果，Pairwise Exchange 法では，計算ノード数が 1000 程度を超えると３次元トーラス網の性能が極端に悪くなるが，６次元トーラス網と FatTree 網とではほぼ同程度の性能となることを明らかにした．また，Simple Spread 法の場合，計算ノード数が 4000 程度で６次元トーラス網の性能が他２者に対して優位に立つことを明らかにした．

最後に，通信性能に対する外乱要因である各計算ノードの計算負荷の不均衡の度合い，および，OS ジッタの大小有無が全体性能に与える影響を調査している．これらの調査は，NSIM において実行駆動型シミュレーション方式を採用し，相互結合網の混雑状況で振る舞いが動的に変化する通信を正しくシミュレーションすることで可能となったものである．調査の結果，計算負荷の不均衡は通信性能に対して大きな影響を及ぼさないことを明らかにした．一方，OS ジッタに関しては，大きなジッタ成分だけでなく小さなジッタ成分についても通信性能に悪影響を与えるため，ジッタ対策が必要であることを確認した．

以上を要約すると，本研究は大規模相互結合網の通信性能の推定を可能とすることを目的に実用的な相互結合網シミュレータを開発し，その有効性，有用性を示したものである．本研究で得られた知見は情報理学に寄与するところが大きい．よって，本論文は博士（工学）の学位論文に値すると認める．

氏　　名　Ahmed Ibrahim Ahmed Galal
学位記番号　シ情　博甲第 438 号（学術）
学位授与の日付　平成 23 年 9 月 26 日
学位論文題名　Development of Low Power Ultra-Wideband Low Noise Amplifier for Wireless Communication
（無線通信のための低消費電力・超広帯域低雑音増幅器の開発）

論文調査委員
（主　査）　九州大学　教　授　吉　田　啓　二
（副　査）　〃　〃　浅　野　種　正
〃　〃　准教授　金　谷　晴　一

論文内容の要旨

The evolution of wireless communication technology plays an essential role in the transformation to the next generation of communication systems. The existing wireless technologies are not optimized for multiple high bandwidth usage such as digital imaging and video streaming. The conveniences of wireless connectivity in mobile computing users will transfer soon to the digital home, connecting PCs, MP3 players, personal digital recorders, digital camcorders, high definition TVs and digital cameras, to connect to each other in a wireless personal area network (WPAN) in the home. Ultra wideband (UWB) technology is an ultimate way to replace most cables in current home and office devices. UWB systems are capable of transmitting data over a wide spectrum of frequency band for short distances with very low power and high data rates up to several gigabits per second. Low power feature of UWB technology enables it to utilize in wireless sensor network and wireless body area network, where power consumption is more important than data rate.

UWB low noise amplifier (LNA) is the backbone of UWB receiver, which its performance affects on the whole receiver. Recently, CMOS technology is drawing intense attention in transceiver design because its ability of fully integration and inexpensive process. The UWB LNA must meet several stringent requirements, such as broadband input matching to avoid signal reflection, sufficient gain to overcome the noise from the subsequent stages, low noise figure (NF) to increase receiver sensitivity, low power dissipation to increase battery life, and high linearity to avoid gain compression. These requirements must be achieved over a wide range of frequencies. In the other hand, the need of sufficient gain and high linearity is always contradict with low power consumption and a severe tradeoff between NF and source impedance matching. Satisfying these requirements makes the design of UWB LNA extremely challenging task, particularly at high frequency range. However, several techniques have been developed for UWB LNA design in literature but still there are some limitations among them. In this thesis, we focus and proposed techniques to solve these limitations with more analysis and details.

In this thesis, Chapter 1 defines the introduction and the motivation, including the main objectives of this research. In Chapter 2, an introduction of UWB technology and its application is presented. An overview of existing wireless standards and their coexistence with UWB is also introduced. The UWB transmission system and a brief comparison between narrow and wideband systems are comprised. Later, the basics and main specification of UWB LNA design such as input matching, noise in CMOS transistor, and linearity are explained.

Chapter 3 is divided into two parts; the first part

presents the proposed design of UWB LNA using resistive shunt feedback topology and the second part presents UWB LNA design with active inductive circuit. First, the traditional UWB LNA techniques are reviewed. The analysis of input matching, noise figure and bonding wires are described. The proposed technique of UWB LNA using resistive shunt feedback consists of three stages, the first stage is optimized for wideband input matching and low noise figure. The inter-stage circuit is utilizing an LC circuit to extend and improve gain at high frequency band and also for gain flatness. While the third stage is resistive shunt feedback with shunt peaking inductor for bandwidth extension and improvement of gain at high frequencies. Careful analysis of the feedback resistance of the first stage which responsible for the feedback noise from output to input and optimization technique has been developed to choosing its value. The gate resistance of the input device is another noise contributor which can be eliminated by using multi-finger technique. A high and flat gain is achieved from 3.1 to 10.6 GHz band of interest. The measured gain is 15 dB within the whole band. The measured noise figure is less than 4 dB from 3.1-10.6 GHz. The measured input third intercept point (IIP3) is 2.5 at 5 GHz. Due to the flatness of the gain, the phase linearity has significantly improved and the achievable results are better performance than recently published work.

The on-chip spiral inductors take the majority of chip area and increase the cost. Furthermore, the low quality factor of spiral inductors degrades the performance of the circuit. Users demand cheap and small size devices which makes the active inductor is the best choice for reduction of the size and cost. The advantages of active inductors are large and tunable inductances with large inductance tuning ranges, large and tunable quality factors, high self-resonant frequencies, and reduction the consumption of silicon area. On the other hand, active inductors can be realized with circuits consisting of a few transistors and can overcome the above limitations of on-chip passive inductors. The proposed technique of UWB LNA consist of two stages, the first stage is cascode amplifier with resistive shunt feedback and cascaded with common source amplifier with shunt peaking active inductor. Cascode amplifier has been used for its high reverse isolation and reduction of Miller effect. Input matching is obtained using shunt resistive and on chip spiral inductor is added in the input to achieve wider bandwidth. The die area of the fabricated LNA is significantly reduced and equal to 0.16 mm^2. The proposed circuit has flat gain response from 1-5 GHz. The forward gain is 12.5 dB in the range 1-2.5 GHz increased to 13 dB from 2.5-5 GHz. The input return loss is -8 dB from 1-2.6 GHz and increased to more than -10 dB in the remaining band of interest. The proposed UWB LNA provides high reverse isolation which less than -45 dB over the 1-10 GHz. The noise figure is less than 3.5 dB in the range from 1-5 GHz. The measured IIP3 is -1 dBm and the power consumption is 8 mA from 1.8 V power supply.

In Chapter 4, the comparison of common source and common gate amplifier is analyzed with regard to gain, noise figure, and input matching. The proposed technique for low power UWB LNA has been analyzed. The proposed technique exploits the attributes of common gate amplifier for wideband performance. The circuit consists of two stages; the first stage is a common gate amplifier and optimized for wideband input impedance matching while the second stage is cascode amplifier for high gain and stability characteristics. The measured input and output return loss is kept less than -11 dB within the entire band of interest. The buffer stage provides a very good output matching over 3-9 GHz frequency band. By measured S-parameters, the stability factor is computed and its value is larger than 1 over the band of interest. The LNA achieves a measurement gain of higher than 11.5dB from 3-7 GHz frequency band. The measured NF of the UWB is around 3.5～4 dB from 3 GHz to 7 GHz. Owing to the characteristic of common gate technique, the NF stays flat up and does not rise rapidly at high frequency band. The measurement results of the proposed technique show a highly performance wideband LNA from 3-7 GHz frequency band. The designed UWB LNA achieves excellent flat gain, low power consumption, and acceptable noise figure over the entire band of interest.

Chapter 5 begins with an explanation of linearization techniques. Then, the proposed design of broadband linearity technique has been analyzed. Exploiting the complementary characteristics of NMOS and PMOS devices, the third order nonlinearity which is the main responsible for nonlinearity has been effectively cancelled. The traditional linearity techniques are used to improve the third-order nonlinearity g_3 but they hurt the second-order nonlinearity g_2 at the same time, which limits improvement in the IIP3, especially at high frequencies. However, in the proposed technique, high linearity is achieved by cancellation of g_3 and a slight cancellation of g_2, which relaxes and reduces the IIP2 problems. A two stages UWB LNA are optimized to achieve high linearity over the range from 3.1-10.6 GHz. The first stage adopts inverter topology with resistive feedback to provide high linearity and wideband input matching, while the second stage is cascode amplifier with series and shunt

inductive peaking technique to extend the bandwidth and achieve high gain simultaneously. The proposed UWB LNA exhibits a measured flat gain of 15 dB within the entire band, a minimum noise figure of 3.5 dB, and 6.4 dBm of IIP3 while consuming 8 mA from a 1.8 V power supply. The total chip area is 0.39 mm^2 including all pads. The measured input return loss is kept below -11dB and the output return loss is -8 dB from 3.1 to 10.6 GHz. The proposed technique greatly improves the IIP3 performance with high gain and acceptable noise figure. The figure of merit (FOM) of the proposed technique shows the best one among other recently published UWB LNA in 0.18μm and 0.13μm CMOS technology.

Finally, Chapter 6 summarizes and concludes the work in this thesis, and discusses on possible future research based on this thesis.

論 文 調 査 の 要 旨

移動体通信機器の高度化により、いつでもどこでもブロードバンド通信が可能な環境を提供するユビキタスネットワーク社会が実現されつつある。家庭やオフィス内において、デジタル画像やビデオストリーミングなどの複数の高帯域データ通信を無線により行うことが可能になればケーブル接続の問題を解決できる。しかしながら、既存のワイヤレス技術は、デジタル画像やビデオストリーミングなどの複数の広帯域幅の使用に最適化されていない。

近年、3-10 GHz 帯の微弱電波を通信に利用する UWB(Ultra Wide Band：超広帯域無線)と呼ばれる無線通信方式が注目されている。これは 2002 年米国の連邦通信委員会により許可され、日本でも 2006 年より認可された新しい時分割通信方式である。UWB 技術を用いれば、数 GHz にわたる非常に広い帯域の微弱電波を使用することで、ごく短い時間のパルス状の信号を実現することができるので、短距離内での高速なデータ通信が可能となる。このため近距離高速ワイヤレス通信市場での実用化が期待され、UWB 通信機器の研究・開発が活発化している。

UWB 通信に使われる無線端末のキーコンポーネントである低雑音増幅器（Low Noise Amplifier: LNA）は、受信回路全体の通信品質を決定するため、高性能な UWB 通信システムを実現するためには高効率・低消費電力・超広帯域・低歪等の厳しい仕様を満たす必要がある。

著者は、本論文において UWB 用高性能 LNA 実現のため種々の新しい回路を提案している。更に高周波回路シミュレータを用いて回路設計を行い、ファウンドリにより試作したチップを計測・評価することにより UWB 用高性能 LNA の開発に成功している。

本論文では、まず第 1 章および第 2 章で UBW 通信システムの現状および UWB 通信用広帯域 LNA の研究課題について述べている。

第 3 章では、UWB LNA の広帯域化設計において 2 つの研究手法の導入を行っている。第 1 は、広帯域入出力整合回路を用いた抵抗帰還トポロジーの導入、第 2 は利得平坦化回路および高周波数領域におけるピーキング特性実現のためのアクティブインダクタ回路の導入である。これらにより、UWB 帯域（3.1～10.6 GHz）において平坦で 15dB の高利得を実現している。さらに、フィードバック回路の低ノイズ設計手法による雑音指数の低減、またアクティブインダクタ回路の導入により、スパイラルインダクタを用いた従来型 LNA に比べ優れた面積縮小率を実現している。

第 4 章では雑音指数の更なる低減のため、ソース接地型およびゲート接地型回路トポロジについて考察を行い LNA の低雑音化に有用な知見を得ている。

第 5 章では LNA の線形性向上のため、NMOS(N type Metal-Oxide Semiconductor)

および PMOS(P type Metal-Oxide Semiconductor)の非線形特性に着目し、MOS(Metal-Oxide Semiconductor)の非線形性を効果的に相殺するための設計手法を提案している。得られた設計手法を基に、試作および評価を行い、3 次入力インターセプトポイント(IIP3)36.4dBm の広い線形領域の実現に成功している。

第 6 章では、本研究のまとめおよび今後の課題について記述している。

本論文の成果の中でとりわけ以下の２点で評価できる。

第 1 に、フィードバック回路における雑音特性を定式化している。これにより、UWB 帯域において平坦な利得設計と低雑音設計を可能としている。実機による測定結果によると、UWB 帯域において、利得 15dB、雑音指数 4dB を得ており、世界トップクラスの特性を達成している。

第 2 に、LNA の線形性向上のため、トランジスタの非線形特性を相殺する回路を開発している。実機における、利得、帯域幅、消費電力、雑音指数、IIP3 から算出される FOM(Figure of Merit)は、従来型 LNA に比べ 10dB 以上の高性能化を達成している。

以上要するに、本研究は、超広帯域無線通信システム実現に不可欠な超広帯域・高利得・高効率・低雑音増幅器の開発に成功したものであり、電子デバイス工学上価値ある業績である。よって本論文は博士（学術）の学位に値するものと認める。

氏　　名	Ruibing Dong
学 位 記 番 号	シ情　博甲第 439 号（工学）
学位授与の日付	平成 23 年 9 月 26 日
学 位 論 文 題 名	Development of Ultra-Wideband Impulse Radio Transmitters and Passive Components（超広帯域インパルスラジオ送信

機およびパッシブコンポーネントの開発）

論文調査委員

（主　査）　九州大学　教　授　吉　田　啓　二
（副　査）　〃　〃　林　健　司
〃　〃　〃　吉　富　邦　明
〃　〃　准教授　金　谷　晴　一

論 文 内 容 の 要 旨

The wireless personal area network (WPAN) has created a great demand for low cost, compact sized, highly-integrated, mass-producible, high-performance integrated circuits for communications. The application of WLAN includes High-Definition TV, wireless printer, wireless hard disc, sensor networks and so on. Some of these applications have been developed under the supports of existing wireless standards, such as IEEE 802.11 and blue tooth. However, the conception of WLAN is still on the very early stage, lots of efforts must be make to realize the mass application on people's daily life.

One of the important technologies to realize WPAN is Ultra-Wideband (UWB) technology. On February 14, 2002, The United States Federal Communications Commission (FCC) adopted the First Report and Order that permits UWB technology under certain frequencies and power limitations. It authorizes the unlicensed use of UWB in the range of 3.1 to 10.6 GHz. UWB has the capability of offering high data rate on short rang and wide bandwidth. The great potential of UWB lies in the fact that it is able to co-exist with the existed licensed transceivers. From that on, UWB technology has been developing very quickly. And UWB transceivers can be divided into Orthogonal Frequency Division Multiplexing scheme and Impulse Radio scheme. UWB impulse radio (UWB-IR) has distinguished characteristics, such as simple and flexible structure, potential of low power consumption and low cost. As one of key blocks, UWB-IR transmitter quickly grasps the interest of researchers in recent years.

With the progress on CMOS technology in recent years, it has been gone out of digital circuit domain because it can operate at high frequencies with acceptable performances, for example the cut-off frequency of CMOS at 0.18μm technology is about 55GHz. The significant advantage of CMOS technology is that it has much lower cost. So researchers are attempting to design radio frequency (RF) circuits on CMOS technology to replace the blocks designed on the expensive process. Besides, circuit on CMOS is good for enhancing the integration of total system. However, RF devices on CMOS technology encounter severe problems, such as, high substrate and inductance loss, low current driver ability and so on. Therefore, implementing wideband circuits using CMOS technology has become one of the hot topics in the RF circuit design.

Passive components, such as UWB band pass filter, UWB balun, is also of great importance. UWB band pass filters regulate its output power spectrum to be compliant with the emission limits defined by countries and organizations, which promises UWB transceivers not to interfere to other spectrum users. Design of UWB band pass filters on micostrip has been obtained great achievements, but scholars are still trying to optimize them. On-chip baluns and transformers have been studied on pass decade, but these are lack of consideration on UWB applications, so the relative study is almost empty.

In this thesis, Chapter 1 introduces the history of UWB technology, conception of UWB communication, and application of UWB technology. Chapter 2 discusses the basic theory of UWB-IR communication technology. The major issues of an UWB impulse radio system are: (1) methods for generating UWB impulse; (2) methods for modulating UWB impulse; (3) methods for detection; and (4) critical passive components.

Chapter 3 presents two low power non-coherent UWB-IR transmitters, a root raised cosine (RRC) generator and a low power delay loop line (DLL). The first presented UWB-IR transmitter mainly consists of a ring oscillator, an inductorless shaping circuit, and a differential to single ended converter. Because these circuit blocks are digitally control, which will stop working when it is standby, the power consumption is greatly reduced. The second presented UWB-IR transmitter uses more practical signal structure and BPSK+PPM modulation. There are two innovations in this transmitter: single ended ring oscillator with initial phase selection and balun with capacitor connected in series (BCCS). Two separated single ended ring oscillators with initial phase selection are employed to generate out-phase single, which reduce power consumption comparing with one differential ring oscillator. And it enables the BPSK modulation only by digitally controlled circuit with the help of BCCS. BCCS is a balun specially designed for UWB transmitter. It can greatly suppress the power spectral density (PSD) of UWB-IR signal at low frequency because it obtains third-order high pass characteristics by imposing two additional transmission zero at low frequency. BCCS also helps to realize the BPSK modulation. A low power RRC generation circuit is also presented in this chapter, which is aim to fulfill the requirement of IEEE 802.15.4a standard. It is

designed based on the simplified current style digital to analogy converter. It used the symmetric of RRC signal, so only half of current sources are needed. The measured results shows that RRC waveform has been successfully produced though there are some flaws. The low power DLL is design to generate 500MHz clock. Although the DLL is designed base on common theory, it is still significant because 500MHz clock is wide use in the UWB-IR transceiver and it is optimized for low power consumption. The measurement shows that 500MHz clock is successfully output

Chapter 4 discusses UWB band pass filter and UWB balun. The first half is about UWB band pass filter. At the first, introduction of general filter theory is presented, which includes the analysis of filter formulas, Richard's transformation, Kuroda indentifies and band stop filter. And then UWB band pass filter theory based on multimode resonator (MMR) is presented. The UWB performance was achieved by using tight coupled of interdigital lines and stepped impedance resonator (SIR), which realize multiple-mode resonators. Then a UWB band pass filter with large notch suppression is presented. A notched bandwidth is needed between 5.15-5.8GHz to avoid the interference to IEEE802.11 wireless network. The large notch is realized by adding a second order band stop filter on the low impedance transmission line of SIR. The second order band stop filter is modified from parallel coupling line type, which is optimized for the size to make it able to attach to SIR. The measured result shows that the 3dB bandwidth of the UWB band pass filter is located between 3.1-4.8GHz and 6.1-10.2GHz. The magnitude of S21 is less than -15dB between 5.15G-5.8GHz. The size of the fabricated the UWB band pass filter is 16.7mm×2.5mm, i.e., approximately 0.99λ by 0.15λ, λ is the wavelength at the center frequency 6.8GHz. The second half analyzes on-chip transformer/balun and discusses its equivalent circuit. Then the analysis and design of BCCS is presented. The BCCS is fabricated on CMOS 0.18μm technology and measured. The measured ｜S21｜ and ｜S31｜ is below -25dB between 0.96-1.61GHz and is around -7.5dB within 3-8GHz, which indicate that high pass characteristic is obtained. The measured magnitude imbalance is within 1dB between 3-8GHz. And the measured magnitude imbalance is within 3.5 degrees between 3-8GHz. Transformer with capacitor connected in series (TCCS) is also designed and fabricated on CMOS 0.18μm technology. The measured results shown that high pass characteristic is obtained. The measured ｜S21｜is around -4dB, and the measured ｜S11｜is below -10dB.

Finally, Chapter 5 summarizes and concludes the work in this thesis, and discusses on possible future research based on this thesis.

論 文 調 査 の 要 旨

携帯電話、スマートフォン、無線 LAN 等に代表される移動体通信機器の高度化により、いつでもどこでもブロードバンド通信が可能な環境を提供するユビキタスネットワーク社会が実現されつつある。ユビキタスネットワーク社会の更なる高度化のためには、移動体通信機器の小型化、低消費電力化とともに新しい通信方式の開発が必要である。近年 3-10 GHz 帯の微弱電波を通信に利用する UWB(Ultra Wide Band：超広帯域無線)と呼ばれる無線通信方式が注目されている。これは 2002 年米国の連邦通信委員会により許可され、日本でも 2006 年より認可された新しい時分割通信方式である。UWB 技術を用いれば、数 GHz にわたる非常に広い帯域の微弱電波を使用することで、ごく短い時間のパルス状の信号を実現することができるので，短距離内での高速なデータ通信が可能となる。このため近距離高速ワイアレス通信市場での実用が期待され、UWB 通信機の研究・開発が活発化している。

UWB 通信機は、直交周波数分割多重方式とインパルスラジオ(Impulse Radio:IR)方式に分けることができるが、UWB インパルスラジオ (UWB-IR) は、回路構成がシンプルかつ柔軟で、低消費電力と低コストを両立きるという点で、多くの研究開発が行われている。しかしながら、スパイラルインダクタをはじめとする受動素子や、シリコン基板の持つ高い損失のため、CMOS(Complimentary Metal-Oxide Semiconductor)回路への実現は困難であった。さらに、UWB 通信においては、広い周波数帯域において他のスペクトルユーザへの干渉を抑えるため、UWB バンドパスフィルタ、UWB バランなどの多数の受動部品が必要であるが、これまで狭帯域用の設計手法しかなく受動素子の実現には新たな設計手法の開発が課題であった。

著者は本論文で、アナログ CMOS 回路内に種々の新しい回路を提案し、UWB 通信用高性能送信機を実現している。さらに、UWB バンドパスフィルタ等の広帯域パッシブ部品についても新たな設計手法を提案し、開発に成功している。本論文では、第 1 章および第 2 章で、UWB 通信システムの現状及び研究課題について述べている。

第 3 章では、IEEE 802.15.4a に準拠した 2 つのタイプの UWB-IR 送信機の開発を行った。送信機をリング発振器、整形回路、コンバータ等の新しい回路構成により実現し、高性能化に成功した。また、スタンバイ状態において動作を停止するデジタル制御回路を導入することにより、送信機の消費電力を大幅に軽減することに成功している。

第 4 章では、マルチモード共振理論の適用およびステップインピーダンス分布定数線路およびノッチ制御用回路

の導入により、UWB バンドパスフィルタおよび UWB バランを高性能化する設計手法について述べている。これらの回路の試作・評価を行い、優れた信号通過特性を得ることに成功している。

第 5 章では、本研究のまとめおよび今後の課題について記述している。

本論文の成果の中でとりわけ以下の 2 点で評価できる。

第 1 に、クロックにより、リング型発信器から生成される出力を、0 度と 180 度の位相差に分割し、さらに各位相において、波形整形回路を独立に駆動させることで波形整形し、その後ミキサにより合成する回路の開発に成功している。これにより、実機による UWB 帯域外のパワースペクトル密度を－72.3dBm/MHz まで低減し、さらにチップ面積を約 1/5 に縮小することに成功した。

第 2 に、UWB 通信の仕様を満たす、帯域阻止フィルタ特性を有する UWB バンドパスフィルタの開発に成功している。一般的なマルチモード共振フィルタをベースとし、入出力のカップリングをインターディジタルギャップにより構成するとともに、不要信号を抑圧するオープンスタブを対向して接続することにより、UWB の仕様を満たしつつ、フィルタ面積を従来型に比べ約 50%削減することに成功した。

以上要するに、本研究は、超広帯域無線通信システム実現に不可欠な超広帯域・小型パルス送信機の開発に成功したものであり、電子デバイス工学上価値ある業績である。よって本論文は博士（工学）の学位に値するものと認める。

氏　　名	Mahmoud Ahmed Abdelghany Khalil
学 位 記 番 号	シ情　博甲第 440 号（学術）
学位授与の日付	平成 23 年 9 月 26 日
学 位 論 文 題 名	Development of Low Flicker-Noise and Low-Power Direct Conversion Receivers for 2.4/5.2GHz Wireless Communication Systems （ 2.4/5.2GHz 帯無線通信システム用低フリッカー雑音・低電力ダイレクトコンバージョン受信機の開発）

論文調査委員

（主　査）	九州大学	教　授	吉　田　啓　二
（副　査）	〃	〃	松　山　公　秀
〃	〃	〃	庄　山　正　仁
〃	〃	准教授	金　谷　晴　一

論 文 内 容 の 要 旨

The wireless revolution has created a great demand for low cost, small-sized, highly-integrated, mass-producible, but, nevertheless, high-performance integrated circuits for communications. The prosperous growth in radio frequency (RF) cellular products has been witnessed for the last two decades, and it appears that the growth will keep on going in the next several years. Not surprisingly, over the last few decades of research and development in both academia and industry has been concentrated in this area, particularly work associated with employing integrated circuits to replace bulky, expensive, and power hungry discrete and multichip solutions.

The superheterodyne architectures have shown superior performances in terms of receiver's selectivity and sensitivity as compared to the direct conversion architectures because they use more filtering stages at the intermediate frequency (IF) stage. However, as the demands for low cost and low power solutions are increased in the wireless market, it has been shown that the direct conversion architectures are the better choices for low cost and low power wireless applications. In a direct conversion receiver, the RF signal is down-converted to DC directly, which eliminates the need for expensive off-chip filtering and image frequency issues. Even if direct conversion architectures are extremely attractive to realize highly integrated solutions for wireless applications, they have a few drawbacks: flicker noise, dc offset, even-order distortion, and LO leakage. Flicker noise degrades the signal-to-noise ratio (SNR) and total noise figure, which results in the degradation of receiver sensitivity. CMOS transistors suffer from high intrinsic flicker noise, which is inversely proportional to the gate area (W×L) of the MOSFET. Therefore, minimum length of the device increases flicker noise. In general, a mixer is the main source of flicker noise generation in CMOS receivers. Passive CMOS mixers are considered as the appropriate choice for direct conversion receivers because they do not contribute to flicker noise. However, due to conversion loss, a higher gain of LNA is required to minimize baseband noise contribution. In order to decrease flicker noise in CMOS Gilbert cell mixer, the bias current of the LO switches should be small enough to lower the height of noise pulses. The dynamic current injection technique was employed to reduce the bias current of the LO switches. Also, the tail capacitance should be minimized to decrease the indirectly translated flicker noise.

This dissertation consists of two contributions. First, a low flicker noise CMOS receiver front-end implementation for direct conversion architecture including LNA, active balun, mixer, and on-chip low-pass filter will be discussed, and the measured results will be demonstrated. Second, a low-voltage low-power CMOS receiver front-end for direct conversion

architecture including a subthreshold LNA and a fully differential double balanced single-gate mixer will be presented, and the measured results will be demonstrated as well.

In this thesis, Chapter 1 defines the introduction and the motivation, including the main objectives of this research. In Chapter 2, direct conversion receiver design considerations have been introduced. DC-offset, quadrature signal mismatch, even-order distortion, LO-leakage, and flicker noise are the main drawbacks that should be considered during the design phase. Great research efforts had been done to mitigate such drawbacks since the direct conversion receiver is attractive to realize highly integrated solutions for wireless applications.

In Chapter 3, we discussed the flicker noise theory in MOSFETs. Two main flicker noise models had been proposed by McWorther and Hooge. Measurement results introduced in literature show that the McWorther model, which is based on carrier density fluctuation model, is much more applicable for CMOS transistors. Unified flicker noise model used in BSIM3v3 transistor model shows that the flicker noise is inversely proportional to the transistor gate area [W×L].

RF CMOS mixer is the main source of flicker noise in a direct conversion receiver (DCR), since the base-band signal at the mixer output are strongly affected by the flicker noise in the mixing stage. Flicker noise direct and indirect generation mechanisms in Gilbert cell mixer circuits have been discussed. Flicker noise direct generation mechanism due to the finite slope of the LO switching signal, which results in a noise current pulse train at the output. While the flicker noise indirect generation mechanism due to the parasitic capacitance at the node between the LO switching stage and RF transconductance stage. By understanding these generation mechanisms, three flicker noise reduction techniques had been discussed, which are static current injection, dynamic current injection, and dynamic current injection with tuning inductor.

Chapter 4 details a proposed design of low flicker noise receiver front-end. First, a low flicker noise with dynamic current injection and tuning spiral inductor had been designed, fabricated, and measured. It shows a quite good flicker noise performance with a flicker noise corner frequency of 100KHz compared to 1MHz corner frequency for the conventional Gilbert cell mixer which also had been fabricated for comparison purpose. LNA had been designed with optimum input matching at 5.2GHz band. Moreover, an active balun had been design with an amplitude and phase mismatch of 0.3dB and 2^{O} degree, respectively, to convert the single-ended signal output from the LNA to a differential signal suitable to feed the differential mixer. Furthermore, a second-order poly phase filter had been employed in this design to generate a quadrature LO signal form a differential LO signal, which is externally injected to the chip. Low flicker noise Gilbert cell mixer, which had been tested before, was employed in the receiver chain followed an on-chip low-pass filter for further signal filtering. The proposed DCR for 5.2GHz band had been fabricated using TSMC 0.18μm technology. The receiver shows a third order intercept point of 4dBm with 72mW power consumption. 100KHz flicker noise corner frequency has been achieved by using a dynamic current injection technique with tuning spiral inductor. The receiver achieves a 25dB conversion gain and 7.2dB SSB-NF at 0 dBm LO power.

Since the passive spiral inductor had been used as a tuning inductor to cancel out the effect of the tail capacitance, it suffers from a low quality factor due to substrate loss and skin effects. Therefore, in the second proposed low flicker noise DCR for 2.4GHz band, a differential active inductor (DAI) had been used instead of a spiral one. DAI consumes small chip area, compared to the spiral one, and many other benefits including high quality factor and tuneable inductance. A differential active inductor had been designed, fabricated, and measured. It shows a controllable inductance from 1.1nH to 2.3nH with a quality factor from 25 to 110, respectively, at frequency of 2.4GHz. The design of the differential active inductor tested before had been used as a tuning inductor in low flicker noise Gilbert cell mixer as a replacement of the bulky spiral one. The proposed Gilbert mixer with differential active inductor and dynamic current injection had been design, fabricated, and measured. It has the advantages of low flicker noise and small chip area, because both, direct and indirect, flicker noise sources have been minimized. The mixer has a 15dB NF @ 1MHz with 300KHz flicker noise corner frequency. The proposed mixer achieves 12dB conversion gain, and IIP3 of -5.5dBm. The mixer operates under 1.8v supply voltage with 19.8mW power consumption.

Hence, the proposed low flicker noise mixer with differential active inductor had been employed in the proposed 2.4GHz direct conversion receiver, which consists of LNA, active balun, poly-phase filter, and low-pass filter as discussed before. The proposed DCR had been design and simulated using TSMC 0.18μm technology. The receiver shows a third order intercept point of -13.5dBm with 137.5mW power consumption and 30KHz flicker noise corner frequency by using a dynamic current injection and differential Active inductor techniques. The receiver achieves

a 34dB conversion gain and 6.7dB SSB-NF. The receiver chip size is 1830×1450 μm.

In Chapter 5, details a proposed design of low-voltage low-power receiver front-end. MOSFET transistors operating in subthreshold region are particularly suited for systems where power dissipation is a very important consideration, as in nowadays battery powered portable devices. Proposed receiver front-end in this chapter is based on subthreshold transistors, including a subthreshold LNA and a single gate mixer.

Single-gate mixer is a nonlinear active device named NMOSFET, which can be used to multiply two signals to generate a product signal. A combing circuit combines multiplicand signals into a combined signal, which used to drive this NMOSFET. A low-power double-balanced single-gate mixer using TSMC 0.18-μm CMOS technology has been presented. The mixing mechanism is that the LO signal used to vary the transconductance g_m, which results in modulation of the RF gain and consequently provides frequency conversion. The proposed mixer uses NMOS and PMOS transistors in current reuse technique and all transistors are biased to operate in sub-threshold region to substantially reduce the power consumption. At DC power consumption of 120-μW under 0.8V power supply and -5 dBm LO power signal, the proposed mixer achieves a conversion gain of 16.5 dB and SSB-NF of 12 dB. Under the same bias condition, the measured IIP3 is 8 dBm and return loss at RF port is better than –30 dB. Furthermore, a low-voltage low-power LNA operates in subthreshold region had been designed. NMOS transistor operates in subthreshold operation has a large gm/Id with a satisfactory noise performance gained by using a high-Q inductive components. Subthreshold LNA had been combined with a prior designed double balanced single-gate mixer to compose a low-power direct conversion receiver. The proposed low power receiver has been designed and fabricated in TSMC 0.18μm CMOS process. Measurement results show that the design consumes 1mW power from 1V supply voltage. Measured conversion gain of 27dB, SSB-NF of 19dB, and IIP3 of –3dBm had been reported in this paper. These measurement results show that the proposed DCR based on subthreshold MOSFETs can provides a reasonable performance with very low power consumption.

Finally, Chapter 6 summarizes and concludes the work in this thesis, and discusses on possible future research based on this thesis.

論 文 調 査 の 要 旨

移動体通信市場の拡大に伴うユビキタスネットワーク社会を構築するため、ソフトウェア無線(Software Defined Radio: SDR) 技術を活用したコグニティブ無線 (Cognitive Radio) の実現が期待されている。無線 LAN(IEEE802.11a/b/g/n 等)の規格では, 複数の無線システムが並存する状態となっており、今後 1 つの無線端末で多数のアプリケーションに対応する必要がある。

これらの無線端末に用いられる LSI チップは、高いキャリア周波数で動作する低雑音増幅器 (Low Noise Amplifier: LNA) 、電力増幅器 (Power Amplifier: PA) 、ミキサー、発振器、各種フィルタ、インピーダンス整合回路等の高周波アナログ回路、および ADC (アナログ - デジタル変換器) 、DAC (デジタル-アナログ変換器) などのデジタル回路が混在するミクストシグナル LSI 回路の開発が不可欠である。

著者は本論文で、受信用 RF フロントエンドチップを構成するこれら高周波アナログ回路を、各種回路シミュレータおよび電磁界シミュレータを用いて設計し、ファウンドリにより試作した LSI チップを計測・評価することによりこれらの回路の高性能化を行っている。特にヘテロダイン受信動作において、ミキサー入力のキャリア周波数と局部発振器(Local Oscillator: LO)の周波数を一致させることにより低消費電力化を実現するダイレクトコンバージョンレシーバ (Direct Conversion Receiver: DCR) の高性能化について行った研究結果について述べている。

本論文では、まず第 1 章で、マルチバンド RF フロントエンド開発の現状について述べ、第 2 章では、DCR の原理および設計上の問題点について述べている。

第 3 章では、DCR 回路における雑音を低減するためチューニングインダクタと新しいダイナミック電流源を提案し優れた雑音特性を実現した結果について述べている。

第 4 章では、差動入力回路およびポリフェイズフィルタを導入することにより、QPSK (4 相シフトキーイング) に対応した 4 位相 IF 出力が可能となるレシーバを開発した。また、LO 信号の漏洩を抑えるため、帯域阻止フィルタを出力側に追加した。

第 5 章では、レシーバ回路の低消費電力化のためサブスレッショルド領域で動作する LNA とシングルゲートミキサを開発した。試作及び評価結果から、極めて低消費電力で動作することを確認している。

第 6 章では、本研究のまとめおよび今後の課題について記述している。

本論文の成果の中でとりわけ以下の２点で評価できる。

第 1 に、チューニングインダクタ回路とダイナミック電流源回路を提案し、各々を搭載したミキサーを開発し、雑音特性を低減した点である。これにより、フリッカー雑音コーナー周波数を従来型の 2MHz に比べ、0.5MHz まで改善

することに成功した。

第 2 に、差動入力回路およびポリフェイズフィルタを導入することにより、4 位相 IF 出力が可能となるレシーバを開発した。0.18 ミクロン CMOS(Complimentary Metal-Oxide Semiconductor)プロセスにより試作および評価を行ったところ、変換利得 25dB、消費電力 72mW、3 次インターセプトポイント(IIP3)4dBm、0dbm LO 信号における雑音指数 7.2dB という世界最高クラスの性能を実現している。

以上要するに、本研究は、移動体通信システム実現に不可欠な高利得・高効率・低雑音受信機の開発に成功したものであり、電子デバイス工学上価値ある業績である。よって本論文は博士（学術）の学位に値するものと認める。

氏　　名	孫　　偉
学 位 記 番 号	シ情　博甲第 441 号（工学）
学位授与の日付	平成 23 年 9 月 26 日
学位論文題名	Application of High Electric Field-mediated Phenomena to ProcessingCabon Nanotube （カーボンナノチューブプロセッシング技術への高電界現象応用）

論文調査委員

（主　査）	九州大学	教　授	末　廣　純　也
（副　査）	〃	〃	岡　田　龍　雄
〃	〃	〃	白　谷　正　治

論 文 内 容 の 要 旨

This research involved electrical engineering and nanotechnology, and put focus on exploiting electric filed-mediated phenomena on the processing CNT and its applications. Carbon nanotubes have superior mechanical, electrical, and thermal properties and show great promising applications in many fields, especially for the great impact on electrical and electronics. However, there are still too many handicap and difficulties in processing them to take their full advantages for practical applications. In order to realize the beneficial economic and societal value of carbon nanotubes, numerous syntheses with low cost and high purity, solubilization and dispersion in different medium, manufacturing on process development and scale-up should be addressed. Now processing and manufacturing methods have demonstrated feasibility at the laboratory scale, of which an important subset has progressed to scale-up pilot plants and full-scale commercial production. Therefore, much effort is still needed to accelerate the practical applications.

The first part is related to plasma techniques. It is well known that plasmas lead to the process and various modifications of CNTs. Nevertheless, it is worth noticing that CNTs also can be used in plasma-based tools. For one thing, the large volume streamer discharges have large commercial applications, such as the treatment of sludge water, the dissociation of toxic chemicals, the cleaning of contaminated water. Since the production of large volume and stable streamer discharge directly in aqueous solution usually brings significant difficulties, a possibility of enhancement and stabilization of streamer discharge in the presence of adding CNTs was investigated. The purpose of using additive of CNTs leads to the expectation of stable discharge ignition when CNTs is directly introduced into the discharge zone, since electrons can be emitted from the CNTs. For another, most applications of CNT require changing their surface properties to make them soluble and disperse in different medium homogenously, for example in water, which are important to improve the practicability of CNT. However, the acid oxidation method usually takes long time and surfactant functionalization method introduces unnecessary substance. There is a demand for functionalization of CNTs with a relative short time and environmentally friendly process without any reagent. The DBD plasma in atmosphere was applied to solve this problem.

The other part is related to electrokinetics phenomena which was applied to align CNT in polymer to prepare conductive composites. Inducing alignment of CNTs in polymer matrix benefits to reduce the loading fraction lower than randomly dispersed ones. In this study, the effects of different conditions of electric field on the micro sized CNT networks formation and the resistivity of the prepared composite films were investigated. Then, this work addressed the issue of preparing large-scale conductive films with aligned CNT. A new type of arrayed parallel electrodes system was proposed to induce fairly good CNTs alignment in large-scale. The innovation of this method is that the size of the composite film with horizontally aligned CNTs can be easily enlarged by increasing the number and the length of the wire electrodes. Moreover, the electrical alignment of nanomaterials in the composite is applicable for several kinds of materials, for example inorganic metal wire, dielectric nanomaterial.

The whole thesis is composed of six chapters:

Chapter 1 gives some basic theoretical introduction on plasma and electrokinetics, also an introduction on the object material of carbon nanotubes which are processed by using these electric field mediated phenomena.

Chapter 2 will give a review of previous research results on functionalization and orientation of CNTs.

Chapter 3 will describe the research of streamer discharge plasma in water. The effect the enhancement and stabilization effect of SWCNT on pulsed streamer discharge are stated. The influence of aspect ratio and concentration of SWCNT were investigated by experiment and simulation. These results suggest that addition of carbon nanotubes in water could be useful for inception and activation of plasma. It also indicated that enhancing the streamer discharge by adding a small amount of SWCNT to water could be effective for many applications such as water purification processes and removal of organic pollutants and bacteria.

Chapter 4 will describe the research of applying DBD plasma to treat and solubilize CNTs. The effect of ozone generated by DBD plasma on functionalization and solubilization of SWCNT using are stated. The solubility and morphology of DBD treated SWCNT was characterized and showed that SWCNTs surface was functionalized by 砲 OOH groups with negative charges, which produced electrostatic repulsion forces to prevent their aggregation. The proposed ozone treatment method using DBD has dramatic effects on water solubility as well as on morphology and purity of SWCNT. DBD is proved to be applicable for a simple and cost effective carbon nanomaterial functionalization without using solvents or toxic chemicals.

Chapter 5 will describe the research of preparation of aligned MWCNT/epoxy conductive composites by AC electric field. Characterize the nanocomposites through optical microscopy, conductivity measurements, and estimate the morphology of alignment by texture analysis. Finally, a new method to prepare large-scale conductive composite film with alignment of MWCNT by using a proposed new electrode system is introduced. This method can be applicable to fabricate functional composites filled with other nanosized fillers.

Chapter 6 makes a conclusion of the whole thesis and also gives the directions for future research.

論 文 調 査 の 要 旨

1991 年に発見されたカーボンナノチューブ（CNT）はナノテクノロジーを代表するナノ材料として様々な分野への応用が期待されている。発見当初はその安価な大量製造法を中心に研究が進められていたが、近年ではその優れた機械的・電気的特性を活かしたナノ複合材料や各種デバイスの研究開発も活発に行われている。このように CNT に関する研究は材料創製から応用まで多岐に亘る分野で実施されているが、その中で高電界や高電圧現象を利用する試みが各所で行われ注目を集めている。例えば、液体中に浸漬した電極系にパルス高電圧を印加した際に発生するストリーマ放電を利用した CNT 水溶化技術や、高電界を用いた誘電泳動集積法による CNT ガスセンサの作製技術などが開発されている。

著者は、高電界現象を利用した新たな CNT の操作・処理技術の開発を目的として、CNT 懸濁水溶液中におけるストリーマ放電現象の観測と放電機構の解明、誘電体バリア放電を利用して発生させた高濃度オゾンによる CNT 水溶化、高電界中での CNT 静電配向を利用した大面積 CNT 複合材料の開発に関する一連の研究を行い、多くの新しい知見を得ている。本論文は、それらの成果をまとめたもので、次の諸点で評価できる。

第一に、水中ストリーマ放電による CNT 水溶化技術に関連して、水中に懸濁した CNT が水中ストリーマ放電に与える影響を調査し、高アスペクト比を有する CNT 近傍での電界集中効果によって水中ストリーマ放電の発生と成長が促進されることを初めて明らかにしている。

第二に、大気圧空気中の誘電体バリア放電によって発生させた高濃度オゾンを用いた官能基修飾による CNT 水溶化法を新たに考案し、オゾン処理によって CNT 表面を親水性のカルボキシル基で化学的に修飾することで CNT を水溶化できることを明らかにしている。

第三に、高周波高電界によって電界方向に静電配向させた CNT をフィラーに用いたナノ複合材料の大面積化を実現するため、アレイ化したパラレルワイヤ電極系と電界平均化法を新たに考案し、これらを用いて従来法に比べて 100 倍以上の面積を有する CNT／エポキシ複合フィルムを作製することに成功している。

第四に、上記の手法で作製した CNT／エポキシ複合フィルムの電気抵抗率は静電配向によって約 3 桁低下すると同時に電界平均化法によってフィルム全体に亘りほぼ一定の値が得られることを明らかにしている。

以上要するに、高電界現象を利用した新たな CNT の操作・処理技術の開発を目的として、水中に懸濁した CNT が水中ストリーマ放電に与える影響の解明、誘電体バリア放電によって発生させた高濃度オゾンを用いた CNT 水溶化法の開発、パラレルワイヤ電極系と電界平均化法を用いた大面積 CNT／エポキシ複合フィルムの作製技術などを提案したもので、ナノテクノロジー上価値ある業績である。よって、博士（工学）の学位論文に値するものと認める。

氏　　名	Amil Ahmad Ilham
学 位 記 番 号	シ情　博甲第 442 号（学術）
学位授与の日付	平成 23 年 9 月 26 日
学 位 論 文 題 名	OBJECT ORDERING OPTIMIZATION FOR IMPROVING JAVA APPLICATION PERFORMANCE

(Java アプリケーションの性能向上のためのオブジェクトの順序最適化)

論文調査委員

（主　査）	九州大学	教　授	村上　和彰
（副　査）	〃	准教授	松永　祐介
〃	〃	〃	井上　弘士
〃	〃	〃	マディプー・ファラハド
〃	〃	〃	グラール・ヴィクトル

論 文 内 容 の 要 旨

By its very nature, a Java programming freely creates a large number of objects. Computation is carried out by sending messages to (or invoking methods of) objects. As a Java program executes, its objects refer to other objects and the program might create new objects, mutate the objects and even destroy the objects. Since all these operations are done dynamically at runtime, objects may spread out randomly across the memory and their access is likely to produce a large number of cache misses or DTLB misses. Given a large number of objects and limited amount of memory, carefully managing objects in memory becomes an important issue.

In this work, we improve Java application performance by exploiting object locality. Object locality is a mapping of objects to data addresses, defined by the order of the object relative to each other. Good object locality ensures that when a program accesses an object, and the object is already in a cache line, its related objects which are more likely to be accessed soon by the program exist also at the same cache line, thereby reducing cache misses. Good cache behavior is important to application performance since cache memory is used to alleviate the cost to access main memory.

(1) Evaluation of the impact of object ordering in memory on cache and DTLB performance

We present empirical data showing the impact of object ordering in memory on cache and DTLB performance, and Java application execution time. Two different object ordering schemes are evaluated: Breadth First (BF) scheme and Depth First (DF) scheme. BF and DF schemes differ in the way they place the related objects in memory. BF scheme creates an order of objects which sibling objects are placed close to each other in memory. On the other hand, DF scheme creates an order of objects which a parent object and its child referenced by the first field in the parent object are placed consecutively in memory.

Our experiment results show the importance of object order to cache and DTLB performance, indicated by the different impacts of BF and DF schemes on cache and DTLB performance. When objects are ordered in DF scheme, the number of L1D cache misses, L2 cache misses and DTLB misses are significantly reduced for some applications. Such improvement affects the total execution time of the applications and this confirms the importance of good cache behavior to application performance on modern processors where higher clock rate and higher miss penalties have become common.

(2) Optimization of frequently accessed object order

We present Hot Depth First (HDF) scheme to optimize the order of frequently accessed objects for improving object locality. Unlike DF scheme which always moves the object referenced by the first field in the parent object closed to its parent, the optimized scheme places the object referenced by the hot field in the parent object closed to its parent regardless the position of the hot field in the parent object. This gives advantages in the sense that a parent object and its hot child object will reside at the same cache line, thus improving object locality.

Our experiment results show that caches and DTLB behave positively in responding to the order of objects based on HDF scheme. HDF scheme outperforms DF scheme by improving L1D cache misses, L2 cache misses and DTLB misses for all applications. Including the overhead of optimization, HDF scheme improves application execution time relatively compared to DF scheme.

Understanding the impact of object ordering in memory on cache and DTLB performance and Java application execution time is useful for improving automatic memory management in a Java virtual machine. Optimizing the order of frequently accessed objects in memory reveals that a proper object order can improve object locality, and this benefits to memory performance and application execution time.

論 文 調 査 の 要 旨

Java プログラミング言語は今日最も広範にアプリケーション開発に用いられており，Java プログラムの実行の高効率化が一つの大きな技術課題となっている．Java はクラスベースのオブジェクト指向プログラミング言語であり，Java プログラムは複数のクラスから構成される．プログラ

ム実行は，各クラスが実体化したオブジェクト群が相互にメッセージをやりとりしながら行われる．ここでプログラムの実行に伴って大量のオブジェクトがメモリのヒープ領域に生成されることになるが，そのメモリ管理は「Java 仮想マシン（JVM）」に統合された「ガベージコレクション（GC）」の機能によって行われる．他のオブジェクト指向プログラミング言語である C++ ではオブジェクトを使用しなくなった際にプログラマ自身が明示的にこれを破棄する必要があり，これが C++ プログラマの負担を増大させ，ソフトウェアの安全性・開発効率・保守性を損なう要因となっている．一方，Java では GC によりプログラマの負担は大きく軽減されるが，逆に GC のオーバヘッドを如何に低減化するかが課題となっている．

本研究では，GC の一実現手法である「コピーGC」に着目し，有効なオブジェクトをコピーする際の「オブジェクトの並び（object ordering）」を最適化することで，キャッシュメモリおよびアドレス変換バッファ（TLB）のヒット率を向上させることを提案している．一般にオブジェクト間の参照関係は木構造を成しており，これら複数のオブジェクトを線形なメモリ空間に配置する際には「幅優先（BF: breadth first）」で並べるのが一般的である．これに対して，「深さ優先（DF: depth first）」で並べることも方式的には可能である．そこで本研究ではまず，「オブジェクト局所性（object locality）」という概念を提案し，オブジェクトの並びとして BF 法と DF 法とでどちらがオブジェクト局所性を高めることが出来るかを実験により検証した．このオブジェクト局所性は所謂「メモリ参照の局所性」に基づいた概念であり，「あるオブジェクトが参照された時，その後に参照される可能性の高いオブジェクトを当該オブジェクトの近くに配置すればキャッシュメモリおよび TLB のヒット率が高くなるであろう」という経験則である．計 11 個の Java ベンチマークプログラムを対象に Pentium 4（レベル１データキャッシュ：64B ライン×4 ウェイ×32 セット＝8KB，レベル２キャッシュ：64B ライン×8 ウェイ×1024 セット＝512KB，データ TLB：64 エントリ）上で生成されたオブジェクトのサイズ分布，そして DF 法および BF 法双方におけるレベル１データキャッシュ・ミス率，レベル２キャッシュ・ミス率，データ TLB ミス率，プログラム実行時間（GC 時間，および，それ以外の時間）を計測した．その結果，２つのプログラム（raytrace と compress）を除く９個のプログラムにおいて，BF 法と DF 法の違いが実行時間に与える影響が 3～16%と大きく，しかも compress を除く 11 個のプログラムで DF 法の方が BF 法よりも高い性能を得ることを明らかにした．さらに，生成されたオブジェクトのサイズ分布と性能との間に相関関係（オブジェクトサイズが 16B 程度と小さいオブジェクトが多い方が DF 法の効果が大きい）があることも明らかにした．このようにオブジェクト局所性が実際に存在し，かつ，その性能への影響を定量的に評価したのは本研究が最初であり評価に値する．

さらに本研究では，DF 法の拡張として，オブジェクトの参照頻度に偏りがあるという事実に着目して，「子オブジェクトを複数有する親オブジェクトの隣に配置すべき子オブジェクトとして，最も参照頻度の高い子オブジェクトを選択して配置する」という「ホット深さ優先（Hot DF）」方を考案した．そして，上記と同様に実験を行った結果，オリジナルの DF 法に比べて（raytrace と compress を除く９個のプログラムに対して）3～6%の性能向上が可能であることを示した．

以上を要約すると，本研究は重要性が増している Java プログラムの実行効率向上を目的に，そのコピーGC の際のオブジェクトの並びが性能に与える影響に着眼し，一般的な BF 法よりも DF 法の方が実行性能が高いことを明らかにし，さらに DF 法の拡張方式を考案し，その有効性，有用性を示したものである．本研究で得られた知見は情報科学の分野，特にコンピュータアーキテクチャの研究分野に対して寄与するところが大きい．よって，本論文は博士（学術）の学位論文に値すると認める．

氏　　名	入　江　直　彦
学 位 記 番 号	シ情　博甲第 443 号（工学）
学位授与の日付	平成 23 年 9 月 26 日
学 位 論 文 題 名	組込みシステムの進化を支える SoC(System-on-a-Chip)アーキテクチャに関する研究

論文調査委員

（主　査）	九州大学	教　授	村上　和彰
（副　査）	〃	〃	古川　浩
〃	〃	准教授	松永　裕介
〃	〃	〃	井上　弘士

論 文 内 容 の 要 旨

携帯電話に代表されるように、1990 年代から 2000 年代にかけて、組込み機器の機能向上は目覚しいが、この進化を牽引しているのが、搭載される SoC(System-on-a-chip)である。組込み向け SoC に対する要求事項としては、①多数の機能の搭載、②高いリアルタイム性、高信頼、高電力効率、低コストの実現、③ハードウェアとソフトウェアの協調による最適化、が挙げられる。そこで、組込み向け SoC に要求される上記要件に対し、最適な実行制御を行う SoC アーキテクチャの提案することを課題とした。特に本研究ではソフトウェアとの協調による実行制御の最適化を図るという観点から、（１）コンパイラと連携し小面積で分岐オーバヘッド削減を実現する分岐アーキテクチャ、（２）インタプリタと連動し性能向上を図る Java アクセラレー

タ、（３）携帯電話向けアプリケーションプロセッサにおけるシステムレベル低電力技術、（４）システムソフトウェアと連動して非機能要件の実現を支援するマルチコア SoC プラットフォーム、に関して検討を行った。

（１）分岐アーキテクチャ：

静的分岐予測および命令コードスケジューリングを活用し、小面積で分岐オーバヘッドを削減可能な分岐アーキテクチャを開発した。新たな分岐命令セットとして split branch アーキテクチャを提案した。split branch アーキテクチャとは、アドレス計算を prepare-target 命令として分離し、ここに静的分岐予測結果を埋め込むことで、分岐先命令のプリフェッチを行い、分岐オーバヘッドを削減する。分岐先プリフェッチを小面積で効果的に行うために、分岐先アドレスの格納レジスタである IAR (Instruction Address Regisger)と連動したプリフェッチバッファを用いる分岐マイクロアーキテクチャを提案した。静的分岐予測がミスした際にもオーバヘッドサイクルを最小にするために、アクティブおよびパッシブプリロード方式、および、多重命令バッファ方式を提案した。分岐オーバヘッドサイクルの低減効果を見積もったところ、分岐予測確率 90%、prepare-target 命令と分岐トリガ命令との距離 2.5 命令の場合に、従来方式に比べ分岐オーバヘッドを 50%削減可能であることを示した。本方式に基づく SH-5 CPU コアを 0.18 μmCMOS プロセスで実装し、本方式に必要なハードウェア量が CPU コア全体に対し、約 1%と非常に小さい面積で実現できることを実証した。

（２）Java アクセラレータ：

携帯電話向けアプリケーションプロセッサ向けに Java アクセラレータ BISTRO の検討を行った。BISTRO は、小面積での実装、および、インタプリタとの頻繁なハンドオーバを考慮し、制御／データ共有方式を採用した。また、Java 性能および携帯電話に搭載するための柔軟性を考慮し、JavaVM のデータ構造の汎用レジスタへのマッピング、インタプリタへのハンドオーバ高速化、CPU コア側の機能拡張、様々なコンフィグレーションレジスタによる柔軟な VM と BISTRO との関連付け、を行った。BISTRO を携帯電話向けアプリケーションプロセッサ SH-Mobile 上に実現し、チップ面積の 0.8%と小面積で実装できることを実証した。また、Java ベンチマークである Embedded Caffeine Mark (ECM) を用いて性能評価し、ソフトウェア VM と比較して１０倍の性能である 6.5ECM/MHz を達成した。

（３）アプリケーションプロセッサ低電力技術：

130nm 以降の CMOS プロセスにおいては、リーク電流が増大するために、待機時の電力削減が重要となる。リーク電流削減のためには、電源遮断が効果的であるが、これと高速復帰を両立するために R スタンバイモードを開発した。R スタンバイモードは、オンチップの電源スイッチを制御し、必要な領域のみ電源遮断を行うと共に、復帰時に必要なレジスタ内容をハードウェアあるいはソフトウェアによりバックアップすることで高速復帰が可能となる。本方式を SH-Mobile3 に適用し、130nmCMOS プロセスにおいて、待機時電力 86μA を達成した。これは電源遮断を行わない場合に比べ、96%の削減となる。また、復帰時間に関しては、2.8msec 以下を実現しており、パワーオンリセット時の復帰と比較して 100 倍以上の高速化を達成した。

（４）マルチコア SoC 向けプラットフォーム：

半導体の微細化が進み、多数の CPU コアやマルチメディア IP が SoC 上に実装される際に、電力効率、高信頼性といった非機能要件の実現が困難となってくる。そこで、非機能要件を容易に実現するためのマルチコア SoC プラットフォームを検討した。多数の CPU コアやマルチメディア IP の協調動作を行い、非機能要件を実現するための全体最適化を行うためのハードウェア支援機構として、SoC 内インターコネクト、コントローラおよびセンサから構成される「ファブリック」を提案した。ファブリックの例として、以下を検討した。

(a) プログラムの動作時に各 CPU コアの電源を遮断可能し電力消費を制御する「電源供給ファブリック」を提案した。１７の電源ドメインで分割されるマルチコア SoC を試作し、動作時に電源遮断が可能であることを実証した。

(b) SoC 全体の温度および発熱状態をモニタし、動作周波数などを制御することで発熱制御を行う「リソース管理ファブリック」を提案した。試作チップ上において、周囲温度の変化に応じて電力を制御する機構の動作を実証し、動作マージンを減らすことで 57%の性能向上を達成できることを示した。

(c) 各 CPU コアやマルチメディア IP からのメモリアクセスをモニタし、SoC 上のメモリ保護を行う「ドメイン管理ファブリック」を提案した。２つの異なる OS を搭載するマルチコア SoC を試作し、本機構により、ある OS がメモリ領域を違反しても、他方の OS 動作に全く影響を与えないアクセス制御をオーバヘッド 5%以下で実現可能であることを実証した

論 文 調 査 の 要 旨

携帯電話に代表されるように，1990 年代から 2000 年代にかけて組込み機器の機能向上が目覚しいが，この進化を牽引しているのが搭載される SoC（System-on-a-chip）である．組込み機器向け SoC に対する要求事項としては，①多数の機能の搭載，②高いリアルタイム性，高信頼性，高電力効率，低コストの実現，③ハードウェアとソフトウェアの協調による最適化，が挙げられる．そこで，本研究では，組込み機器向け SoC に要求される上記要件に対して最適な実行制御を行う SoC アーキテクチャを提案することを目的に設定した．特に，ソフトウェアとの協調による実行

制御の最適化を図るという観点から，（1）コンパイラと連携し小面積で分岐オーバヘッド削減を実現する分岐アーキテクチャ，（2）インタプリタと連動し性能向上を図る Java アクセラレータ，（3）携帯電話向けアプリケーションプロセッサにおけるシステムレベル低電力技術，（4）システムソフトウェアと連動して非機能要件の実現を支援するマルチコア SoC プラットフォーム，に関して検討を行い，下記の成果を得た．

第一に，静的分岐予測および命令コードスケジューリングを活用し，小面積で分岐オーバヘッドを削減可能な分岐アーキテクチャを開発した．新たな分岐アーキテクチャとして「スプリット分岐（split branch)」アーキテクチャを提案している．スプリット分岐アーキテクチャとは，アドレス計算を「prepare-target 命令」として分岐命令から分離し，ここに静的分岐予測結果を埋め込むことで，分岐先命令のプリフェッチを行い分岐オーバヘッドを削減する．また，分岐先プリフェッチを小面積で効果的に行うために，分岐先アドレスの格納レジスタである命令アドレスレジスタ（IAR）と連動したプリフェッチバッファを用いる分岐マイクロアーキテクチャを開発した．さらに，静的分岐予測がミスした際のペナルティを最小にするために，アクティブおよびパッシブプリロード方式，および，多重命令バッファ方式を提案した．これらの方式による分岐オーバヘッド低減化効果を見積もったところ，静的分岐予測ヒット率 90%，prepare-target 命令と分岐トリガ命令との距離が 2.5 命令の場合，従来方式に比べ分岐オーバヘッドを 50%削減可能であることを示した．最終的に，本方式に基づく SH-5 CPU コアを 180nm CMOS プロセスによりハードウェア増量約 1%と非常に小さい面積で実現したことは大きく評価できる．

第二に，携帯電話向けアプリケーションプロセッサ用に Java アクセラレータ「BISTRO」を開発した．BISTRO では，小面積での実装，および，インタプリタとの頻繁なハンドオーバを考慮し，制御／データ共有型のアクセラレータ方式を採用した．また，Java 性能および携帯電話に搭載するための柔軟性を考慮し，JavaVM のデータ構造の汎用レジスタへのマッピング，インタプリタへのハンドオーバ高速化，メイン CPU コア側の機能拡張，様々なコンフィグレーションレジスタによる柔軟な VM と BISTRO との関連付け，等を行った．携帯電話向けアプリケーションプロセッサ SH-Mobile をメイン CPU として，チップ面積の僅か 0.8%で実装できることを実証した．また，Java ベンチマークプログラムである Embedded Caffeine Mark（ECM）を用いて性能評価を行った結果，ソフトウェア VM と比較して約 10 倍の性能である 6.5ECM/MHz を達成しており，Java アプリケーションの高性能化に大きく貢献した．

第三に，130nm 以降の CMOS プロセスにおいてリーク電流が増大することに着眼して，待機時の電力削減技術の開発を行った．リーク電流削減のためには電源遮断が効果的であるが，これと高速復帰を両立するために「R スタンバイモード」と呼ぶ技術を開発した．R スタンバイモードは，オンチップの電源スイッチを制御することで特定領域のみ電源遮断を行うと共に，復帰時に必要なレジスタ内容をハードウェアあるいはソフトウェアによりバックアップすることで高速復帰を可能としている．本方式を SH-Mobile3 に適用し，130nm CMOS プロセスにおいて，待機時電力 86μA を達成した．これは電源遮断を行わない場合に比べて 96%もの電力削減となる．さらに，復帰時間に関しては 2.8m 秒以下を実現しており，パワーオンリセット時の復帰と比較して 100 倍以上の高速化を達成した．

最後に，マルチコア SoC 向けに電力効率や高信頼性と言った非機能要件を容易に実現するための「マルチコア SoC プラットフォーム」を開発した．多数の CPU コアやマルチメディア IP コアの協調動作を行い，非機能要件を実現するための全体最適化を行うためのハードウェア支援機構として，SoC 内インターコネクト，コントローラおよびセンサから構成される「ファブリック」と呼ぶ方式を提案した．具体的なファブリックとして，「電源供給ファブリック」，「リソース管理ファブリック」，「ドメイン管理ファブリック」，等を開発した．特に，「リソース管理ファブリック」は SoC 全体の温度や発熱状態をモニタしながら動作周波数等を制御することで発熱制御を行うもので，これにより動作マージンを減らすことで 57%もの性能向上を達成できることを示した．これらの提案方式は今後の SoC アーキテクチャ開発の方向性を示しており，その有効性を実証したことは大きく評価できる．

以上を要約すると，本研究は一貫して SoC の高性能化，低消費電力化，高信頼性化を目的に種々の SoC アーキテクチャを考案・開発し，それらを実 SoC として実装，その有効性，有用性を示したものである．本研究で得られた知見は情報科学の分野，特にコンピュータアーキテクチャの研究分野に対して寄与するところが大きい．よって，本論文は博士（工学）の学位論文に値すると認める．

氏　　名	Trouve Antoine
学位記番号	シ情　博甲第 444 号（工学）
学位授与の日付	平成 23 年 9 月 26 日
学位論文題名	Efficient, Automatic ISA Customisation for Configurable Processors （構成可能プロセッサーにおける高精度自動命令セット生成技術）

論文調査委員

（主　査）　九州大学　教　授　村上　和彰

（副　査）　　〃　　准教授　松永　裕介

〃 〃 〃 井上 弘士
〃 〃 〃 マディプー・ファラハド
〃 〃 〃 グラール・ヴィクトル

論 文 内 容 の 要 旨

Instruction set architecture (ISA) customisation is a way to raise the power efficiency of general purpose processors (GPP) based systems, and consists in tailoring the instruction set architecture (ISA) of the processor to user application. If modern GPPs feature specific instructions for some application domains, the best fit for ISA customisation is configurable processors. This is the focus of this dissertation.

1. Automatic ISA Customisation for Configurable processors

Configurable processors are off-the-shelf components which a part of the ISA can be modified by the user. They may consist in processor templates as well as dynamically reconfigurable processors (DRP). The main challenge which hinders the success of such hardware is the lack of tool support for the design of their ISA. This corresponds to hardware design in the case of processor templates and software design in the case of DRP. In this context, this dissertation introduces an algorithm to automate this process, and provides with some use cases involving DRPs.

2. ISA Customisation Flows

ISA customisation is not a new problem and has been studied in the literature for some years. However, all commercial products involving such process have been relying on manual custom instruction (CI) identification. On the other hand, several methods have been proposed in the literature to carry out automatic ISA customisation. This dissertation proposes some enhancements to those.

3. ISAGen

ISAGen is the code name of the automatic ISA customisation algorithm proposed in this dissertation. It strives to take advantage of the instruction level parallelism already present into programs in order to generate CIs. It consists in two steps: (1) the CI candidate selection part finds in the program's control data-flow graph all the clusters of instructions which may be part of the final custom ISA (2) the election phase chooses among the CI candidates the ones which are to constitute the custom ISA. The complexities in time of those problems are respectively exponential and super-exponential: heuristics have to be found to alleviate the compilation time in the average case.

The contributions of ISAGen are multiple. First it enhances the CI selection algorithm and experimentally reduces its average execution time by one order compared to the related work. Second, the CI election algorithm is new, and addresses some issues which have been overlooked by the related work. Third, micro architectural constraints have been taken into account in an original way which enhances the exactness of the algorithm with respect to the designer's objectives.

Results are assessed regarding several axis. First, the speedup due to the generated CIs is measured on two DRP architectures in order to motivate the relevance of the ISA customisation approach. Speedups up to 150 % (up to 100 % in average) are observed. Second, the choice of solving the multiple cut problem despites its cost is motivated by measuring its effect compared to other approaches with respect to the speedup provided by the CIs: the improvement is of 10 % in average, and up to 30 % for large hardware. Third, the effects of the enhancement brought by ISAGen for the CI candidate selection algorithm are measured: 20 times less candidates are visited by ISAGen, without any negative effect on its output. Finally, the exactness of the CI election phase is assessed on a small example by comparing the ISA generated by ISAGen's algorithm and the one generated by the exact algorithm. Almost no difference is observed for small and large instances of the problem; in average the generated ISA provided 7 % less speedup with ISAGen. This is reasonable regarding the time complexity gap between the two approaches.

4. Redefis

The performances of ISAGen are further assessed in the context of a real development process for DRP. Two different hardware architectures being considered, final performances of the custom ISA are assessed on a cryptographic benchmark. The main difference with previous results is the completeness of the flow: applications are optimised by the designer and results are assessed on a cycle accurate basis. Measured speedup peaks at 250 % and averages at 40 % on the most efficient hardware configuration.

Hardware bottlenecks on the sample DRP are also assessed, and it appears that the number of I/Os that the DRP can accommodate for the reconfigurable fabric are of first importance. As a consequence, a method called multi-mode custom instructions (MMCI) is introduced in order to alleviate the cost of such I/Os. MMCI makes it possible to reduce the memory usage by up to 40 % (20 % in average) and the I/O read / write power consumption by up to 22 % (10 % in average).

5. Automatic ISA Customisation for DRP Design Space Exploration

The relevance of automatic ISA customisation has been

assessed for the hardware design of processor template as well as the software design for DRP and has been measured for the later.

The thesis concludes by also presenting how such methodology can be successfully used for the hardware design of DRP. To do so, it introduces a tool called RISS which leverage ISAGen, a binary translation simulator and a high level hardware description formalism to carry the task. The tool is available on the Internet, and I am looking forward to see what the community can achieve using it.

論 文 調 査 の 要 旨

組込みプロセッサーの性能を消費電力を抑えつつ向上させる手法として，アクセラレータの並行搭載，組込みプロセッサー自身の ASIP (Application-Specific Instruction- set Processor) 化，等が現在主流となっている．このうち，当初から ASIP 化を目的としたプロセッサーを「構成可能プロセッサー(configurable processor)」と呼ぶが，これにはプロセッサー製造前に ASIP 化を終える（狭義の）「構成可能プロセッサー」とプロセッサー製造後に ASIP 化が可能な「再構成可能プロセッサー（reconfigurable processor）」の２つのアプローチが存在する．いずれにせよ，構成可能プロセッサーで達成可能な性能向上度は，如何にして対象とするアプリケーションプログラムの実行に適した「カスタム命令（CI: custom instruction）」を生成し，それを用いたオブジェクトプログラムを生成するかに依存している．さらに，従来の CI 生成は人手に頼らざるを得なかったが，それではシステム開発期間の長期化を招くことから，その自動化が大きな技術課題となっていた．

本研究では上記の状況に鑑み，「アプリケーションプログラムを入力として，当該プログラムを実行するのに適した CI を含むように基本となる命令セットアーキテクチャ（ISA）を自動的にカスタム化し，得られたカスタム ISA を用いて対応するオブジェクトプログラムを自動生成する」ことを目的に，問題の定式化，アルゴリズムの開発および実装，性能評価を行っている．

まず，定式化した問題に基づき，具体的な「自動 ISA カスタム化アルゴリズム（AICA）」を開発した．これは入力となるアプリケーションプログラムをデータフローグラフに変換したものを対象に，①ある制約条件の下でグラフを分割，得られたサブグラフを CI 候補として選択し，②その CI 候補の中からやはり制約条件を満たし，かつ，目的関数を最大／最小化するものを最終決定するものである．上記①と②はいずれも計算量は指数関数的，特に複数の CI を選ぶ場合（マルチカット問題）②の計算量は 2 重指数関数的となるので，ヒューリスティックアルゴリズムを開発した．まず①については，データフローグラフの分割を行う Atasu のアルゴリズムを基に，探索範囲の非破壊的な刈込み（non-destructive pruning）を行うことで結果を悪化させずに平均的な計算量を改善している．また，マイクロアーキテクチャ制約，すなわち対象となる DRFU（Dynamic Reconfigurable Function Unit）がサポートする演算の種類，DRFU 内ネットワークの並行経路の最大数，DRFU の入出力ポート数といった制約，等を導入して候補選定段階でその後の配置配線で失敗するような事例を前もって除外している．次に②については，グラフ理論における Knuth の近似的なアルゴリズム（DLX）の採用によって平均的な計算量を低減している．このように実用的なアルゴリズムを開発し，さらにそれを実コンパイラとして実装した点は大きく評価できる．

本研究では，ベンチマークプログラム MiBench を対象に，開発したコンパイラの評価を行い以下の結果を得ている．（１）生成された CI によりプログラムの実行速度は最大で 2.5 倍，平均でも 2 倍に向上．（２）マルチカット問題を解いて複数の CI を生成する場合，単一の CI しか生成しなかった場合に比べ平均 10%，大規模な DRFU では 30%の速度向上を達成可能．（３）探索範囲の刈込みにより，CI の品質を維持しながら①で候補として検討する対象範囲を 1/20 に抑制可能．（４）②の近似アルゴリズムで求めた CI の品質は，厳密なアルゴリズムで求めた CI に比べてプログラムの実行速度向上の低下が 7 ポイント程度．

以上を要約すると，本研究は組込みプロセッサーを対象にその命令セットアーキテクチャの自動最適化問題を取り上げ，実用的なアルゴリズムを開発，さらに実際にコンパイラとして実装し，その有効性，有用性を示したものである．本研究で得られた知見は情報科学の分野，特にコンピュータアーキテクチャの研究分野に対して寄与するところが大きい．よって，本論文は博士（工学）の学位論文に値すると認める．

氏　　名	森　江　善　之
学 位 記 番 号	シ情　博甲第 445 号（工学）
学位授与の日付	平成 23 年 9 月 26 日
学 位 論 文 題 名	大規模並列計算機における通信衝突を考慮した通信性能向上のためのタスク配置最適化に関する研究

論文調査委員

（主　査）	九州大学	教　授	村上　和彰
（副　査）	〃	〃	青柳　睦
〃	〃	准教授	南里　豪志
〃	〃	〃	井上　弘士

論 文 内 容 の 要 旨

近年，コンピュータシミュレーションが重要となってき

ている．一方で，このような計算は，一般的に計算量が膨大となることが多い．このような性能要求に対して大規模な分散メモリ型並列計算機の導入が進められている．大規模並列計算機では，計算ノード数が飛躍的に増加しており，リンク数やスイッチ数を削減できるファットツリーやメッシュ・トーラスなどのネットワークトポロジが用いられることが多い．これらのネットワークトポロジでは，計算ノード間でリンクを共有するため，各通信間において通信衝突が発生する可能性がある．この通信衝突は，通信性能を十分に悪化させる．このため，大規模並列計算機におけるネットワークトポロジを起因とした通信衝突による通信時間の増大を緩和することが重要となる．

本研究では，通信衝突の発生がタスク配置に依存していることに注目して，タスク配置最適化により通信時間の増加に影響する通信衝突を削減することで，通信性能の向上を図る．これに属する関連研究として全ての通信の通信量とそのホップ数を積算した値を通信コストとし，その通信コストを最小とするタスク配置を探索することによって，ネットワーク上に滞留する通信を削減し，その結果として通信衝突を削減し，通信性能を向上させるタスク配置最適化がある．しかし，このタスク配置最適化の通信コストは，通信時間を見積もるわけではなく，通信性能が向上しない場合がある．

そこで，本研究では，関連研究のタスク配置最適化を用いることでは通信時間を削減できない場合においても通信性能を向上させることが可能となる「大規模並列計算機における通信衝突を考慮した通信性能向上のためのタスク配置最適化」の提案を行う．提案するタスク配置最適化では，ネットワークトポロジに起因する通信衝突による影響を考慮できるようにパラメタの追加を行う．通信衝突は同一リンクにおいて複数の通信がその転送開始時刻と転送完了時刻の間で競合することで発生する．このことから通信がどのリンクで要求されるかということと通信のデータ転送がどの時間帯で開始されるかの 2 点を考慮することで通信衝突の検出を行うこととした．そこで，同時にデータ転送が開始される通信の集合を与え，その集合に属する通信が同一リンクで競合するかどうか調べることで通信衝突による影響を加味することを考えた．しかし，同時にデータ転送が開始される通信の集合をプログラムの実行前に得ることは困難である．このため，同時に通信のデータ転送が開始されるための必要条件を満たした通信の集合を Concurrent Communication Set (CCS)とし，その CCS を入力パラメタとするタスク配置最適化問題の定義をする．このタスク配置最適化問題では，予想通信時間を通信コストとして目的関数を定義する．CCS を導入したことにより通信衝突の検出が可能となり，目的関数において予想通信時間を見積もるときに通信衝突の影響を加味できるようになる．そして，この目的関数を最小とするタスク配置を発見的手法であるシミュレーティッドアニーリングにより現実的な時間で探索することにより，通信時間を削減し，対象プログラムの通信性能の向上を図る．

提案したタスク配置最適化をツリー，ファットツリー，3D メッシュをネットワークトポロジとする並列計算機に適用し，既存のタスク配置最適化と比較する性能評価実験を行った．この実験においてツリー，ファットツリーでは，既存のタスク配置最適化より通信性能が向上することを示した．特にツリーの実験では最大で 24¥%の性能向上を示した．この実験により，提案したタスク配置最適化が有効であることを実証し，通信衝突を考慮して通信時間を見積もり，タスク配置最適化を行うことが重要であること確認した．また，既存のタスク配置最適化に比べて，より詳細な情報を用いることとなる本タスク配置最適化においてタスク配置の求解にかかる時間が現実的であることも確認した．一方，3D メッシュをネットワークトポロジとする並列計算機を用いた実験では，既存のタスク配置最適化に対して通信性能が向上しないことを確認した．その原因がネットワークトポロジにあるのではなく計算ノードから送出される通信との通信衝突におけるパケットの処理法が提案したタスク配置最適化で仮定している通信衝突時のパケットの処理法と異なるにあることを示した．この 3D メッシュの並列計算機では，計算ノードから送出される通信との通信衝突発生時にはパケット優先度に従ってパケットの処理を行っている．

最後に提案したタスク配置最適化の実用に向けての検討を行った．まず，通信衝突の検出のために導入した CCS が同時に通信のデータ転送が開始される通信の集合と同等のものでないことから異なる CCS 間において通信衝突が発生してしまう問題について検討を行った．この異なる CCS 間の通信衝突を発生しないようにするためには CCS ごとに同期処理を追加する必要がある．しかし，異なる CCS 間の通信衝突の発生がネットワークトポロジに依存することや同期処理を追加することによるソフトウェアオーバヘッドや待ち時間等のコストが発生することから，計算機環境や対象プログラムごとに同期処理の追加の有無を検討する必要があることを確認した．次に，パケット優先度を考慮していない本タスク配置最適化の実用に向けた検討を行った．このことへの対応としてパケット優先度を考慮した通信衝突遅延の見積もり法を提案し，比較的短い時間でより高精度な見積もりが可能であることを実証した．これにより，パケット優先度を持つ並列計算機にも提案したタスク配置最適化が適用可能になることを示した．

論 文 調 査 の 要 旨

高性能科学技術計算に対する要求の伸びは留まることを知らず，その莫大な性能要求に応えるため大規模な分散

メモリ型並列計算機，いわゆるスーパーコンピュータの導入が進んでいる．このような大規模並列計算機では計算ノード数が飛躍的に増加しており，その相互結合網としてはリンク数やスイッチ数を削減可能なファットツリー，メッシュ，トーラス等のネットワークトポロジが用いられることが多い．これらのネットワークトポロジでは，計算ノード間でリンクを共有するため，複数通信間において「通信衝突」が発生する可能性がある．この通信衝突により実効通信性能が大幅に悪化する危険性があるため，これへの対処が重要な課題となってきている．

本研究では，通信衝突の発生が計算タスクの計算ノードへの配置形態に依存していることに注目して，「タスク配置最適化」により通信衝突を削減し，最終的に通信性能の向上を図ることを目的とする．これに類する関連研究として，各通信の通信量とそのホップ数を乗じた値を当該通信の通信コストとし，その通信コストの総和を最小とするようなタスク配置を求めるアルゴリズムが提案されている．しかし，当該アルゴリズムは通信時間そのものを目的関数としているわけではなく，最終的な通信性能が向上しない場合がある．

そこで，本研究では，上記関連研究の課題を解決するために，ネットワークトポロジに起因する通信衝突による影響を考慮できるように問題設定を改めた．通信衝突は，同一リンクにおいて複数の通信がその開始時刻と完了時刻との間で互いに競合することで発生する．このことから，通信がどのリンクを要求しているか，および，通信がどの時間帯で開始されるかの２点を考慮することで通信衝突の検出を行うこととした．そのためには，同時に発生する通信の集合を求め，その集合に属する通信が同一リンク上で競合するか否かを調べれば良い．しかしながら，同時に発生する通信の集合をプログラム実行前に正確に得ることは困難である．そこで，同時にデータ転送を行う可能性を有する通信の集合を「Concurrent Communication Set (CCS)」と定義し，その CCS を入力とするタスク配置最適化問題を定義し，これを解くことにした．本タスク配置最適化問題では，通信時間自身を目的関数とし，これを最小とするタスク配置を求める．このように，CCS の導入により通信衝突の検出を可能とし，さらに目的関数として通信時間を設定したことで通信衝突の影響がある場合でも通信性能の最適化を可能とした点は評価できる．

次に，上記で定義したタスク配置最適化問題に対して発見的手法であるシミュレーティッドアニーリング法を解法として採用し，そしてツリー，ファットツリー，３次元メッシュの３種類の異なるネットワークトポロジをそれぞれ有する実際の並列計算機を対象に，その有効性を実験で検証した．その結果，ツリーおよびファットツリーでは，上記関連研究におけるタスク配置最適化よりも通信性能を向上させることを確認した．特に，ツリーにおいては最大で 24%もの性能向上を示した．一方，３次元メッシュでは通信性能の向上を確認出来なかった．これは，実験に用いた並列計算機の通信衝突時におけるパケット処理法が本研究での仮定と異なっていたことに依るものである．よって，本研究で定義したタスク配置最適化問題における通信衝突時のパケット処理法を対象とする並列計算機のそれに変更することで，上記の問題でも対応可能であると判断する．このように，開発した解法を用いて実際の並列計算機を対象に実験を行い，通信性能の向上を確認した点は大きく評価できる．

以上を要約すると，本研究はより大規模化が進むスーパーコンピュータを対象に，その通信性能の最適化を目的に通信衝突を考慮したタスク配置最適化問題を定義し，実際に実験によりその有効性，有用性を示したものである．本研究で得られた知見は情報科学の分野，特にコンピュータアーキテクチャの研究分野に対して寄与するところが大きい．よって，本論文は博士（工学）の学位論文に値すると認める．

氏　　名　易　　勛
学位記番号　シ情　博甲第 446 号（工学）
学位授与の日付　平成 23 年 10 月 31 日
学位論文題名　Research on Solution-processed Single-walled Carbon Nanotube Thin Film Transistors
（液体プロセスによる単層カーボンナノチューブ薄膜トランジスターに関する研究）
論文調査委員
（主　査）　九州大学　教　授　浅野　種正
（副　査）　〃　〃　末廣　純也
〃　〃　准教授　佐道　泰造

論文内容の要旨

Thin film transistor(TFT) made of carbon nanotubes is of great interest for application to active-matrix flat-panel displays because it can be physically flexible and optically transparent. To implement TFT on a flexible plastic substrate, device process which is able to fabricate TFT at temperatures less than about 150 ℃has to be developed. The purpose of this research is to investigate the performance of solution-processed single-walled carbon nanotube(SWCNT) TFT.　The dissertation focuses on fabrication, evaluation and performance improvement of solution-processed SWCNT TFT. Firstly, we investigated application of the newly invented solubilizer PFO-BPy

(9,9-Dioctyfluorenyl-2,7-diyl–Bipyridine Copolymer) to fabricate solution-processed SWCNT TFT. This solubilizer is able to extract semiconducting SWCNT from mixture of semiconducting and metallic CNTs and to provide highly purified semiconducting SWCNTs having single chirality. This is the first research on electrical characterization of SWCNT prepared by the new solubilizer. The outline of this dissertation is summarized as follows:

1. The new solubilizer, PFO-BPy, has been found to provide highly-purified semiconducting (6,5)-chirality SWCNT in solution. A back-gated TFT test structure was fabricated by drop-coating SWCNT solution on SiO_2 surface with Au electrodes at room temperature. TFTs thus fabricated showed superior on/off current ratio to TFTs fabricated using SWCNT prepared by other solbiilizers. Extensive study carried out by comparing performance of TFTs fabricated by using five different solubilizers and changing concentration in the solution revealed that the high performance of TFT is owing to the following three characteristics of BFO-BPy; (1) high selectivity of semiconducting (6,5)-chirality SWCNT, (2) high dissolving ability of the semiconducting SWCNT, and (3) dispersion ability to avoid formation of bundles.

2. To enhance current drive of SWCNT TFT, we have proposed to reduce contact resistance at the source and drain of TFT using argon ion bombardment which can be performed at room temperature. Bottom-contact TFT was fabricated in this experiment. Results clearly indicated that argon ion bombardment effectively reduces contact resistance of SWCNT-metal interface and therefore increase on-state current of solution-processed SWCNT TFT while keeping the level of the off-state current.

3. SWCNT TFTs commonly have an issue of current hysteresis which makes operation unstable. We investigated the hysteresis characteristic by changing measurement conditions and environment. The experimental results clearly indicated that hysteresis of SWCNT TFT is mainly caused by charge trapping due to water molecule adsorbed on the surface of SWCNT networks. To address this issue, passivation of the surface of SWCNT has been shown to be an effective method.

In conclusion, solution-processed SWCNT TFT using the newly invented PFO-BPy solubilizer possesses tremendous potential for future application.

論 文 調 査 の 要 旨

チューブの壁が，層状結合をもつ炭素の単一層より成る単層カーボンナノチューブは，結合の対称性に依存して半導体あるいは金属としての性質を示すことが知られている．一方，カーボンナノチューブの表面を可溶化剤(solubilizer)で化学修飾すると，溶媒に可溶にすることができる．また，可溶化剤には，特定の結合対称性をもつカーボンナノチューブを選択する機能を付与することができる．これらの性質を利用すると，液体を原料とするプロセスで薄膜トランジスターを作製できる可能性が，2004年に発表された．単層カーボンナノチューブの薄膜は可視光に対して実質的に透明であるため，もしこの薄膜トランジスターを平面形ディスプレイの画素駆動ができる程度に高性能化できれば，液体プロセスの低温性も活かして，樹脂を基板材料とするフレキシブルで透明なディスプレイや電子タグなどの創製に役立つと期待できる．

本論文は、液体プロセスを用いて高性能な単層カーボンナノチューブ薄膜トランジスターを作製するための，原料高純度化技術，薄膜の構造とトランジスター特性との関係，薄膜トランジスターの特性改善技術に関する研究をまとめたものである。

第 1 章では，単層カーボンナノチューブの半導体物性およびその可溶化技術，ならびに過去の類似研究の成果について述べるとともに，本研究を進めるための研究体制と本研究の目的について記述している．第 2 章では，本研究の共同研究者らが新規に開発した可溶化剤 PFO-BPy (9,9-dioctyfluorenyl-2,7-diyl-bipyridine copolymer) を用いることで，結合の対称性を表す指数であるキラリティーが(6,5)である単層カーボンナノチューブを 97%以上の純度まで精製できることを述べるとともに，これを原料とすることで薄膜トランジスターを作製できることを示した．第 3 章では，薄膜トランジスターの構造と特性を詳細に調査し，新規可溶化剤を用いることで高性能化できる原因について探求した結果とそこから得られる高性能化指針を論じている．第 4 章では，電流駆動力を向上するため，トランジスター電極の接触抵抗を低抵抗化するための手法を提案し，検証している．第 5 章では，トランジスター特性に現れるヒステリシスの原因について調査した結果を述べている．第 6 章で本研究を総括している。

得られた成果は、以下の点で評価できる。

1. 新規に開発された可溶化剤 PFO-BPy を用いて調製した単層カーボンナノチューブ溶液を用いることで，室温で塗布膜を形成するだけで 4 桁以上のオン/オフ電流比をもつ薄膜トランジスターを作製できることを示した．熱処理等を加えるとオン/オフ電流比はさらに改善されることも示した．このように大きなオン/オフ比が得られるのは，(1)PFO-BPy がもつ単一キラリティー単層カーボンナノチューブの高い選択性の結果，小さなオフ電流を実現できること，および(2)溶液濃度を他の可溶化剤に比べて大きくできるので，高い面密度をもつ単層カーボンナノチューブ薄膜を形成でき，その結果，オン電流を大きくできるため

であることを明らかにした.

2. 薄膜トランジスターの電流駆動力を向上させるためにはソース/ドレイン電極と単層カーボンナノチューブ層との接触抵抗を下げることが必要であることに着眼し，加熱せずに接触抵抗を下げられる手法としてイオンビームミキシング法を提案し，実際にアルゴンイオンを使って薄膜トランジスターの電流駆動力を 30 倍程度大きくできることを示した. なお, 接触抵抗の評価を確実に行うために, 可溶化剤技術を駆使して金属性のカーボンナノチューブ溶液を用いたことも研究手法として高く評価できる.

3. 薄膜トランジスターを真空中で動作させ，カーボンナノチューブを用いたトランジスターに共通して現れる電流ヒステリシスの要因が，水や酸素等の大気中成分分子の吸着に起因したものであることを示した.

以上要するに本論文は，特定の結合対称性をもつ単層カーボンナノチューブを高純度に精製できる可溶化剤を用いて調製した溶液を原料にし，電極の接触抵抗を低減するビームプロセスを併用することで液体プロセスカーボンナノチューブトランジスターの特性を向上できることを示したものであり，新規なデバイスの創出につながる電子デバイス工学上の価値ある業績である．よって，博士(工学)の学位論文に値するものと認める.

氏　　名　井　上　恵　介
学 位 記 番 号　シ情　博甲第 447 号（工学）
学位授与の日付　平成 23 年 10 月 31 日
学 位 論 文 題 名　多変量解析を用いたアイスクリーム及びホイップクリームの品質設計に関する研究

論文調査委員
（主　査）　九州大学　教　授　都甲　潔
（副　査）　〃　〃　下田　満哉
〃　〃　〃　林　健司

論 文 内 容 の 要 旨

食品開発者の視点から見れば、おいしさは原料素材の選択とその組み合わせ、プロセス制御を手段とした行為によって生み出される。試作と評価の試行錯誤を繰り返すことで開発は進められるが、これらは食の安全保護を目的として、食品衛生法や JAS 法、公正競争規約など食品に関わる法規を遵守し、さらに設備や人的・時間的コストを抑え、消費者のニーズや市場のトレンドを的確に捉えることで、製品の市場拡大及び顧客の創造に貢献できるものでなければならない。このような限られた枠内において、おいしさを最大限に引き出すための原料や製造の最適条件の理解、効率的な製品開発をすることが求められる。

本研究では、乳製品の中でも嗜好性の高い気泡含有乳製品であるアイスクリームとホイップクリームに注目し、多変量解析手法を用いて、製品開発の手段としての製造プロセスがアイスクリーム及びホイップクリーム製品の諸特性やおいしさに与える影響を視覚化することで、これまで経験的になされていた製品開発の効率化をはかることを目的とした。本論文は 6 章から構成され、第 2、3、4 章ではアイスクリーム、第 5 章ではホイップクリームに関する研究について記した。

第 2 章では､アイスクリーム組織の構成成分である脂肪、氷結晶及び気泡が、アイスクリームの主要な製造工程であるフリージングの設定条件によってどのように変化するのかを明らかにした。その結果、5 つの条件の中でも、排出温度（アイスクリームの凍結温度）やオーバーラン（空気の添加量）によって効率的に組織が変化することを示した。さらに、これらの組織要素は相関関係を有し、互いに影響を及ぼしながら、アイスクリームが構成されることを明らかにした。

第 3 章では、アイスクリームの物性に注目した。特に、アイスクリームのテクスチャーを決定付ける“かたさ”や“融解性”について調査することで、アイスクリーム物性はフリージングによって決定されること、さらに組織状態との関係性を見出した。即ち、目標とする食感を得るための最適な組織状態を知ることを可能とした。

第 4 章では、食品の最終的な評価指標であるアイスクリームのおいしさに注目した。定量的記述分析とも呼ばれる官能評価手法 QDA を用いて、フリージングを中心とした製造条件と官能との関係性について明らかにした。そして、アイスクリームの“製造条件”という手段に対して、“組織・物性”の製品特性、“おいしさ”という食品に関わる 3 相の関わりを考察し、これらの特性間には緊密な関係が存在していることがわかった。

第 5 章では、ホイップクリームとその製造工程である殺菌工程と均質工程の関わりに注目した。アイスクリームと同様の解析手法を用いて、ホイップ前の特性、気泡を取り込んだホイップ後の製品特性とそのおいしさとの関わりを明らかにした。その結果、作業性を考慮した理想的な物性を得るための製造条件と、評価グループ内においておいしさが最も優れたクリームの製造条件は必ずしも一致しないことや、ターゲットとする消費者に応じて、製造条件を変更する必要があることを明らかにした。

第 6 章では総括として、気泡を含有した乳製品であるアイスクリーム及びホイップクリームの“製造条件”と“製品特性”、“おいしさ”との間の定量的な相関関係を視覚化したことで、目的とするおいしさを実現するための製品特性とは何か、そして、その製品特性を得るための製造条件を導き出すことが可能となり、本研究で得られた結果のアイスクリーム製品開発への展開について述べた。

論 文 調 査 の 要 旨

食品開発者の視点から見れば、おいしさは原料素材の選択とその組み合わせ、プロセス制御を手段とした行為によって生み出される。試作と評価の試行錯誤を繰り返すことで開発は進められるが、これらは食の安全保護を目的として、食品衛生法などの食品に関わる法規を遵守し、さらに設備や人的・時間的コストを抑え、消費者のニーズや市場のトレンドを的確に捉えることで、製品の市場拡大及び顧客の創造に貢献できるものでなければならない。このような限られた枠内において、おいしさを最大限に引き出すための原料や製造の最適条件の理解、効率的な製品開発が求められる。

本研究は、乳製品の中でも嗜好性の高い気泡含有乳製品であるアイスクリームとホイップクリームに注目した。多変量解析手法を用いて、製造工程における諸条件がアイスクリーム及びホイップクリームの製品特性や、おいしさに与える影響を定式化することで、これまで経験的になされていた製品開発の効率化を目的とした。

その結果、アイスクリーム組織の構成成分である脂肪の凝集及び氷結晶、気泡が、製造工程のフリージング設定条件によって変化することを明らかにした。ミックス流量やシリンダー圧力等５つの説明変数の中でも、アイスクリームの排出温度（凍結温度）やオーバーラン（空気の含量）の条件によって効率的に組織が変化することを示した。さらに、これらの組織要素には相関関係があり、互いに影響しながらアイスクリームが構成されることを見出した。

次に、アイスクリームの食感を決定付ける物性指標である“かたさ”や“融解性”について調査し、物性もフリージング条件によって決定されること、そしてその原因は主として水分凍結率や氷結晶の大きさ、空気量に起因することを見出した。

さらに、食品の最終的な評価指標である“おいしさ”を定量的記述分析とも呼ばれる官能評価手法 QDA（Quantitative descriptive analysis）を用いて評価し、フリージングを中心とした製造条件と官能特性との関係について調査を行った。その結果、オーバーランが高いとミルク感を与え、逆に低いとバニラ感を与える（相関係数 0.84）といった具合に、製造条件及び製品特性がアイスクリームのおいしさに大きな影響を及ぼすことを明らかにした。

もう一方のホイップクリームでは、その製造工程である殺菌工程と均質工程の関わりに注目した。アイスクリームと同手法を用いて、ホイップ前の製品特性とホイップ特性、おいしさとの関わりを調査した。その結果、作業性を考慮した理想的な物性を得るための製造条件と、消費者の嗜好性が最も優れたクリームの製造条件は必ずしも一致しないこと、ターゲットとする消費者層に応じて、製造条件を変更する必要があることを明らかにした。

以上要するに本研究は、アイスクリーム及びホイップクリームの“製造条件”という手段と“組織・物性”の製品特性、“おいしさ”の相関関係を数式化することで、食品のおいしさに関わる諸要素には緊密な関係が存在することを明示し、目標のおいしさを実現するための条件最適化を図ることを可能とするものである。本研究で確立された“おいしさ”の数式化およびそのシステムは、これまで経験的に行われていた製品開発の“暗黙知の視覚化”であり、研究成果は実際のアイスクリーム製品に応用されていることに鑑みても、今後の食品の製品開発に大きな指針を与えるものであり、電子情報工学上価値ある業績である。よって、本論文は博士（工学）の学位論文に値するものと認める。

氏　　名	森　　雅　生
学 位 記 番 号	シ情　博乙第 103 号（情報科学）
学位授与の日付	平成 23 年 9 月 26 日
学 位 論 文 題 名	A Study on Information Systems for University Evaluation and Institutional Research （大学評価と機関調査のための情報システムに関する研究）

論文調査委員

（主　査）	九州大学	教　授	廣川　佐千男
（副　査）	〃	〃	荒木　啓二郎
〃	〃	〃	竹田　正幸

論 文 内 容 の 要 旨

人間は共通の目的を達成するために、組織を構成し活動を行う。組織には目的が一つであるものと、目的が多様なものがある。前者の例として、収益を上げ利益を生み出す企業があげられる。後者の例としては、様々な活動を各部署が行う政府や自治体、大学があげられる。組織は活動の質の維持と向上のため、常に改善をし続けなければならない。そのためには、組織の活動を迅速、正確に把握することは重要である。組織の活動を把握するための手法に、経営工学的なアプローチとしてデータウェアハウスの構築と OLAP による情報分析手法が提案されている。これらは、民間企業において改善のための意思決定を支援する情報システムである。また、情報科学的な観点からの研究として、データウェアハウスに関連する XML 文書のキーワードから分析要件を推測し、データ分析プログラムを自動生成する研究もある。これらの研究で提案されたシステムや手法では、活動の多様性を前提とした組織の把握が次の２つの点で困難である。第一に、活動が多様な組織では、構成員またはそのグループが自立的に活動している場合が多く、一元的な情報収集が難しい。第二に、活動の多様性

から情報項目が多岐にわたり、分析する観点も頻繁に変動することから、システムの仕様を決めることが難しい。本研究では、多様な活動を行う組織の実例として大学を取り上げ、効率的な情報収集を考量した組織情報の分類や定義を行い、その情報に基づき活動を分析するツールを迅速かつ柔軟に開発できる情報システムを構築した。

このような背景を踏まえて、本論文では、大学評価と機関調査に必要とされる大学情報を、効率的かつ効果的に処理する情報システムの研究を行った。この研究は、大学情報の効率的収集と共有、大学情報を用いた報告書の作成支援、大学情報を活用する統合検索の３つの要素からなる。

第一に大学情報の効率的収集と収集について、著者は法令による統計調査「学校基本調査」に注目した。学校基本調査は、日本における教育の状況を示す外形的情報を専門分野（専攻や学科）単位で収集しているものである。この調査では、調査結果の報告がなされた後のデータはそのまま眠っていた。著者は、この眠っているデータに注目し、データの体系を再構成することで新たな価値を見いだすことができると考え、大学の組織情報を経年でみることのできるデータ集「ファクトブック」の基礎となるデータベースを構築した。これに加え、学内の業務データベースに基づく大学情報データウェアハウスを構築した。これは、データ分析クエリを容易に作成できる開発環境を備え、他のユーザが作成したクエリの共有機能を持つデータウェアハウスである。これにより、多様な調査業務に柔軟かつ効率に対処することができる。

第二に、複数の報告書フォーマットに柔軟に対応できる報告書オーサリングシステムを開発した。これは、大学内の教育研究組織をユーザとする文書作成支援システムである。ユーザは、評価項目ごとに大学情報データウェアハウスから Web API を介して数値データを取得し、経年で状況を点検することができる。自己点検・評価を記述し、必要があれば教授会や委員会の関連資料を添付することができる。評価項目は互いに独立しているので、それぞれの大学評価で必要なトピックを組み合わせることで報告書を作成する。これにより、同じ評価トピックで重複した記述をさけることができる。

第三に、大学情報をはじめとするウェブデータベースの統合検索とその連携に関する研究を行った。ここでは、API やラッパーを持つウェブデータベースを対象とする。本論文では、複数のウェブデータベースを組み合わせ統合検索と、検索結果の分析を行うプログラミング・アーキテクチャを提案し環境を構築した。そこでは、データを出力するウェブデータベースや、データを表示するユーザのブラウザを、レコードのリストを入出力する機械として抽象化している。これにより、レコードのリストの並べ替えなどを行うフィルタプログラムや、グラフによる可視化が自然な形でプログラムできる。また、検索作業に伴う定型作業の繰り返しをプログラム化することができる。

ウェブデータベース連携の応用として、学術論文を蓄積し公開する機関リポジトリと、学術論文の書誌情報が登録されている研究者情報データベースとの連携の開発を行った。連携を行う時点で、研究者情報の学術論文には約６万件の登録があった。一方で機関リポジトリへの論文登録作業が行われており、これらの情報は常に累積していく。研究者情報の論文情報のハイパーリンクを機関リポジトリへ詳細検索のハイパーリンクとすることで、この非同期に増加してゆく両システムの連携を実現した。研究者情報の書誌情報を機関リポジトリの詳細検索パラメータの値として自動的に渡せば、6 万件のリンクと、さらに非同期に増加するリンクとに対応できる。また、両者は異なるメタデータに基づくデータベースであることから、論文情報の同定が重要な問題である。本論文では重複登録の調査を行い、同定作業を手動で行う場合と自動で行う場合の切り分けを明確化し、システムの特性を生かした同定作業の自動化について提案した。

教育だけでなく、研究やその成果の社会還元を担う主体として、大学の果たす役割は大きい。教育については質保証に、研究については成果発信に、本論文の研究成果が貢献するものである。

論 文 調 査 の 要 旨

計画，実行，評価，改善の PDCA サイクルは多くの組織の管理運営の基本として認識され実践されている。具体的データに基づく評価は，PDCA サイクルの基礎となる。我が国の大学は，教育研究の質を保証するための機関別認証評価と，さらに国立大学法人では，継続的質向上と社会的説明責任のための法人評価という二つの大学評価(University Evaluation)の義務があり，そのための客観的データ収集と分析活動は，機関調査(Institutional Research)と呼ばれ，重要性が高まっている。我が国での機関調査は端緒に就いたばかりで，特に情報の収集に関しては，大学活動の多様性と特殊性から多くの困難が指摘されている。例えば，法人評価の根拠資料となる会議資料などの文書データの収集には，膨大な労力を要する新たな作業が必要である。また，一次資料としての価値が高い，学生の成績情報や教員の論文数などの数値データは，それぞれの業務用システムに蓄積されており，まず人手で調査収集が必要である。業務システムからデータを時系列的に抽出，整理し，分析と意思決定を行うための大規模データベースはデータウェアハウスと呼ばれる。しかし，大学評価では，分析対象の組織構造も分析観点も多様で，企業向けのデータウェアハウスを単純には適用できない。

以上を背景として，本論文は，大学評価と機関調査に必要とされる大学情報を効率的かつ効果的に処理する情報システムについてまとめたもので，以下の点で評価できる。

第一に，著者は，学校基本調査を再利用する独自の大学情報データウェアハウスを構築し，大学評価のための効率的な情報収集システムを実現している。学校基本調査は，法律に基づき教育の状況を示す外形的情報を大学単位でまとめたもので，各担当部署の正規業務として毎年報告書が提出されている。報告後放置されていたこれらのデータを，時系列的に蓄積するデータウェアハウス化することで，教職員に新規業務を課すことなく，これまで人手を要していた調査収集の問題を解決している。その結果，大学の組織情報を経年でみることのできるデータ集「ファクトブック」を我が国で初めて刊行するという成果も得られている。

第二に，著者は，国立大学法人が二つの大学評価を受けなければならないことを踏まえ，複数の報告書に対応できるオーサリングシステムを開発している。このシステムでは，トピックに応じて，大学情報データウェアハウスから取得する数値データと教授会や委員会資料を合せることで基礎データを構成する。トピックごとの基礎データは互いに独立しているので，大学評価の評価項目について必要となる基礎データを組み合わせることで報告書が作成できる。テキストデータと数値データの統合という課題を解決しただけでなく，異なる報告書でも同じ評価項目については共通の基礎データを利用することで，報告書の整合性と信頼性を担保するもので評価できる。

第三に，著者は，大学情報をはじめとする Web サービスの統合検索の新しい方式を提案し，具体的事例への適用を通じ有効性を示している。複数の Web サービスの API を組合せて新しいサービスを作る技術はマッシュアップと呼ばれるが，従来その統一的枠組みはなかった。著者は，データを出力する Web サービスとデータを表示するブラウザを，構造データのリストを入出力する機械として抽象化することで，並べ替えなどのフィルタや，検索結果を利用した再検索や，マッシュアップ作成システムなどを統一的な枠組で扱えることを示している。大学情報データウェアハウスとオーサリングシステムの結合もこの枠組で実現している。より実務的応用として，学術論文機関リポジトリと，研究者自身が学術論文書誌情報を登録する研究者情報データベースを連携するシステムを，提案方式に基づき構築し実サービスを提供しており，手法の有効性を示すものであり，評価できる。

以上要するに，本論文は，大学評価と機関調査に必要とされる大学情報を効率的かつ効果的に処理する情報システムについて，大学情報の効率的収集，大学情報を用いた報告書の作成支援，大学情報を活用する統合検索について方式を提案し，システムを構築し，実利用を通じて有効性を示したもので，情報科学上寄与するところが大きい。よって，本論文は博士（情報科学）の学位論文に値すると認める。