九州大学学術情報リポジトリ
Kyushu University Institutional Repository

トランスダクション法の有効活用のための回路形状に基づく回路変換

澤田, 直
九州大学大学院システム情報科学研究院情報工学部門

https://doi.org/10.15017/1525443

出版情報：九州大学大学院システム情報科学紀要. 7 (1), pp.41-45, 2002-03-26. 九州大学大学院システム情報科学研究院
バージョン：
権利関係：

KYUSHU UNIVERSITY

九州大学大学院
システム情報科学紀要
第7巻 第1号 平成14年3月

Research Reports on Information Science and
Electrical Engineering of Kyushu University
Vol.7, No.1, March 2002

トランスダクション法の有効活用のための回路形状に基づく回路変換

澤田 直*

A Pattern Oriented Network Transformation for Transduction Method

Sunao SAWADA

(Received December 26, 2001)

Abstract: Transduction method is one of very efficient methods for optimizing logic networks based on the concept of the permissible functions. Transduction method transforms an initial network, designed by a conventional logic design method, and reduces redundant gates and connections. However, it sometimes falls into local solution, which depends on the initial network and order of transformation application. In this paper, a pattern oriented network transformation rule to avoid the local solution of Transduction Method is proposed.

Keywords: Transduction Method, Permissible Functions, Logic Synthesis, Pattern Oriented Transformation

1. はじめに

半導体技術の進歩に伴い大規模な集積回路が製造されるようになり，計算機を用いた論理合成が不可欠なものになっている．論理合成の際には面積，遅延，消費電力などの制約条件が与えられる．これらの制約条件はその回路の用途に応じて変化する．例えば，高速に動作することが必要な回路であれば遅延に関する制約条件が重要になる．携帯機器に使用する場合などは小型のバッテリで長時間使用することが要求されるため，消費電力に関する制約が重要となる．様々な用途にVLSIが使用されている現在，これらの制約条件を柔軟に組み合わせて最適化を行う必要がある．

1970年代前半にイリノイ大学において開発されたトランスダクション法[1]は，許容関数という概念に基づいて論理回路に含まれる潜在的な変形の自由度を求め，それを利用することにより論理回路の変形，最適化を行う手法である．この手法は，規則性の少ない回路においては非常に良い結果を得ることができることが示され，SBDD[5]との結合により日米の数社で実用化されている．また，最適化の際に論理回路の評価関数を変化させると，トランスダクション法は面積，遅延の最適化や設計の変更などにも対応でき，しかも強力であることが知られている[2)3)]．

トランスダクション法は，初期回路として与えられた回路をもとに最適化を行なう手法であるため，初期回路の形状や回路変形を行う順序によっては最適な解を発見するより前にそれ以上最適化が進まなくなってしまうことがある．この状態を局所解と呼ぶ．この局所解脱出の1手法として，あらかじめ回路の変換規則を用意しておき，それを用いて回路を変化させる手法[9]が研究されている．この手法はトランスダクション法によって最適化された回路に対して，回路形状に基づく等価変換を施すことにより一旦回路の冗長性を増加させ，再度トランスダクション法を適用してもっと良い回路を得るという手法である．これは等価変換により回路中のいくつかのゲートの論理関数が変化するため，トランスダクション法で最適化が進まなくなった回路であっても，新たに生成された回路中の論理関数を利用して最適化が進む可能性が生じることを利用するものである．しかしながら等価変換の際にむやみに回路を大きくし過ぎると最適化の進まない回路の方が多くなるという欠点がある．

本論文ではトランスダクション法の局所解脱出に有効な変換規則である並列分割を提案する．また実際にベンチマーク回路に対して最適化を行い，その有効性を示す．

2. 基本的事項

本章では，トランスダクション法の基本的な概念を述べる．論理回路はNORゲートのみのものを扱っているが，一般化は容易である．

2.1 記号の定義

対象とする回路をループのない組合せ論理回路とする．

回路Nは，入力端子，出力端子，ゲートよりなり，n変数論理関数を実現するものとする．ここで入力変数の集合を$X = \{x_0, x_1, \ldots, x_{n-1}\}$とし，入力端子並びにゲートを$v_i$の形で表すものとする．ある$v_i$の論理関数は$f(v_i)$と表わされ，入力変数の組を2進数

平成13年12月26日受付
* 情報工学部門

$(2^{n-1}x_0 + 2^{n-2}x_1 + \cdots + x_{n-1})$とみなしたとき，その順序に並べた入力変数の組に対する2^n次元ベクトルで表されるものとする．また，$f(v_i)$のd番目の入力変数の組に対するゲートv_iの出力を$f^{(d)}(v_i)$と表す．$f^{(d)}(v_i)$の値は0, 1を取る．例えば，$f(v_i) = (1001)$のとき，$f^{(0)}(v_i) = 1$, $f^{(1)}(v_i) = 0$となる．

$*$はドントケアを表す．記号$*$を要素として持つベクトルは，その$*$に全ての可能な組合せの0，または1を割り当てることで作られる全てのベクトルの集合を表す．例えば，$(1**0)$というベクトルが与えられたとき，$(1**0) = \{(1000), (1010), (1100), (1110)\}$とも表すことができる．

v_iの出力からv_jの入力への結線があるとき，その結線をc_{ij}と表す．c_{ij}が存在するとき，v_iをv_jのIP (*immediate predecessor*)，v_jをv_iのIS (*immediate successor*)と呼ぶ．v_iの全てのIPの集合を$IP(v_i)$，v_iの全てのISの集合を$IS(v_i)$と表す．v_iとv_jの間に，$v_{k,1} \in IS(v_i)$, $v_{k,q} \in IS(v_{k,q-1})$ (*for* $q = 2, 3, \cdots, l$)，$v_j \in IS(v_{k,l})$を満たすような$v_{k,1}, v_{k,2}, \cdots, v_{k,l}$が存在するとき，$v_i$を$v_j$の*predecessor*，$v_j$を$v_i$の*successor*と呼ぶ．$v_i$の全ての*predecessor*の集合を$P(v_i)$，$v_i$の全ての*successor*の集合を$S(v_i)$と表す．$IP$，$IS$，$P$，$S$の集合の要素数をそれぞれ$|IP|$，$|IS|$，$|P|$，$|S|$と表す．

2.2 許容関数

回路のゲート，結線で実現されている関数を別の関数f'で置き換えても，その回路の出力関数が変わらないとき，f'をそのゲート，結線の許容関数という．一般にゲートv，結線cにおける許容関数は複数あるので，これらの集合を$G(v)$，$G(c)$と表すことにする．

例えば，**Fig.**1で，$f(v_3) = (0100)$，$f(v_4) = (1000)$であるが，$f(v_4)$を(1010)に置き換えても回路の出力関数である$f(v_3)$は変化しないので，(1010)はv_4の許容関数である．v_4における許容関数はほかにも(1000), (1001), (1011)があり，これらの集合は$G(v_4) = (10**)$と表せる．

許容関数集合のうち回路の複数の場所で同時に置き換え可能な部分集合をCSPF(Compatible Sets of Permissible Functions)と呼ぶ．

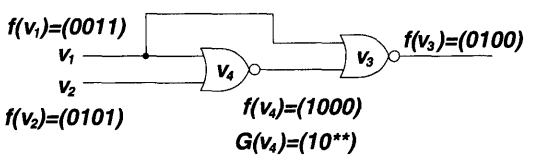

Fig.1　Permissible Functions.

回路中の全てのゲート，結線におけるCPSFは次のように計算できる．まず，出力ゲートにおけるCSPFはその出力関数だけである．後は，次の1，2を適用していけば，回路中の全てのゲート，結線の許容関数を求めることができる．

1. $G(v_j)$から$v_i \in IP(v_j)$を満たす全てのiについての$G(c_{ij})$を次のようにして求める．ここでは，v_jがNORゲートの場合についてのみ述べる．
   (a) $G^{(d)}(v_j) = *$のとき，$G^{(d)}(c_{ij}) = *$.
   (b) $G^{(d)}(v_j) = 1$のとき，$G^{(d)}(c_{ij}) = 0$.
   (c) $G^{(d)}(v_j) = 0$のとき，
   $f^{(d)}(v_i) = 1$なるv_iのどれか一つ(これをv_kとする)について$G^{(d)}(c_{kj}) = 1$, $G^{(d)}(c_{ij}) = *\ (i \neq k)$
2. $v_j \in IS(v_i)$を満たす全てのjについての$G(c_{ij})$から$G(v_j)$を次の式で求める．

$$G(v_i) = \bigcap_{v_j \in IS(v_i)} G(c_{ij})$$

2.3 トランスダクション法 (C/DC 手続き)

ゲートvに新たな入力結線を追加したり，ゲートの既存の入力結線を削除すると，$f(v)$は変化する．しかし，変化した$f(v)$が$G(v)$に含まれていれば，回路の出力関数は変化しない．このようにして，回路を変形，簡単化する手続きをC/DC(Connectable/Disconnectable)手続きという．

結線の追加削除が可能な条件について述べる．ゲートv_iからNOR ゲートv_jの入力へ結線c_{ij}が追加可能である条件は次の通りである．

1. $G^{(d)}(v_j) = 1$を満たす全てのdに対して，
   $f^{(d)}(v_i) = 0$
2. $v_i \notin S(v_j)$.

ゲートv_iからNOR ゲートv_jへの結線c_{ij}が削除可能な条件は$G(c_{ij})$が$*$と0だけからなることである．このとき$f(c_{ij})$を恒偽関数に置き換えられるので，c_{ij}を削除できる．

C/DC手続きでは回路によってはファンインが増加する場合が多い．ファンインが大きくなってしまうと，それを制限するには回路の段数が増加してしまうため[7)10)]，ファンイン制限つきC/DC手続きが用いられるのが一般的である．以下にその手続きを示す．

ファンイン制限つきC/DC手続き

Step 1: 各ゲートの出力関数を計算する．

Step 2: 各ゲートを出力側から順序付けする．

Step 3: Step 3.1 ～ 3.3 を Step 2 で求めた順序で適用する．

- **Step 3.1:** 当該ゲートの入力結線についてそれぞれCSPFを求め，冗長な結線を切断する．
- **Step 3.2:** このゲートの入力に接続可能なゲートまたは入力端子を回路中から探索し，接続する．
- **Step 3.3:** このゲートの入力結線のCSPFを再計

算し，冗長な結線を取り除く．

Step 3.4: もしファンイン制限を越えていれば，Step 3.1が終了した状態の入力結線に戻す．

Step 4: Step 1~3を回路コストの改良がなくなるまで繰り返す．

このファンイン制限つきC/DC手続きはCSPFの計算順序や回路変形の優先度などを柔軟に変更することにより，面積最適化や遅延最適化などに強力に適用できることが知られている．

以下，トランスダクション法というときはこのファンイン制限つきC/DC手続きを表すこととする．

3. 並 列 分 割

前節で述べた通りトランスダクション法は，初期回路中に存在するゲートや結線について許容関数を求め，結線の追加可能条件，削除可能条件を判定し，回路の変形，簡単化を行う手法である．したがってその最適化の際に局所解に陥った場合には，それまで回路中に存在しなかった論理関数を実現するゲートを生成することにより最適化を進められる可能性が生じてくる．

文献9)においては文献4)の変形規則を適用した後にトランスダクション法を適用した結果を示しているが，変形規則を適用できる個所が少なかったり回路の段数が増加してしまう等の結果のため，あまり効果的とは言いがたい．

トランスダクション法で局所解に陥ったとき，その脱出のための効果的な変形としては以下のような条件が考えられる．

- 探索が容易で回路中の複数の個所に同時に適用できること．
- 回路中にそれまで存在しなかった論理関数を多数含む変形であること．
- 高速に動作する回路を合成するため段数をあまり増加させないこと．
- 最終的に最適化を行うため回路の規模を不必要に増大させないこと．

本論文では上記条件を満足するような回路変形規則として並列分割(Parallel Duplication)を提案する．これは文献11)に示された，ファンイン制限のもとでのNANDのみからなる回路に対する完全な等価変換規則を組み合わせたものである．

NORゲートのみからなる回路について，$v_2 \in IP(v_1)$, $v_3 \in IP(v_2)$の接続関係がある時，

- $|IS(v_2)| = 1$
- $|IS(v_3)| = 1$
- $|IP(v_3)| \geq 2$

の条件を満足していれば**Fig.2**のような変形を行なっても出力関数は変化しない．この変形を並列分割と呼ぶ．ただし，図中の$A, \cdots, D$はそれぞれゲート又は入力端子からの結線集合を表す．

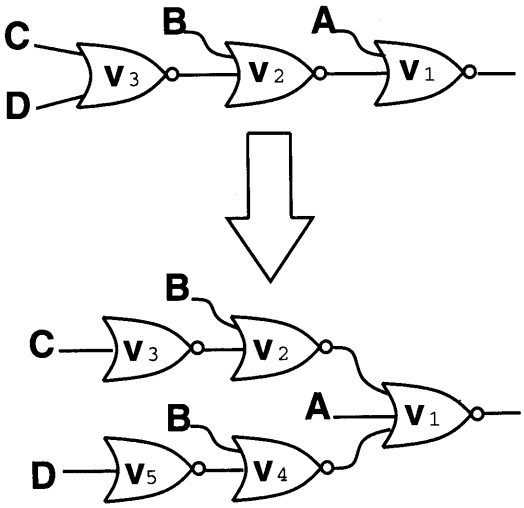

Fig.2 Parallel Duplication.

この並列分割は，回路の段数を増加させず，それまで回路中に存在しなかった論理関数を実現するゲートが多数生成するため，トランスダクション法の局所解からの脱出には有効であると考えられる．

3.1 並列分割アルゴリズムの概要

本稿では回路規模の無意味な増加を防ぐために，並列分割可能な条件に加えて以下の条件を満たす部分について並列分割を行う．なお，制限される最大ファンインを$MFANIN$とする．

- $|IP(v_1)| < MFANIN$ (変形後もファンイン制限を満足するため)
- 1つのv_1に対して複数v_2の候補がある時，$|B|$が最小のものを選ぶ．(結線の増加を抑えるため)
- 1つのv_2に対して複数v_3の候補がある時，$|IP(v_3)|$が最大のものを選ぶ．(並列分割によって新たに生成される論理関数に変化を持たせるため)

処理は以下のような手順で実行される．

Step 1: 回路の改善ができなくなるまでトランスダクション法を繰り返し適用する．

Step 2: 回路を出力段から順に探索し，並列分割が適用できる部分を変形する．

Step 3: Step 2の実行により新たに並列分割可能な部分が生じ得るので，変形できなくなるまでStep 2を繰り返す．

Step 4: 変形された回路に対して再度トランスダクション法を適用する．

4. 実　　験

3.節で述べた手続きをC言語を用いて実装し，実験を行なった．この時生成される回路は最大ファンインが4に制限され，ファンアウトは制限されていない．初期回路としてはLGSynth'91多段ベンチマーク回路をファンイン4までのNORゲートにマッピングしたものを用いた．また，トランスダクション法は段数優先のものを用いた．

結果の一部を**Table** 1に示す．ここで "init." は初期回路であり，"Trans." はトランスダクション法を初期回路に適用した結果である．"P.D." は初期回路にトランスダクション法を適用した結果に並列分割を適用した結果である．"P.D.+Tr." は "P.D" の結果にもう一度トランスダクション法を適用した結果である．各結果は "結線数/段数" で表される．"P.D.+Tr." において "Trans." よりも最適解の改善(段数の削減，または段数はそのままで結線数の削減)が見られるものを下線で示す．

結果を見ると並列分割を行うことにより約1/3の回路で最適解の改善が行なわれていることが分かる．また，段数のみに関してならば，更に多くの回路で改善が行なわれている．これは本稿で述べた変形によりそれまで存在しなかった関数を表すゲートが作成されるため，トランスダクション法の最適化能力をより引き出し，局所解から抜け出すことができたためと思われる．特に cht などはトランスダクション法を適用した結果から，さらに段数は2段削減され，結線数も22%も削減されている．

一方 9symml などは初期回路よりも結果が悪くなってしまっており，並列分割によって増加した回路がトランスダクション法によっても最適化できずに残ってしまったためと思われる．このような場合は並列分割を用いないトランスダクション法の結果を採用すれば良い．

Table 1 Experimental Results.

name	init.	Trans.	P.D.	P.D.+Tr.
9symml	402/14	385/14	538/14	490/14
C17	19/5	19/5	25/5	**17/5**
C1908	1335/37	1004/31	1290/31	1070/**29**
C432	421/25	308/21	308/21	308/21
alu2	747/39	729/31	981/31	796/**27**
alu4	1441/42	1370/33	1785/33	1481/**31**
apex7	501/17	436/14	662/14	473/**11**
b1	26/4	16/4	16/4	16/4
b9	247/10	233/10	310/10	258/10
c8	371/10	331/7	515/7	**294/6**
cc	120/4	118/4	128/4	**116/4**
cht	434/7	431/7	590/7	**336/5**
cm150a	131/15	124/15	162/15	**119/11**
cm162a	93/9	88/9	126/9	92/**7**
cm163a	92/9	91/9	132/9	**87/7**
cm82a	51/8	49/8	67/8	50/**6**
cm85a	82/12	82/12	108/12	87/**10**
cmb	102/10	91/10	95/10	**70/7**
cordic	197/13	133/12	175/12	142/**10**
decod	75/4	75/4	75/4	75/4
example2	642/12	593/12	779/12	637/**11**
f51m	277/13	184/10	275/10	195/**9**
frg1	225/15	235/15	466/15	316/**13**
lal	301/9	213/8	258/8	227/8
majority	20/6	20/6	42/6	22/**4**
mux	176/14	159/14	279/14	170/14
my_adder	384/35	357/34	420/34	360/34
parity	121/13	121/10	129/10	**120/10**
pcle	141/18	149/11	281/11	160/**8**
pm1	107/6	103/6	118/6	105/6
sct	243/8	179/6	201/6	180/6
t481	8144/20	239/16	400/16	**227/15**
tcon	96/4	88/4	112/4	**57/3**
term1	869/14	555/10	728/10	625/10
too_large	1743/24	825/23	1136/23	940/**22**
ttt2	486/9	389/9	542/9	**379/9**
unreg	225/5	225/5	465/5	278/**4**
vda	2226/14	1725/14	1814/14	1756/14
x1	734/12	634/12	953/12	771/**10**
x2	111/7	90/7	112/7	104/**6**
z4ml	130/9	74/8	101/8	**72/8**
i9	1788/13	1315/11	1670/11	1486/11

(Connections/Levels)

5. お　わ　り　に

本論文ではトランスダクション法の最適化の際に局所解に陥ってしまった回路に対し，さらに最適化を進めるために並列分割という等価変換を適用する手法について述べた．実験を行った結果，ベンチマーク回路の約1/3で最適解の改善が行われ，段数のみに関してならさらに多くの回路で改善が見られた．

一方で並列分割によって増えてしまったゲートがそのまま最適化されずに残ってしまうような場合には結果の悪くなってしまう場合もあった．

今後の課題としては，並列分割が有効な回路の判定，処理の効率化などが挙げられる．

謝　　辞

トランスダクション法のプログラムを提供して頂いた京都大学上林研究室の皆様に感謝致します．日頃御討論頂く九州大学大学院システム情報科学研究院の安浦・村上・松永研究室の諸氏に感謝致します．

参　考　文　献

1) S. Muroga, Y. Kambayashi, H. C. Lai, and J. N. Culliney, "The Transduction Method – Design of Logic Network Based on Permissible Functions," IEEE Transactions on Computers, Vol.38, No.10, October 1989.

2) 藤田昌宏, "トランスダクション法に基づく多段論理回路簡単化機能を持つ論理合成システムとその評価," 情処学論文誌, Vol.30, No.5, pp.613-623, May 1989.

3) 藤本徹哉, 神戸尚志, "許容関数集合に基づく組合せ論理回

路の遅延最適化," 情処研報 Vol.90, No.100, 90-DA-55, pp.73-78, 1990 年 12 月.

4) Y. Kambayashi, H. C. Lai, S. Muroga, "Pattern - Oriented Transformations of NOR Networks," Technical Report UIUCDCS-R-90-1573, Dep. Comput. Sci. , Univ. of Illinois, Feb. 1990.

5) S. Minato, N. Ishiura, S. Yajima, "Shared Binary Decision Diagram with Attributed Edges for Efficient Boolean Function Manipulation," Proc. 27th Design Automation Conference, pp.52-57, 1990.

6) S. Yang,"Logic Synthesis and Optimization Benchmarks User Guide Version 3.0," in 1991 MCNC International Workshop on Logic Synthesis, 1991.

7) S. Sawada, Y. Kambayashi, S. Muroga, "Generation of Fan-in Restricted Initial Networks for Transduction Method," Proc. SASIMI'92, pp.36-45, Apr. 1992.

8) 澤田直, 日野健介, 上林彌彦, "パターンベースによる冗長性の付加を考慮したトランスダクション法に関する考察," 情処第 48 回全大, 5B-7, pp.83-84, 1994 年 3 月.

9) 熊沢雅之, 澤田直, 上林彌彦, "回路パタンに基づく回路変換システムの開発," 情処第 52 回全大, 1K-7, 1996 年 3 月

10) 澤田 直, 石垣 博康, 上林 弥彦, 室賀 三郎, "トランスダクション法の初期回路における一般化直列分割に基づくファンイン制限," 電子情報通信学会論文誌, Vol.J80-D-I, No.4, pp.344–352, 1997 年 4 月.

11) K. Iwama, K. Hino, H. Kunokawa, and S. Sawada, "Generating Random Benchmark Circuits with Restricted Fan-Ins," IEICE Trans. Inf. & Syst., Vol. E80-D, No. 10, pp.1009–1016, Oct. 1997.