

オンチップクロック生成PLLの低ジッタ・小面積化設計

吉澤, 弘泰
九州大学大学院システム情報科学研究科電子デバイス工学専攻 : 博士後期課程

中司, 賢一
九州大学工学部電気情報工学科

谷口, 研二
久留米工業大学電子情報工学科

<https://doi.org/10.15017/1508396>

出版情報 : 九州大学大学院システム情報科学紀要. 4 (1), pp.93-98, 1999-03-26. Faculty of Information Science and Electrical Engineering, Kyushu University

バージョン :

権利関係 :



オンチップクロック生成PLLの低ジッタ・小面積化設計

吉澤 弘泰*・中司 賢一**・谷口 研二***

A Design of On-chip Clock Generation PLL for Low Jitter and Small Chip Area

Hiroyasu YOSHIKAWA, Kenichi NAKASHI and Kenji TANIGUCHI

(Received December 21, 1998)

Abstract: A design of clock generation PLL which improves the jitter performance and reduces the chip area is described. To reduce the VCO jitter, DC voltage regulator for stabilizing the supply voltage of PLL and a design method of optimum PFD characteristics are proposed. Utilizing the proposed design method, the jitter of the PLL is reduced to 40psec at 320MHz operating frequency under the noisy supply voltage condition. For the reduction of chip area, a filter circuit with variable capacitance are realized by a buffer and a small fixed capacitance. A new VCO bias circuit is also proposed to realize the linear VCO characteristics. The effective performance of the proposed filter and bias circuit is confirmed by SPICE simulation.

Keywords: Clock generation PLL, Low jitter, Filter with variable capacitance

1. はじめに

半導体製造技術、回路設計技術(CAD技術)は年々進歩しており、現在1チップ上に数百万を越えるトランジスタの集積化が実現されるに至っている。このようなVLSI技術の発達は、従来複数のチップで実現されていたシステムを1チップで実現するシステムオンチップを可能とし、その研究が現在積極的に行われている¹⁾。

PLL (Phase Locked Loop) は同期処理システムにおけるクロックの生成・分配回路としてしばしば用いられている回路である。同期システムを構成する場合、PLLもその他各種回路と共にチップ上に集積化が行われる。しかし、システムオンチップのような大規模な回路へのクロック供給やデジタル回路との混載等によりPLLに対する要求は以下に述べる点で益々厳しくなっている。

- ・電源電圧の低下とクロック速度の高速化
- ・ジッタ(出力信号の周期や入出力信号の位相誤差の揺らぎ)の低減
- ・フィルタ部のオンチップ化と専有面積の低減

我々はこれまでPLLの高速化を実現する回路について報告を行ってきた^{2),3)}。本論文ではジッタの低減、フィルタ部の小面積化、電圧制御発振器(VCO)の発振周波数特性の線形化(平坦領域の改善)を実現するPLL回路の構成、設計法について報告を行う。

2. ジッタの低減

PLLのジッタは同期回路に対するクロックのタイミング設定(遅延マージンの設定等)を困難にさせる要因である。回路規模の増大やクロックの高速化によりジッタに対する要求が厳しくなるため、極力低減させる必要がある。PLLにおけるジッタの発生要因は幾つか考えられるが、本論文では大きな要因である電源電圧揺らぎ、位相比較特性が引き起こすVCO制御不良の2点についてジッタの低減を検討した。

2.1 電源電圧安定化

Fig.1はシステムLSIにおける電源系を模式化した図である。図に示すようにPLLを含むアナログ回路の電源には、チップ供給電源のリプルや同一チップ上に混載されたデジタル回路からのスイッチング雑音等が原因となって揺らぎが生じる⁴⁾。電源電圧の揺らぎはPLL内の局部発振器の発振周期を揺らがせ、ジッタを増大させる。電源電圧揺らぎに対してはVCO自体を電源揺らぎに強い回路方式にする方法も考えられるが、電源自体を安定化したほうが回路的には容易である。また、電源電圧を安定化することで寄生容量を介したVCO制御電圧に対する揺らぎも抑制できるため、本研究では安定化電源⁵⁾を採用した。安定化電源回路としてはFig.2に示す2種類の回路を設計検討した。図に示すように、双方ともPN接合の接合電位(PMOSのP拡散層とNウェルを利用)と出力の分圧電位が一定となるように、増幅器(AMP)を用いて負帰還制御を行うことで出力を安定化させている回路である。Fig.2(a)はAMPの出力を、(b)はAMPで制御される

平成10年12月21日受付

* 電子デバイス工学専攻博士後期課程

** 工学部電気情報工学科

*** 久留米工業大学電子情報工学科

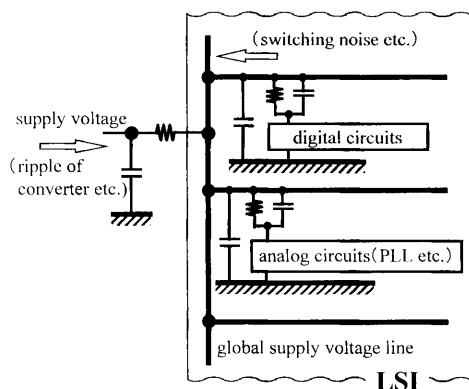


Fig.1 A model of power supply in system LSI.

Table-1 Specifications of Regulators.

	regulator(a)	regulator(b)
output S/N ratio(1) (improvement)	39 - 46dB (19 - 21dB)	46-56dB (21-32dB)
output S/N ratio(2) (improvement)	77dB (20dB)	67dB (11dB)
output S/N ratio(3)	53dB	50dB
power dissipation	13.4mW	5.0mW

S/N ratio(1) :10% of VDD 1KHz-100MHz sin noise

S/N ratio(2) :random noise by 7bit 1MHz LFSR

S/N ratio(3) :with load of 7bit 1MHz LFSR

power dissipation :with load of 7bit 50MHz LFSR

PMOS電流源の出力を安定化出力としている。Table-1は安定化電源回路の特性を0.5 μ m CMOSデザインルールを用いたSPICEシミュレーションにより評価した結果である。順に電源電圧に対して揺らぎ（正弦波揺らぎ、デジタル回路からのスイッチング雑音など）を与えた場合の出力電圧のS/N比及び（入力S/N比に対する改善度）、出力電圧の負荷変動に対する安定性、消費電力を評価した結果を示している。表から明らかなように、双方とも安定化回路として有効に動作している。ただし、表に示すように安定化回路(a)は消費電力が大きいため、これ以降の評価では安定化回路(b)を用いることにする。Fig.3は安定化回路(b)にVCOを接続し電源電圧変動時（0.3V 1MHzの正弦波）のVCO揺らぎをヒストグラムで表したものである。供給電源安定時より増えているものの、320MHz動作で120psec(周期の4%)の揺らぎ幅にジッタの発生が抑圧されている。

2.2 位相比較特性の最適化設計法

VCO制御電圧における制御不良は主に位相比較特性に依存している。クロック生成PLLによく用いられる位相周波数比較器(PFD)において、ジッタに関連する特性と

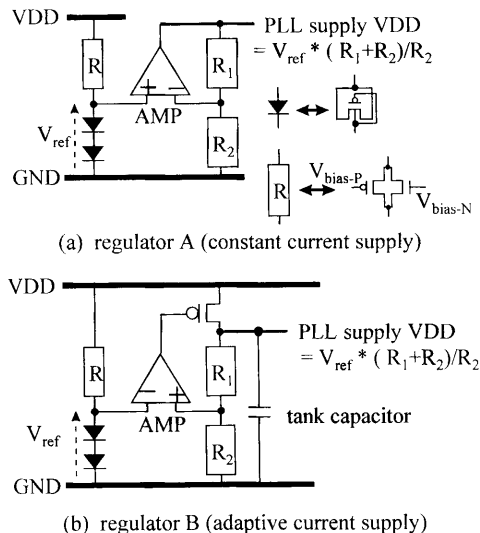


Fig.2 DC voltage regulator circuits.

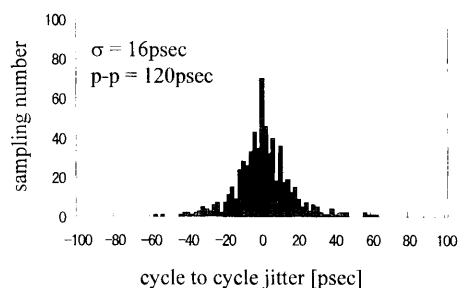


Fig.3 VCO jitter histogram.

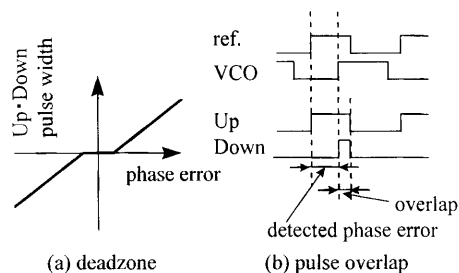


Fig.4 Phase detecting characteristics.

して特性のデッドゾーンと出力パルスのオーバーラップがある。Fig.4(a), (b)はそれぞれ特性のデッドゾーンと出力パルスオーバーラップを示したものである。デッドゾーンは図に示すように位相差零付近の不感領域であり、パルスオーバーラップはPFDのUp/Down出力パルスの時間軸上の重なりである。理想的には双方共に零又は微小な値であることが望ましいが^{(6),(7)}、特性と回路設計の関係や各特性の具体的な設定指針は明確ではない。本論文では特性と回路設計の関係を明確化し、さらに低ジッタを実現するための設計指針を提案する。

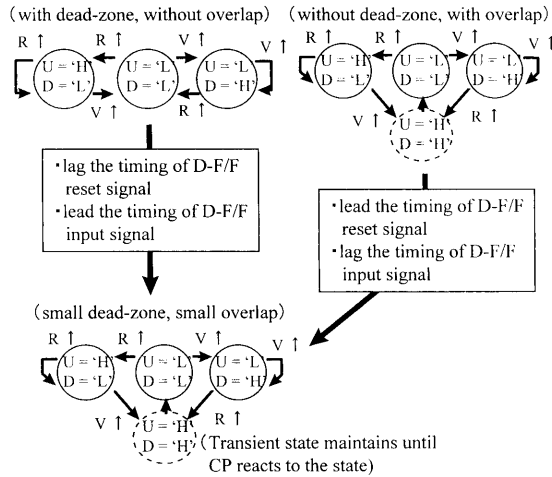


Fig.5 Flow chart for optimization of PFD characteristics with state transition diagram.

2.2.1 位相比較特性と回路設計

Fig.5は提案する位相比較特性の最適化と回路設計の関係をまとめたものである。最適化を容易にするため、特性と回路の動作を表す状態遷移を図に示すように対応づけている。同図に示すように、位相比較特性は過渡的に生ずる第4の状態 ($U='H', D='H'$) を規定することで状態遷移図と関連づけることができる。これは微小位相差において、初期状態一位相進み (位相遅れ) ー初期状態の遷移が急速に行われ、位相差を表す位相進み (又は位相遅れ) の状態が十分に現れないことがデッドゾンの原因となっているからである。従って、図のように3状態遷移をデッドゾーン有りとし、4状態遷移 (初期状態へ戻る遷移を第4の過渡状態を経由することで遅らせ微小な位相差に対しても位相差を表す状態が生ずるようにしている) をデッドゾーン無しとしている。また、パルスオーバーラップに関しても第4の過渡状態の有無が対応するため、提案する対応は妥当なものであるといえる。第4の過渡状態の有無や大小は状態を表すD-F/Fへの入力/リセットタイミングにより調整できるため、図に示す関係を利用して最適化を行うことができる。

2.2.2 位相比較特性の設計指針

前節では、位相比較特性と回路設計の関係を明確化し、特性の最適化を行うための回路設計手法をまとめた。本節では、デッドゾーンとジッタの関係を考察し具体的な特性の設定指針をまとめる。一般にPLLのジッタはVCO周期の揺らぎと参照クロックとの位相誤差揺らぎがある。Fig.6(a)はデッドゾーン幅とVCO周期揺らぎとの関係を、(b)はデッドゾーン幅と位相誤差揺らぎの関係を評価しまとめた結果である。Fig.6(a)中に示す波線は電源電圧に揺らぎが有る場合のVCO単体のジッタであり、点線は電源安定時のVCO単体のジッタを示している。Fig.6(a)に示すように電源揺らぎによるVCO周期揺らぎ

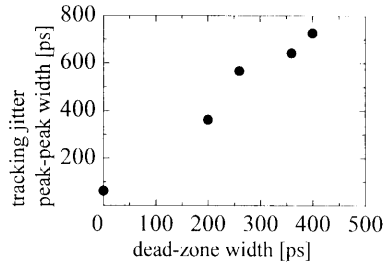
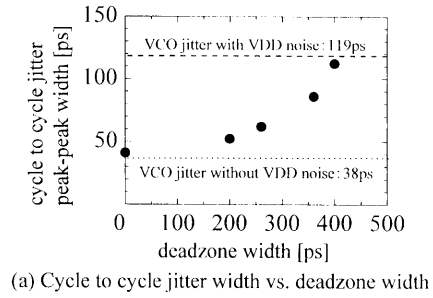


Fig.6 Jitter vs. deadzone width.

の抑制とデッドゾーン幅との間には関連があり、VCO周期揺らぎに関してはデッドゾーン幅200ps弱 (電源揺らぎ時のVCO周期揺らぎ幅の約2倍) 程度で概ね抑制されている。一方、位相誤差揺らぎとデッドゾーン幅の関係は、Fig.6(b)に示すように、位相誤差揺らぎはデッドゾーン幅の2倍前後の値を示している。一方、デッドゾーン幅が微少な場合、入出力位相誤差はデッドゾーン幅ではなくVCO周期揺らぎの約2倍となる。この結果より、位相誤差揺らぎを最小化するための許容デッドゾーン幅は電源安定時のVCO周期揺らぎ (約40psec) となる。両方のジッタを最小化するデッドゾーンの許容設定値は電源安定時のVCO周期揺らぎ (約40psec) であり、デッドゾーンの設定を満たしつつ、パルスオーバーラップを削減することで、位相比較特性の最適設計を実現することができる。電源電圧の安定化と位相比較特性の最適化により、電源揺らぎ時のPLLのジッタを320MHz動作で40psec (周期の1.3%) に低減できることをSPICEにより確認している。

3. VCO の発振周波数特性の向上

3.1 周波数特性の平坦領域

Fig.7(a)はVCOのバイアスとしてしばしば用いられる回路である⁸⁾。図中のNMOS電流源のゲート電圧を制御電圧とし、出力電流を変化させることで、リング発振器の電流源制御に必要な電圧を発生させる機能を持つ。この形式のバイアス回路では、制御電圧 V_{ctrl} がMOSトランジスタのしきい値以下の場合、電流が変化しないため、制御電圧ー変換制御電流特性に平坦な領域が生ずる。

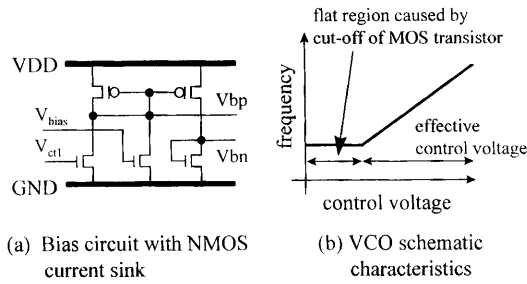


Fig.7 Flat region of VCO characteristics.

従って、同形式のバイアス回路を用いたVCOには、**Fig.7(b)**に模式的に示したような周波数特性の平坦領域（発振周波数がVCO制御電圧に応答せず一定値を保つ領域）が生ずる。周波数特性に平坦領域がある場合次のような問題が生ずる。

- ・ VCOの制御電圧有効範囲が狭くなる。
- ・ VCO利得が大きく制御電圧雑音に対する耐性が下がる。
- ・ 平坦領域と有効可変周波数領域との境界付近でVCO利得が急変する。

本論文ではVCOの発振周波数特性における平坦領域の解消と線形性の改善を目的として、NMOS/PMOS (N/P)の相補性を利用したバイアス回路を提案する。

3.2 NMOS/PMOS 相補性を利用したバイアス回路

Fig.8に提案するバイアス回路を示す。平坦領域がMOSトランジスタの遮断領域が原因となって生ずる点に留意し、**Fig.8(a), (b)**に示すようなVCO制御電圧の変換を行う。PMOSトランジスタを用いた変換では制御電圧をVDD側に、NMOSトランジスタを用いた変換ではGND側に移動させるため、それぞれの出力をNMOS, PMOS電流源に付加することでMOS電流源を常に線形（又は飽和）領域で動作させている。変換制御電圧により駆動する電流源を**Fig.8(c)**のように接続し、電流の加減算を行うことで、変換出力が一定値となる無反応領域をお互い補い合うことができる。同回路の利点は、回路構成が簡素であり、ゲート長やゲート幅の設定も容易な点にある。制御電圧変換部の制御電圧をVDD/2とし、NMOS/PMOSのゲート幅比を通常のインバータと同じに設定すれば、VCO制御電圧Vctlと変換後の制御電流をほぼ線形にすることができる。**Fig.9**は同回路の変換特性をSPICEにより評価した結果である。シミュレーションは電源電圧3V, 0.5 μ mCMOSを仮定した。同図に示すように制御電圧に対して変換制御電流は平坦領域を生じておらず、また線形に近い特性を示している。**Fig.10**はリング発振器の発振周波数特性を評価した結果である。同

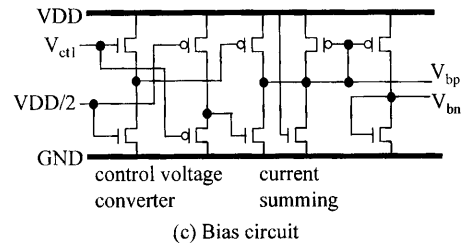
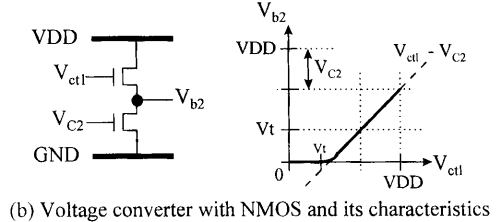
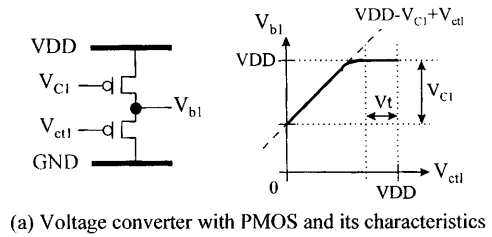


Fig.8 Bias circuit with complementary relation between NMOS and PMOS.

図の実線は提案するバイアス回路を付加した電流制御リング発振器の発振周波数特性を示している。図に明らかのように、発振周波数特性に平坦領域は生じていない。また、450MHzを越えたあたりからVCO利得が減少しているが、450MHz付近までは発振周波数が制御電圧に対して線形に変化している。高周波領域で利得が減少しているのは動作周波数限界に近づき、特性が飽和を起こしているためである。また、特性が高周波付近で飽和することが明らかな場合は、特性が鈍り始める領域の変換制御電流の利得を大きくすることで対処できる。**Fig.10**の破線は、バイアス回路の制御電圧利得を前半部と後半部で変化した場合の結果であり、線形に近い特性を実現している。VCO周波数特性の線形化はPLLのパラメータの設定やフィルタの設計を容易にする

4. キャパシタンス可変フィルタ回路

アナログPLLのフィルタは一般に抵抗、キャパシタ等の受動素子を用いる。しかし、キャパシタはその値にもよるが一般にチップ面積を大幅に占有する場合が多く、フィルタ部のチップ専有面積の削減が重要となっている。また、条件によってフィルタの設定を変更する必要がある場合もあり、オンチップでの可変キャパシタの実現が重要となっている。

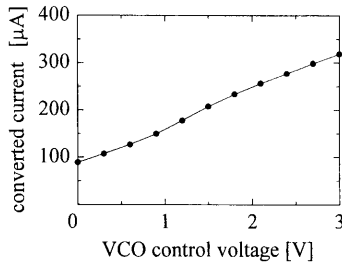


Fig.9 Converted current vs. control voltage of bias circuit.

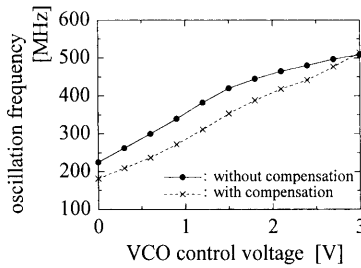


Fig.10 Oscillation frequency vs. control voltage of VCO with proposed bias circuit.

キャパシタンス可変を実現する手段として、本研究ではフィルタの入出力関係から導かれる関係式を基に、比較的小きなキャパシタとバッファを用いたフィルタ回路を提案し、等価的にキャパシタンスの可変を実現している。一般にフィルタ出力（VCO制御電圧）とチャージポンプから流入する電流の関係は（1）式で表される。

$$V_{ctl} = I_c \left(R_{LPF} + \frac{1}{j\omega C_{LPF}} \right) \quad (1)$$

ここで、抵抗とキャパシタに流れる電流をそれぞれ I_c, I_{cap} とおき、 $I_{cap} = \alpha I_c$ とすると、フィルタの入出力関係は

$$V_{ctl} = I_c R_{LPF} + \frac{I_{cap}}{j\omega C_{fixed}} \quad (2)$$

$$= I_c \left(R_{LPF} + \frac{1}{j\omega \frac{C_{fixed}}{\alpha}} \right) \quad (3)$$

となる。（1）式と（3）式の関係より次式の関係が導かれる。

$$C_{LPF} = \frac{C_{fixed}}{\alpha} \quad (4)$$

（4）式に示すように、 I_c と I_{cap} の電流比 α を任意に設

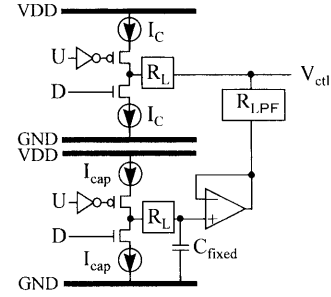


Fig.11 CP and filter circuit with variable capacitance circuit.

定することで C_{LPF} の値を C_{fixed} を基に様々に変化させることができる。電流比が1に近い値は電流源の制御電圧値をアナログ的に変化させることによって、電流比が大きな値はゲート幅の比を変えることによって得ることができる。電流源の制御電圧変更や複数個の電流源を用意することは回路的に容易であり、その占有チップ面積も少なく済む。Fig.11に上記の式関係を基に構成したキャパシタンス可変フィルタ回路図を、Fig.12に同回路を組み込んだPLLの引き込み特性を評価した結果を示す。Fig.12は上から順にVCO制御電圧、バッファ出力及びキャパシタの充放電電圧を表している。設定評価条件は図中に示す通りである。同PLLで用いたキャパシタは5pFであるが、同図に示すキャパシタの充放電電圧やバッファ出力の変化は従来のフィルタ回路においてキャパシタを50pFとした場合とほぼ対応しており、同回路が等価的に50pF（固定値の10倍）のキャパシタを持つフィルタの動作を行っていることがわかる。この場合、フィルタの面積はバッファやCP回路の増分を含めても1/6~1/7に削減することができる。比率を上げればさらに削減を行うことができる。同回路で留意すべき点はスルーレート等のAMP特性による影響等であるが、バッファ入力キャパシタの電流による充放電電位であり、スルーレートが問題になるほどの電位の急変の可能性は非常に低い。また、バッファの定常的なオフセット誤差もAMP入力の変化とVCO出力の変化が対応していれば問題にはならない。欠点としてはバッファのダイナミックレンジがVCO制御電圧のダイナミックレンジを制限する点である。Fig.12において0~50nsecの充電電圧とバッファ出力との間にずれが生じているのは、バッファの出力下限によるものである。キャパシタに用いるキャパシタの値は寄生容量（配線のレイアウトにもよるが配線容量は概ね数十fF程度）による影響を無視できる程度の値があれば良いので、最低数pF程度あれば十分である。また、チャージポンプの電流比 α の設定は取り扱う電流源の電流の精度によるが数十分の一程度であれば概ね設定可能である。

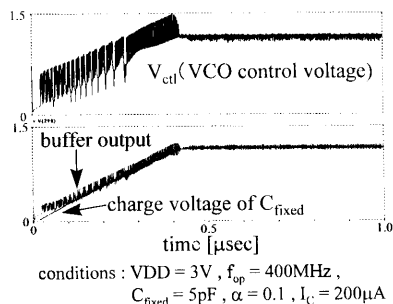


Fig.12 Simulated wave forms of PLL with proposed CP and filter circuit.

5. ま と め

PLLのジッタを低減する設計として、レギュレータによる電源電圧の安定化と、ジッタの抑圧効果を最大にする位相比較特性の最適化設計手法をまとめた。まず、安定化回路を用いることで、電源揺らぎ時(0.3V 1MHzの正弦波電源揺らぎ)のVCO 320MHzにおけるVCO周期揺らぎ幅が120psec(周期の約4%)に低減されることをSPICEにより確認した。次に、位相比較特性と回路設計の関係、及びデッドゾーンとジッタの関係を考察し、特性最適化のための回路設計手法と具体的な特性設計指針を明らかにした。同手法と設計指針に従って構成した320MHz PLLをSPICEで評価した結果、電源揺らぎ時のVCO周期揺らぎ幅が40psec(周期の約1.3%)に低減されることを確認している。

また、VCO周波数特性の非線形性(特に特性の平坦領域)を改善するバイアス回路とフィルタ部(キャパシタ)のチップ専有面積を削減し、かつ、キャパシタ可変を容易に実現する回路を提案し、その有効性をSPICEにより検証した。

以上検討した結果より、提案する回路構成や設計法を用いることで、低ジッタかつチップ専有面積の小さいPLL回路の実現が期待できる。

参 考 文 献

- 1) 桜井貴康, "総論 - システム LSI のアプリケーションとシステム LSI の課題 -", 電子情報通信学会誌, vol.81, no.11, pp.1082-1092, 1988.
- 2) H. Yoshizawa, K. Taniguchi, H. Shirahama and K. Nakashi, "A Low Power 622MHz CMOS Phase-Locked Loop with Source Coupled VCO and Dynamic PFD", IEICE Trans. Fundamentals, Vol.E80-A, no.6, pp.1015-1020, 1997.
- 3) H. Yoshizawa, K. Taniguchi, K. Nakashi and H. Shirahama, "A New Phase Frequency Detector with Feedforward Reset for Low Supply Voltage", Proc. of the 7th International Symposium on IC Technology, System and Applications, pp.628-631, 1997.
- 4) J. G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Technique", IEEE J. of Solid-State Circuits, vol. 31, no.11, pp.1723-1732, 1996.
- 5) 原田耕介, 二宮保, 中野忠夫, "基礎電子回路", コロナ社, 1985.
- 6) K. Suzuki, M. Yamashita, T. Nakayama, M. Izumikawa, M. Nomura, H. Igura, H. Heiuchi, J. Goto, T. Inoue, Y. Koseki, H. Abiko, K. Okabe, A. Ono, Y. Yano and H. Yamada, "A 500 MHz, 32 bit, 0.4μm CMOS RISC Processor", IEEE J. of Solid-State Circuits, vol.29, no.12, pp.1464-1473, 1994.
- 7) V. von Kaenel, D. Aebischer, C. Piguet and E. Dijkstra, "A 320MHz, 1.5mW @ 1.35V CMOS PLL for Microprocessor Clock Generation", IEEE J. of Solid-State Circuits, vol. 31, no. 11, pp. 1715-1722, 1996.
- 8) J. Alvarez, H. Sanchez, C. Gerosa, C. Hanke, R Countryman and S. Thadasina, "A Wide-bandwidth Low-voltage PLL for Power PC™ Microprocessor", IEEE J. of Solid-State Circuits, vol. 30, pp. 383-391, 1995.