

## CoSi<sub>2</sub>ゲートMosトンネル構造の形成と評価

張, 依群

九州大学大学院システム情報科学府電子デバイス工学専攻 : 博士後期課程

松下, 篤志

九州大学大学院システム情報科学府電子デバイス工学専攻 : 博士後期課程

権丈, 淳

九州大学大学院システム情報科学府電子デバイス工学専攻

佐道, 泰造

九州大学大学院システム情報科学府電子デバイス工学専攻

他

<https://doi.org/10.15017/1498366>

---

出版情報 : 九州大学大学院システム情報科学紀要. 3 (2), pp.257-260, 1998-06-22. Faculty of Information Science and Electrical Engineering, Kyushu University

バージョン :

権利関係 :

## CoSi<sub>2</sub>ゲート MOS トンネル構造の形成と評価

張 依群\*・松下篤志\*・権丈 淳\*\*・佐道泰造\*\*・中島 寛\*\*\*・手島 昇†・  
森 紘†・鶴島稔夫\*\*

### Fabrication and Characterization of CoSi<sub>2</sub> Gate MOS Tunnel Structure

Yi-Qun ZHANG, Atsushi MATSUSHITA, Atsushi KENJO, Taizoh SADOH, Hiroshi NAKASHIMA  
Noboru TESHIMA, Hiroshi MORI and Toshio TSURUSHIMA

(Received June 22, 1998)

**Abstract:** Fabrication processes and electrical characteristics of CoSi<sub>2</sub> gate MOS tunnel structures have been studied. Thin CoSi<sub>2</sub> layers were grown on thin SiO<sub>2</sub> films by molecular beam deposition (MBD). Co and Si were simultaneously deposited with a deposition ratio of Co : Si = 1 : 2. The structural and electrical properties of the CoSi<sub>2</sub> layers were investigated by X-ray diffraction and Van der Pauw methods. The CoSi<sub>2</sub> phase was observed for samples deposited at a temperature between room temperature and 400 °C. The resistivity of the layers deposited at 400 °C was close to the value of CoSi<sub>2</sub> and did not depend on the thickness of the layers between 140 and 440Å. *I-V* characteristics for the CoSi<sub>2</sub>-SiO<sub>2</sub>-Si MOS structures were also investigated. For samples deposited under 200 °C, the leak current was very larger, and Fowler-Nordheim tunnel current was not observed. On the other hand, for samples deposited above 300 °C, Fowler-Nordheim tunnel current was observed. The values of the barrier height for the tunneling were estimated as 2.8 eV and 3.0 eV for samples deposited at 300 °C and 400 °C, respectively.

**Keywords:** Tunneling electron emission device, Molecular beam deposition, Cobalt silicide, Thin oxide film

### 1. はじめに

薄い酸化膜からなる MOS (Metal-Oxide-Semiconductor) 構造に高電圧を印加すると、半導体中の電子は酸化膜をトンネルし、金属電極に移る。その際、金属電極が十分薄ければ、電極外部への電子放出がみられる。このようにトンネル現象を伴って電子放出する素子を MOS トンネル電子放出デバイス (Tunneling Electron Emission Device) と呼ぶ。MOS トンネル放出デバイスを作製するためには、原子レベルで制御された極薄金属膜の形成が必要である。

近年、スパッタ法を用いて Al MOS トンネル電子放出デバイスを作製した例が報告された<sup>1)</sup>。一方、高融点金属とシリコンの化合物 (シリサイド) は、Al に比べて熱的安定性が高い。このため、シリサイド膜を用いると、MOS トンネル電子放出デバイスの寿命や信頼性の向上が期待される。

分子線エピタキシー (MBE: Molecular Beam Epitaxy の略) 装置を用いて、Co ビームと Si ビームの強度

比を1対2として Co と Si を同時堆積すると、Si 基板上に結晶 CoSi<sub>2</sub> 膜が成長することが報告されている<sup>2),3)</sup>。本研究では、MBE 装置で得られる Co および Si の分子ビームを用いて、極薄 SiO<sub>2</sub> 膜上への CoSi<sub>2</sub> の超高真空成膜 (以下分子ビーム堆積法 (MBD: Molecular Beam Deposition) という) を行い、堆積膜の導電特性制御を試みる。さらに、形成された MOS トンネル構造の電気特性を評価する。

### 2. 実験方法

実験の手順を以下に示す。

#### (1) 試料の洗浄

CZ-n 型、面方位 (100)、抵抗率 8~12 Ωcm の Si ウエハを 20 mm×20 mm のチップに切断し、脱脂、NH<sub>4</sub>OH 煮沸+HF エッチング、HCl 煮沸+HF エッチングの順に洗浄を行い、表面を清浄化した試料を準備した。

#### (2) 熱酸化

洗浄した試料を酸化炉に入れ、500cc/min の酸素ガスを流しながら 900 °C で 22 分 30 秒間の乾燥熱酸化を行い、厚さ約 100 Å の酸化膜を形成した。

#### (3) 分子ビーム堆積法による成膜

酸化した試料を MBE 装置に入れ、Co ビームと Si ビームの強度比を 1 対 2 とし、同時堆積によりシリサイド膜を堆積した。MOS トンネル構造を作製する場合は、

平成 10 年 6 月 22 日受付

\* 電子デバイス工学専攻博士後期課程

\*\* 電子デバイス工学専攻

\*\*\* 先端科学技術共同研究センター

〒工学部電気情報工学科

試料の表面を直径0.6 mm, 間隔1.5 mmの穴を開けたMoマスクで覆い, シリサイド膜を堆積した. 堆積時の試料温度は, 室温~400°Cとした.

#### (4) 測定

形成された酸化膜の厚さおよびシリサイド膜の厚さはそれぞれエリブソメータおよび接触式表面形状評価装置を用いて測定した. シリサイド膜の構造とシート抵抗は, それぞれX線回折法およびファンデアパウ法により測定した.

### 3. 実験結果と考察

#### 3.1 シリサイド膜のX線回折測定

膜厚140Å, 210Å, 270Å, および440Åのシリサイド膜のX線回折結果をFig. 1に示す. 成膜時の基板温度は400°Cとした. Fig. 1において, いずれの膜厚でも, CoSi<sub>2</sub>の回折ピークが観測される.

基板温度を室温, 200°C, 400°Cとして, CoとSiを1対2で, 20分間同時堆積した結果形成されたシリサイド膜のX線回折結果をFig. 2に示す. Fig. 2において, いずれの基板温度でも, CoSi<sub>2</sub>の回折ピークが観測される.

Fig. 1とFig. 2より, CoビームとSiビームの強度比を1対2とすれば, 堆積温度及び堆積時間に関係なく, CoSi<sub>2</sub>膜が形成されることが分かった. しかし, 膜全体にわたってCoSi<sub>2</sub>が形成されているかどうかは明らかでない. 後述する抵抗率測定の結果を考え合わせると, 基板温度が200°C以下では, 膜全体が均一なCoSi<sub>2</sub>にはなっていないと考えられる.

#### 3.2 シリサイド膜のシート抵抗測定

シート抵抗を測定するためのファンデアパウ法の概略

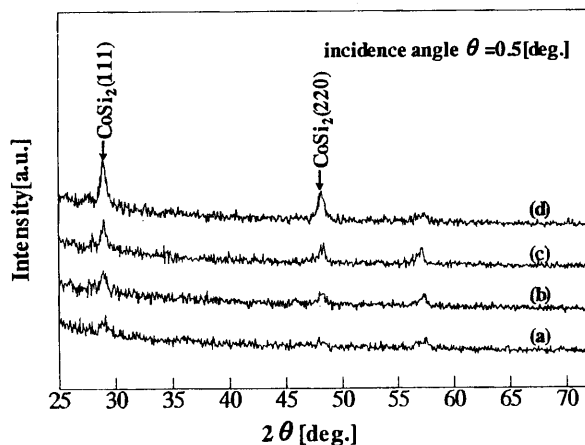


Fig.1 XRD results for Co/Si co-deposited layers on SiO<sub>2</sub> thin films with an atomic ratio of Co : Si = 1 : 2 by MBD. The Co/Si layers were deposited on the samples at 400°C. The thickness of the layers were (a)140Å, (b)210Å, (c)270Å, and (d)440Å.

図をFig. 3に示す. 探針1と2を電流源へ接続し, 探針3と4を電圧計へ接続すると, 抵抗 $R_{AB,CD}$ が得られる. 次に, 探針3と2を電流源へ, 探針1と4を電圧計へ接続すると, 抵抗 $R_{CB,AD}$ が得られる.  $R_{AB,CD}$ と $R_{CB,AD}$ を用いて, シート抵抗 $R_S$ は

$$R_S = \frac{\pi}{\ln 2} \frac{R_{AB,CD} + R_{CB,AD}}{2} f$$

と表される. ここで,  $f$ は補正係数である. 抵抗率 $\rho$ は $R_S$ および膜厚 $d$ を用いて次のように表される.

$$\rho = R_S \cdot d$$

ファンデアパウ法を用いて求められた, CoSi<sub>2</sub>膜の抵抗率の堆積温度依存性をFig. 4に示す. Fig. 4より, 堆積

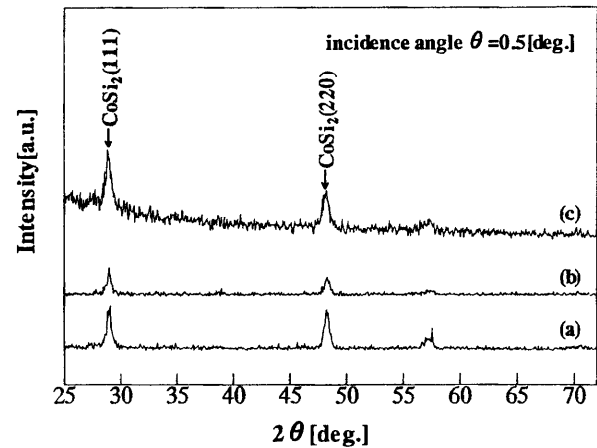


Fig.2 XRD results for Co/Si co-deposited layers on SiO<sub>2</sub> thin films with an atomic ratio of Co : Si = 1 : 2 by MBD. The Co/Si layers were deposited on the samples at (a) RT, (b) 200°C, and (c) 400°C. The thickness of the layers were (a) 340Å, (b) 370Å, and (c) 440Å.

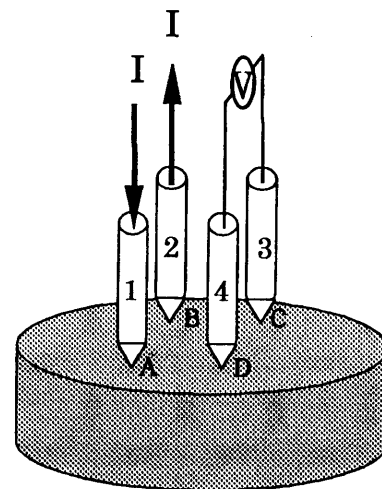


Fig.3 Schematic drawing of Van der Pauw method for measurement of sheet resistance.

時の基板温度が高いほど、成長したCoSi<sub>2</sub>膜の抵抗率が低いことが分かる。また、250°C~400°Cで堆積した膜の抵抗率は、温度の上昇に伴ってCoSi<sub>2</sub>の抵抗率(15~20 μΩcm)に近接する傾向を示している。これは、基板温度が高いほど、結晶性CoSi<sub>2</sub>成分が多くなり、抵抗率が低くなったと考えられる。

基板温度を400°Cに固定し、堆積時間を5分、8分、12分、20分(膜厚それぞれ140Å, 210Å, 270Å, 440Å)と変化させたときのCoSi<sub>2</sub>膜の抵抗率をFig. 5に示す。Fig. 5より、CoSi<sub>2</sub>膜の抵抗率は膜厚140~440Åの範囲では、CoSi<sub>2</sub>の抵抗率に近い値を示し、膜厚に依存しないことが分かった。

### 3.3 シリサイドゲートMOSトンネル構造の電流-電圧特性

厚さ100Åのシリコン酸化膜の上に、分子ビーム堆積法により直径0.6mm、厚さ約800Åのシリサイドゲートを形成し、MOSトンネル構造を作製した。このMOSトンネル構造の模式図をFig. 6に示す。

成膜温度を室温、200°C、300°C、400°Cとして作製したMOSトンネル構造のトンネル電流の印加電界強度依存性(*I-E*特性)をFig. 7に、Fowler-Nordheimプロット

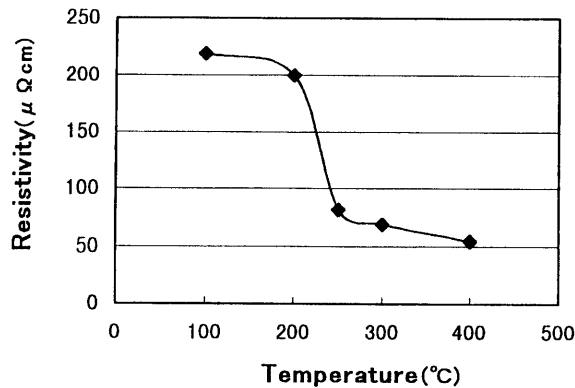


Fig. 4 The resistivity of the silicide films as a function of substrate temperature during deposition.

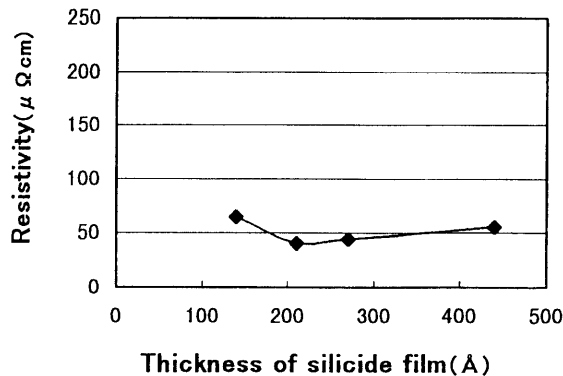


Fig. 5 The resistivity of the silicide films as a function of the thickness.

をFig. 8に示す。Fig. 7とFig. 8より、基板温度が高いほど、*I-E*特性曲線が高電界側にシフトし、300°C以上の堆積温度においてF-Nトンネル電流が支配的となること、およびSi-SiO<sub>2</sub>界面の障壁の高さが大きくなることが分かる。

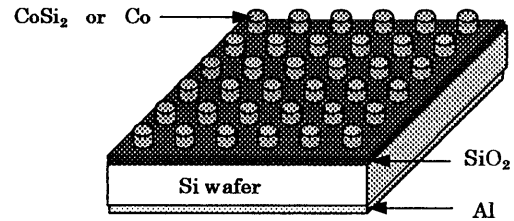


Fig. 6 Schematic drawing of MOS tunnel structures.

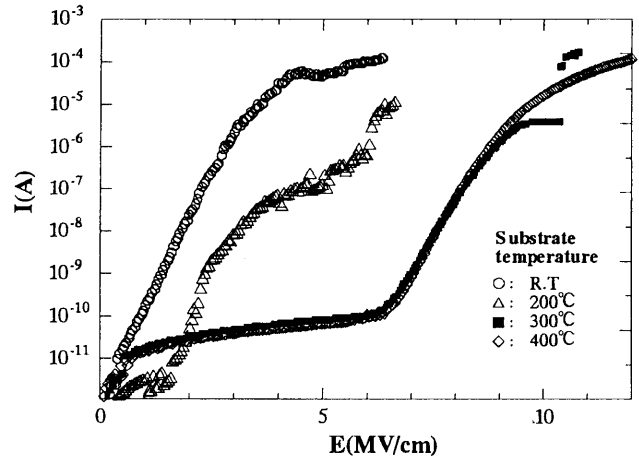


Fig. 7 *I-E* curves for CoSi<sub>2</sub> gate MOS tunnel structures deposited on the samples at a temperature between RT and 400°C.

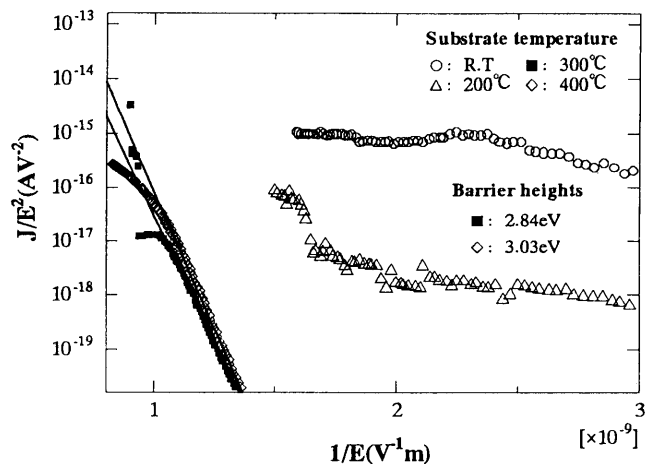


Fig. 8 F-N plots for CoSi<sub>2</sub> gate MOS tunnel structures deposited on the samples at a temperature between RT and 400°C.

低い堆積温度で作製した試料は、リーク電流が大きく、F-Nトンネル電流が観測されなかった。これは、ゲート電極中のCoがSiO<sub>2</sub>膜に浸透したことに起因する可能性がある。スパッタ法を用いてSiO<sub>2</sub>膜上へ厚さ500ÅのCo膜を形成し、その後500°Cのアニールを行うと、CoがSiO<sub>2</sub>膜に浸透することが報告されている<sup>4)</sup>。低い堆積温度では、シリサイド化反応が起こりにくいため、一部分のSiとCoが未反応の状態で基板の表面に付着していると考えられる。未反応のCoが、SiO<sub>2</sub>膜に浸透することによってSiO<sub>2</sub>膜の絶縁特性を劣化させ、リーク電流が増大した可能性がある。この仮定を確かめるため、次の実験を行った。

厚さ100Åのシリコン酸化膜の上に、分子ビーム堆積法により、Coのみを室温で堆積し、MOSトンネル構造を作製した。Fig. 9とFig. 10に、このトンネル接合のI-E特性及びFowler-Nordheimプロットを示す。Fig. 9とFig. 10より、Co電極のMOS構造では、トンネル電流が

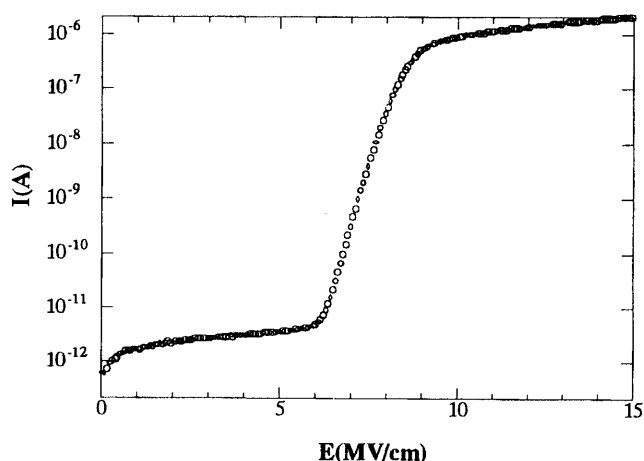


Fig.9 I-E curve for Co gate MOS tunnel structure deposited at RT.

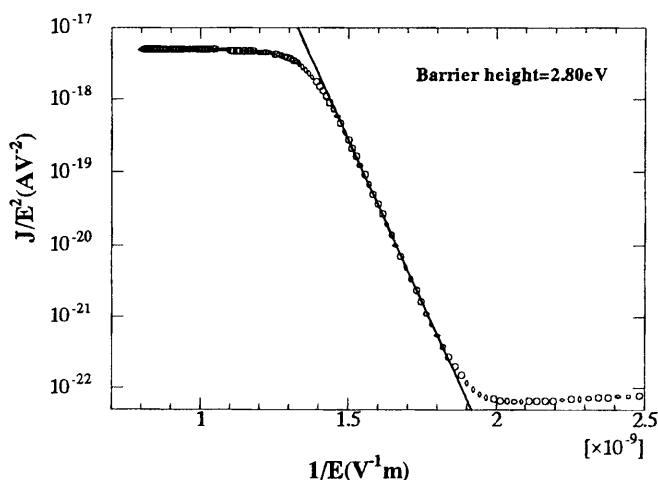


Fig.10 F-N plot for Co gate MOS tunnel structures deposited at RT.

流れることが分かった。また、Co電極を除去し、SiO<sub>2</sub>膜表面をXPS測定した結果、CoはSiO<sub>2</sub>膜中に残留していないことがわかった。以上より、低温堆積の場合、CoがSiO<sub>2</sub>膜に浸透する可能性は小さいことが分かった。

低温で堆積したシリサイド膜は、高温での堆積に比べ、CoSi<sub>2</sub>結晶の粒径が小さく、非晶質の領域も多く、また、未反応のSiも多く存在すると考えられる。低温で顕著に観測されたリーク電流は、ゲート電極の膜構造や、過剰な未反応Siに起因する可能性もある。

#### 4. ま と め

MOSトンネル電子放出デバイスへの応用を目的として、CoSi<sub>2</sub>ゲートMOSトンネル構造の形成と評価を行った。分子ビーム堆積法により、極薄SiO<sub>2</sub>膜上に薄いCoSi<sub>2</sub>膜を堆積し、CoSi<sub>2</sub>膜の構造と導電特性を調べた。さらに、MOSトンネル構造の電気特性を評価した。主要な結果は次のとおりである。

- (1) CoビームとSiビームの強度比を1対2として、CoとSiを同時堆積すれば、堆積時の基板温度及び堆積時間に関係なく、CoSi<sub>2</sub>を含んだ膜が形成される。
- (2) 堆積温度400°Cで形成した膜厚140~440ÅのCoSi<sub>2</sub>膜の抵抗率は、CoSi<sub>2</sub>の抵抗率に近い値を示し、膜厚に依存しない。
- (3) 高温成長の場合は、低抵抗CoSi<sub>2</sub>膜を形成しやすく、MOSトンネル構造の電極として利用可能と期待される。堆積温度300°Cおよび400°Cで形成したMOS構造では、F-Nトンネル電流が観測され、その障壁の高さは2.8および3.0eVであった。
- (4) 堆積温度室温~200°Cで形成したMOS構造では、リーク電流が大きくF-Nトンネル電流は観測されなかった。これはゲート電極の膜構造とこれが形成される過程での酸化膜の劣化および過剰な未反応Siに起因すると考えられるが、今後の詳細な研究で原因を明らかにする必要がある。

#### 謝 辞

酸化膜の膜厚測定、電気特性測定、XRDおよびXPS測定は、それぞれベンチャービジネスラボラトリー、先端科学技術共同研究センター、中央分析センターで行ったことを記し、謝意を表す。

#### 参 考 文 献

- 1) K. Yokoo, H. Tanaka, S. Sato, J. Murato, and S. Ono, J. Vac. Sci. Technol. B 11, 429 (1993).
- 2) J. C. Bean and J. M. Poate, Appl. Phys. Lett. 37, 643 (1980).
- 3) E. de Fresart, Y. C. Kao, and K. L. Wang, J. Vac. Sci. Technol. B 4, 645 (1986).
- 4) W. D. Chen, Y. D. Cui, and C. C. Hsu, J. Appl. Phys. 69, 11 (1991).