

TaN/Hf系high-k/Siゲートスタック構造の電気特性

杉本, 陽平
九州大学総合理工学府量子プロセス理工学専攻

山本, 圭介
九州大学総合理工学府量子プロセス理工学専攻

梶原, 誠生
九州大学総合理工学府量子プロセス理工学専攻

末廣, 雄策
九州大学総合理工学府量子プロセス理工学専攻

他

<https://doi.org/10.15017/14569>

出版情報 : 九州大学大学院総合理工学報告. 28 (4), pp.371-378, 2007-03. Interdisciplinary Graduate School of Engineering Sciences, Kyushu University

バージョン :

権利関係 :



TaN/Hf 系 high- k /Si ゲートスタック構造の電気特性

杉本 陽平*1・山本 圭介*1・梶原 誠生*1
末廣 雄策*1・中島 寛*2†

(平成18年12月25日 受理)

Electrical Properties of TaN /Hf based-high- k /Si Gate Stack Structure

Youhei SUGIMOTO, Keisuke YAMAMOTO, Masanari KAJIWARA,
Yuusaku SUEHIRO, Hiroshi NAKASHIMA

†E-mail of corresponding author: *nakasima@astec.kyushu-u.ac.jp*

We investigated the electrical properties of TaN/HfO₂/Si gate stack structure. It was found that the effective work function (Φ_{eff}) strongly depends on the interfacial layer formed near the TaN/HfO₂ interface. The analysis by X-ray photoelectron spectroscopy (XPS) indicated that Ta oxide is formed near the TaN/HfO₂ interface. The results suggested that the modification of Φ_{eff} is attributed to the change in the composition of the interfacial layer. The modified Φ_{eff} is discussed on the basis of the XPS results.

Key words: *Metal gate, TaN, interfacial layer, Fermi level pinning*

1. 緒 言

携帯電話などIT端末機器の著しい高機能化は、大規模集積回路の高速・低消費電力化により推進されている。しかし、微細化に伴い、2010年にはシリコン酸化(SiO₂)換算膜厚(EOT: Effective Oxide Thickness)で1.0 nmのゲート絶縁膜が要求され、①直接トンネリングによるゲートリーク電流の増大、②ゲート電極である多結晶Si(poly-Si)の寄生容量によるEOTの増大、が問題となっている。

そのような背景から、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)の構成材料であるSiO₂ゲート絶縁膜及びpoly-Si電極が根本的に見直される必要性が生じ、新材料の導入が不可欠となっている。そのため、リーク電流とEOTの低減化が実現できる高誘電率(high- k)ゲート絶縁膜¹⁻³⁾及び寄生容量が発生しないメタルゲート(Metal Gate)の導入が検討されている。⁴⁻⁶⁾メタルゲート電極の課題は、MOSFETデバイスのしきい値電圧を最適に制御できる材料の導入である。ITRS (International Technology Roadmap for Semiconductor) 2005 ロードマップによると、

⑦Bulk-Si MOSFETでは、nチャネルにはSi伝導帯、pチャネルにはSi価電子帯に近い仕事関数を持つMetal Gateが必要になる。携帯電話に使用される待機時低消費電力デバイスの場合、その値は、n-及びp-チャネルMOSに対して4.05~4.25 eV及び4.97~5.16 eVとなる。FD-SOI(Fully Depletion Silicon on Insulator) MOSFETの様な先端デバイスの場合、要求される仕事関数は、Siのミッドギャップより±0.1 eVとなっている。その値は、n-及びp-チャネルに対して4.56 eV及び4.72 eVである。従って、high- k 絶縁膜を有するn-MOS及びp-MOSFETに対して、2種類のMetal Gate電極を形成する必要があり、それをDual Metal Gate(DMG)プロセスと言う。

Metal Gate材料の中で、窒化タンタル(TaN)はSiバンドギャップ内に仕事関数(4.4-5.0 eV)を持つこと、poly-Si電極と同等の抵抗率及び高い熱安定性を示すことから、有望な電極材料として期待されている。TaNの仕事関数は成膜法に依存するが、概ね4.4-4.6 eVの値がSiO₂上で多数報告され、⁸⁻¹⁰⁾その値からFD-SOI上でのn-チャネルMOSFETへの適用が考えられる。

一般的にMetal Gateの仕事関数は下地絶縁膜(SiO₂あるいはhigh- k 膜)に依存して異なることが報告されている。¹¹⁻¹³⁾その原因として、Metal Gate/high- k 界

*1 量子プロセス理工学専攻

*2 九州大学産学連携センター

面に発生する界面ダイポールが議論されている。この界面ダイポールは、Metal/high- k 界面の電子的相互作用により誘起され、フェルミレベルがある準位にピンニングされることで理解されている。この現象はフェルミレベルピンニング (FLP: Fermi Level Pinning) と呼ばれている。FLP が生じると、Gate 電極の実効仕事関数が絶縁膜の種類によって異なり、結果として、MOSFET のしきい値変動の原因となる。¹⁴⁾このような背景から、FLP 現象のメカニズム解明が、high- k 膜を MOSFET に導入する上で重要となっている。

界面ダイポールの発生は、Metal/high- k 界面結合における酸素空孔または絶縁膜中の酸素空孔に関係するとの報告もある。^{15,16)}また、Metal/high- k に界面反応層が形成された結果、その界面層に発生したダイポールが実効仕事関数に影響を及ぼすとの報告もある。¹⁷⁾しかし、Metal Gate/high- k 界面の界面反応層と仕事関数変調に関する系統的研究は、実験的になされていない。

本論文では、high- k 膜として Hf 系絶縁膜を用い、TaN/high- k /Si- 及び TaN/SiO₂/Si-MOS 構造での仕事関数と TaN/high- k 及び TaN/SiO₂ の界面層を評価した結果について述べる。

2. 実験

high- k 膜または SiO₂ 上での Gate 仕事関数を評価することを目的として、TaN/high- k /Si- または TaN/SiO₂/Si-MOS 構造を形成した。基板には抵抗率 1Ω cm の n 形 Si(100) を用いた。この基板に RCA 洗浄を施し、最後に希フッ酸処理を施すことでケミカルオキサイドを除去すると同時に、水素終端された Si 表面を作り出した。TaN/high- k /Si-MOS 構造は次に述べる①～⑥、TaN/SiO₂/Si-MOS 構造は①、④～⑥のプロセスで形成した。

- ① 下地酸化膜 (SiO₂ 膜) は、電気炉を用いて 900℃ で O₂ 雰囲気にて所定時間、Dry 酸化により形成した。次に、膜中の固定電荷を低減するため、N₂ 雰囲気にて 900℃ で 60 分間の熱処理を行った。仕事関数算出に準備した下地 SiO₂ 膜厚は 5-16 nm である。
- ② high- k 膜は、電子サイクロトロン共鳴 (ECR: Electron Cyclotron Resonance) プラズマスパッタスパッタリング装置により基板温度 130℃ で形成した。その形成は、Hf 膜 (2.5 nm) を SiO₂ 上に堆積後、Hf 膜の酸化を 3 分間の ECR プラズマ酸化により行った。
- ③ high- k 膜の成膜後、電気特性改善を目的とした PDA (Post Deposition Annealing) 処理は、電気炉を用いて N₂ 雰囲気中で 500℃、10 分間行った。
- ④ PDA 後、TaN 膜は RF マグネトロンスパッタリン

グ装置により堆積した。(基板温度は室温) 堆積した TaN 膜厚は約 50 nm である。ターゲット材料には、Ta/N=1:1 の組成比を持つ bulk-TaN ターゲットを用いた。ここで、TaN 膜中に混入すると予測される残留酸素が、TaN/high- k 界面層の組成に与える影響を調査するため、TaN 膜の堆積時圧力は、0.5 及び 2.0 Pa とした。

⑤ TaN 膜堆積後、TaN 電極 (面積: 2.25×10^{-4} cm²) はリソグラフィにより形成した。

⑥ 熱安定性を検証するため、熱処理 (PMA: Post Metallization Annealing) は、RTA (Rapid Thermal Annealing) を用いて所定の温度・時間にて行った。

最後に、HF 溶液により基板裏面に形成された酸化膜の除去を行った。その後、裏面に Al 膜を堆積してオーミックコンタクトを形成した。

TaN gate-MOS キャパシターの電気特性は、容量-電圧 (C-V) 測定により行った。また、周波数 100 kHz の C-V 特性より算出したフラットバンド電圧 (V_{fb}) と EOT の関係から (EOT- V_{fb} plots)、TaN 電極の実効仕事関数 ($\Phi_{m,eff}$) 及び固定電荷密度 (Q_{eff}) を評価した。TaN/high- k 及び TaN/SiO₂ 界面の熱処理後の構造は光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて評価した。

3. 結果と考察

3.1 TaN/high- k /Si-MOS キャパシターの C-V 特性

TaN/high- k /Si-MOS キャパシタの C-V 特性から電極としての機能を評価した。図 1(a) 及び (b) に熱処理なし試料の C-V 特性を示す。ここで、TaN 膜の堆積圧力は 2.0 Pa、下地 SiO₂ の膜厚は 5 nm である。図 1(a) の C-V 特性には V_{fb} の周波数分散がある。これは、SiO₂/Si 界面近傍に周波数に依存する界面欠陥が発生しているためと考えられる。¹⁸⁾ 図 1(b) に C-V 特性のヒステリシスを示している。ここで、ゲート電圧は -3V → +3V にて印加後、引き続き +3V → -3V に掃引した。 V_{fb} の値は +側と -側掃引で異なっており、その V_{fb} の幅 (ヒステリシス) は 112 mV であった。これは、SiO₂/Si 界面近傍に酸化膜トラップが存在しているためと考えられる。¹⁸⁾ 以上の結果より、下地 high- k 膜には、TaN 膜の堆積中にプラズマ及びスパッタリングの物理的ダメージが生じ、膜質劣化が起こったことが示唆される。TaN/SiO₂ (5 nm)/Si-MOS 構造も同様の膜質劣化を示した。

図 2(a) 及び (b) に、PMA を 300℃ で 3 分間行った後の C-V 特性を示している。熱処理後、C-V 特性の周波数分散及び 100 kHz でのヒステリシス特性は、無視できるほど改善している。これは、短時間の低温熱処理を施すことで、下地 high- k 膜が改善されることを意味

する。以上の結果から、Ta₂N/high-*k*/Si-MOS は、低温での PDA 及び PMA 処理により良好な C-V 特性を示すことが分かった。Ta₂N/SiO₂(5 nm)/Si-MOS 構造も、熱処理後では同様の結果を示した。

堆積圧力が 0.5 Pa の場合、300℃(3 分)の PMA 後の Ta₂N/SiO₂/Si は、C-V 特性に僅かな周波数分散が確認された。しかし、350℃(3 分)ではその周波数分散が改善されていた。この理由から、Ta₂N 膜堆積圧力が 0.5 Pa の場合、PMA は 350℃(3 分)として Ta₂N/high-*k* または SiO₂/Si MOS 構造を形成した。

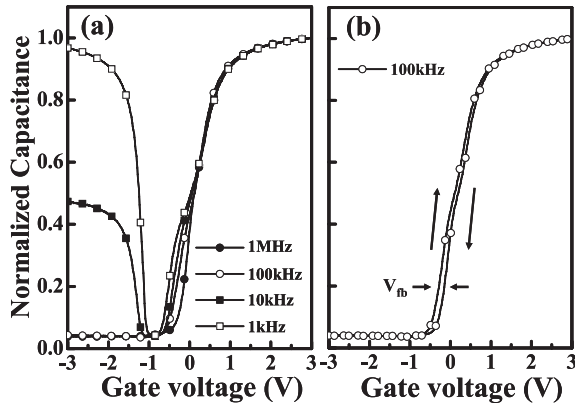


Fig.1 C-V characteristics of TaN/high-*k*/Si capacitor without PMA. (a) frequency dependence, (b) hysteresis characteristics.

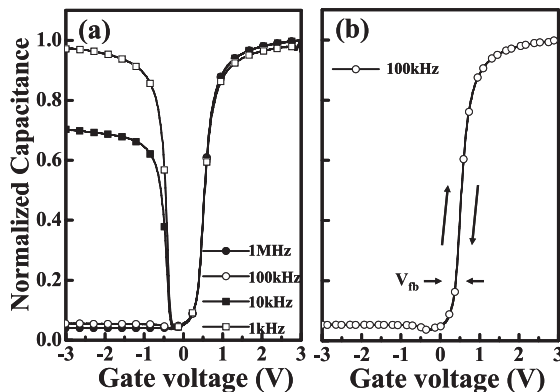


Fig.2 C-V characteristics of TaN/high-*k*/Si capacitor with PMA at 300°C for 3min. (a) frequency dependence, (b) hysteresis characteristics.

3.2 TaN/high-*k*/Si-及び TaN/SiO₂/Si-MOS 構造の熱安定性と実効仕事関数

ゲートスタックが前工程で形成される(通常デバイス)場合、Metal Gate 電極にはソース/ドレインの活性化熱処理(温度:800–1000℃)に対する熱的安定性が要求される。¹⁹⁾一方で、ゲート後工程(ダマシンプロセス)の場合でも、²⁰⁾配線作製工程で 600℃程度の熱処理に対する熱的安定性が要求される。以上の背景から、Ta₂N 膜の熱安定性を 600–900℃の範囲で調べた。Ta₂N 膜の堆積圧力を 0.5、2.0 Pa とし、Ta₂N/high-*k*/Si-MOS の Gate 仕事関数を調査し、Ta₂N/SiO₂/Si-MOS で得られた結果と比較した。実効仕事関数($\Phi_{m,eff}$)及び実効固

定電荷密度(Q_{eff})は、EOT- V_{fb} plot より算出した。EOT と V_{fb} との関係は次式で与えられる。

$$V_{fb} = (\Phi_{m,eff} - \Phi_{Si}) - (Q_{eff} / \epsilon_{SiO_2} \epsilon_0) \times EOT \dots \dots (1)$$

ここで、 Φ_{Si} は Si 基板の仕事関数(4.28 eV)、 ϵ_{SiO_2} 及び ϵ_0 は、SiO₂ 及び真空中の誘電率である。(1)式より Q_{eff} は EOT- V_{fb} plot を一次曲線で近似し、その傾きから算出できる。一方で、 $\Phi_{m,eff}$ は EOT- V_{fb} plot 上における y 軸切片から算出できる。

図 3(a)及び(b)は、堆積圧力 2.0 Pa での Ta₂N/high-*k*/Si-MOS の PMA 温度に対する EOT- V_{fb} plot の結果を示している。600、750、900℃での PMA は、300℃(3 分)の熱処理後に 1 分間行った。PMA が 300℃の場合、 $\Phi_{m,eff}$ は 4.71 eV の値を示した。600℃の場合、 $\Phi_{m,eff}$ は 300℃に比べて低く、その値は 4.59 eV であった。図 4 は $\Phi_{m,eff}$ 及び Q_{eff} の PMA 温度依存性を表している。PMA 温度が 600℃以上で $\Phi_{m,eff}$ 及び Q_{eff} は増加し、900℃で $\Phi_{m,eff}$ 及び Q_{eff} は 4.77 eV、 $+2.06 \times 10^{11} \text{ cm}^{-2}$ の値をそれぞれ示した。600℃の結果と比較して $\Phi_{m,eff}$ は +0.18 eV の増加が見られた。

図 5(a)及び(b)は、堆積圧力 0.5 Pa での Ta₂N/high-*k*/Si-MOS の PMA 温度に対する EOT- V_{fb} plot の結果を示している。600、750、900℃での PMA は、350℃(3 分)の熱処理後に 1 分間行った。PMA が 350℃の場合、 $\Phi_{m,eff}$ は 4.64 eV の値を示した。600℃の場合、 $\Phi_{m,eff}$ は図 3 の結果($\Phi_{m,eff}=4.59 \text{ eV}$)に近い値を示した。

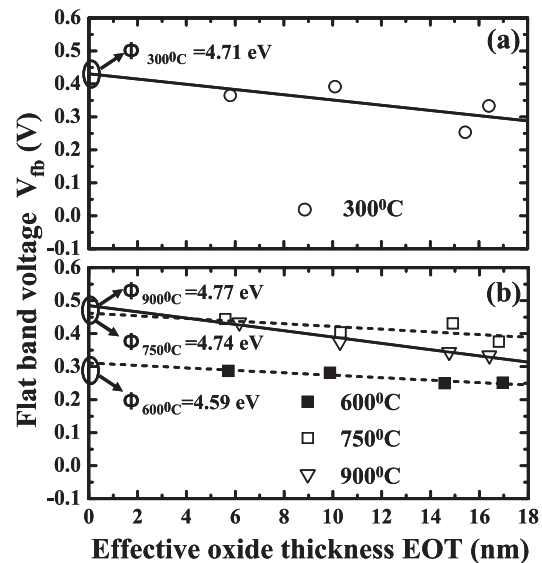


Fig.3 Plots of flat band voltage versus EOT for TaN/high-*k*/Si sample. (a) sample with PMA at 300°C for 3 min, (b) sample with PMA at 600, 750, 900°C for 1min. Deposition pressure of Ta₂N was 2.0 Pa.

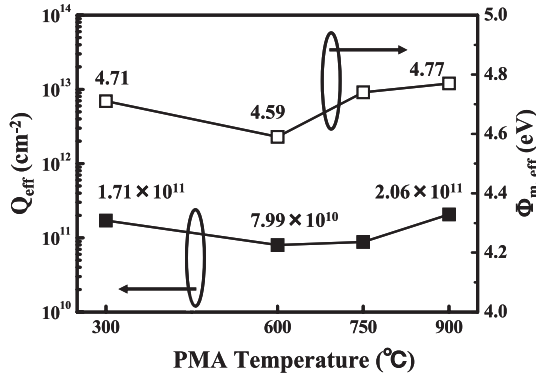


Fig. 4 Dependences of $\Phi_{m,eff}$ and Q_{eff} on PDA temperature. The experimental conditions were the same as those in Fig. 3.

図 6 は $\Phi_{m,eff}$ 及び Q_{eff} の PMA 温度依存性を表している。900°C の PMA では、 $\Phi_{m,eff}$ 及び Q_{eff} は 4.91 eV、 $+4.56 \times 10^{11} \text{ cm}^{-2}$ の値を示し、600°C と比較して $\Phi_{m,eff}$ は +0.3 eV の増加が見られた。 $\Phi_{m,eff}$ の増加は、図 4 で示した 2.0 Pa の結果に比べて著しくなっている。図 4 及び 6 で示した結果と比較をするため、堆積圧力 2.0 及び 0.5 Pa での TaN/SiO₂/Si-MOS 試料の結果を次に述べる。

図 7(a) 及び (b) は、堆積圧力 2.0 Pa での TaN/SiO₂/Si-MOS の PMA 温度に対する EOT- V_{fb} plot の結果を示している。PMA が 300°C の場合、 $\Phi_{m,eff}$ は 4.44 eV を示した。600°C の場合、 $\Phi_{m,eff}$ は 300°C に比べて僅かに低く、その値は 4.41 eV であった。図 8 は $\Phi_{m,eff}$ 及び Q_{eff} の PMA 温度依存性を表している。 $\Phi_{m,eff}$ は PMA 温度の増加に対し僅かに増加している。900°C の PMA では、 $\Phi_{m,eff}$ 及び Q_{eff} は 4.56 eV、 $+4.38 \times 10^{11} \text{ cm}^{-2}$ の値をそれぞれ示し、600°C の結果と比較して $\Phi_{m,eff}$ は +0.12 eV の増加が見られた。

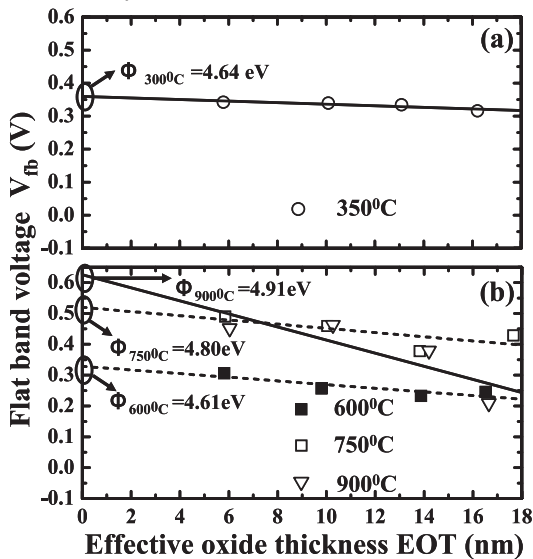


Fig. 5 Plots of flat band voltage versus EOT for TaN/high- k /Si sample. (a) sample with PMA at 350°C for 3 min, (b) sample with PMA at 600, 750, 900°C for 1 min. Deposition pressure of TaN was 0.5 Pa.

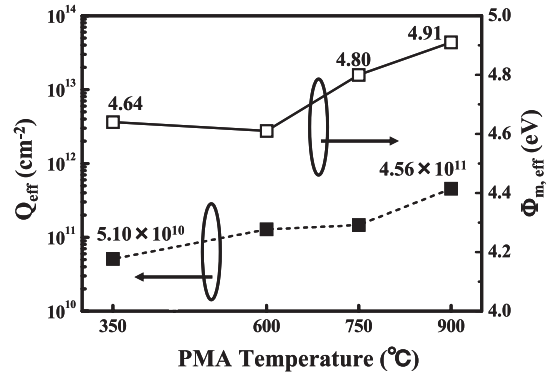


Fig. 6 Dependences of $\Phi_{m,eff}$ and Q_{eff} on PDA temperature. The experimental conditions were the same as those in Fig. 5.

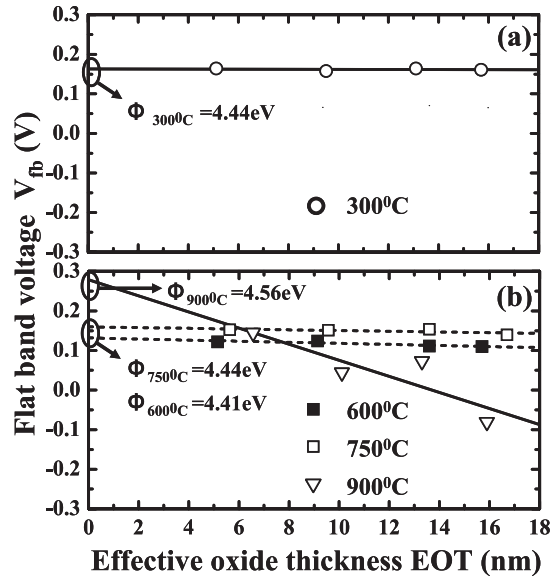


Fig. 7 Plots of flat band voltage versus EOT for TaN/SiO₂/Si sample. (a) sample with PMA at 300°C for 3 min, (b) sample with PMA at 600, 750, 900°C for 1 min. Deposition pressure of TaN was 2.0 Pa.

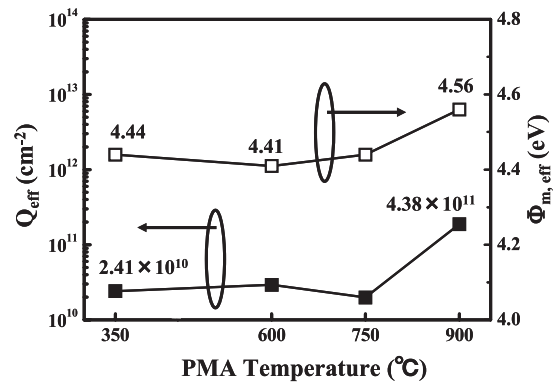


Fig. 8 Dependences of $\Phi_{m,eff}$ and Q_{eff} on PDA temperature. The experimental conditions were the same as those in Fig. 7.

図 9(a)及び(b)は、堆積圧力 0.5 Pa での TaN/SiO₂/Si-MOS の PMA 温度に対する EOT-V_{fb} plot の結果を示している。PMA が 350℃の場合、SiO₂上の $\Phi_{m,eff}$ は 4.44 eV の値を示した。600℃の場合、 $\Phi_{m,eff}$ は 350℃に比べて僅かに低く、その値は 4.39 eV であった。図 10 は $\Phi_{m,eff}$ 及び Q_{eff} の PMA 温度依存性を表している。 $\Phi_{m,eff}$ は PMA 温度の増加に対し僅かに増加している。600℃での Q_{eff} は $+2.98 \times 10^8 \text{ cm}^{-2}$ と極端に低い値が得られたため示していない。900℃の PMA では、 $\Phi_{m,eff}$ 及び Q_{eff} は 4.47 eV、 $+1.88 \times 10^{11} \text{ cm}^{-2}$ の値をそれぞれ示した。600℃の結果と比較して $\Phi_{m,eff}$ は +0.08 eV の増加が見られた。次節に、これまで述べた TaN/high- k 及び TaN/SiO₂ の $\Phi_{m,eff}$ と Q_{eff} に関する知見をまとめ、議論する。

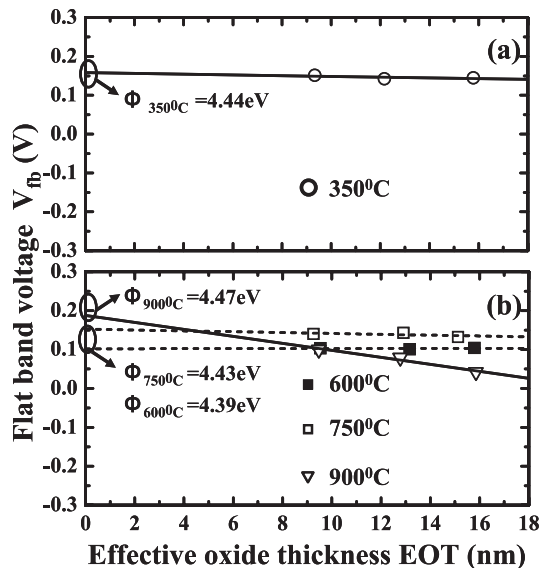


Fig.9 Plots of flat band voltage versus EOT for TaN/SiO₂/Si sample. (a) sample with PMA at 350°C for 3 min, (b) sample with PMA at 600, 750, 900°C for 1min. Deposition pressure of TaN was 0.5 Pa.

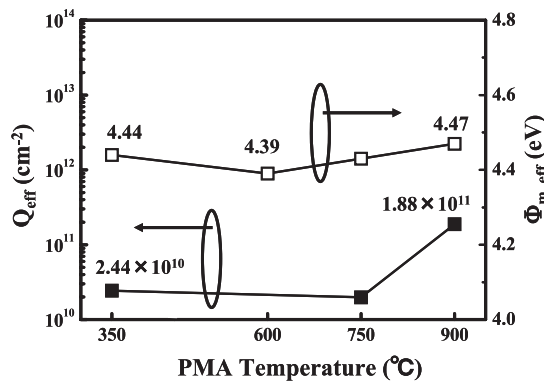


Fig.10 Dependences of $\Phi_{m,eff}$ and Q_{eff} on PDA temperature. The experimental conditions were the same as those in Fig. 9.

3.3 TaN/high- k /Si-MOS と TaN/SiO₂/Si との $\Phi_{m,eff}$ 及び Q_{eff} の比較

図 11 及び 12 は TaN/high- k /Si と TaN/SiO₂/Si に対して得られた $\Phi_{m,eff}$ 及び Q_{eff} の PMA 温度依存性を示している。これらの結果から、以下の興味ある知見が得られる。

- ① 300-350℃の低温 PMA を施した TaN/high- k の $\Phi_{m,eff}$ は TaN/SiO₂のそれに比べて約+0.2 eV 高い。これは、TaN の $\Phi_{m,eff}$ が下地絶縁膜によって変化することを意味する。
- ② SiO₂ 上の $\Phi_{m,eff}$ は 750℃まで殆ど増加しないが、high- k 上の $\Phi_{m,eff}$ は 750℃で大きく増加している。このことは、TaN/high- k は TaN/SiO₂ に比べて熱的安定性に乏しいことを意味する。
- ③ TaN 成膜時の圧力は、750℃まで $\Phi_{m,eff}$ に大きな影響を与えないが、900℃で顕著な影響を与える。
- ④ PMA 温度が 900℃の場合、すべての試料で Q_{eff} は 10^{11} cm^{-2} 台に増加する。
- ⑤ 300-750℃の温度範囲では TaN/high- k の Q_{eff} は、TaN/SiO₂ のそれに比べて高い。これは、Hf と TaN 堆積のために PVD(Physical Vapor Deposition)法を2回用いていることが原因と思われる。

①-④の結果に対する原因を明らかにするため、XP Sの構造評価を行った。得られた結果を3.4節で述べる。

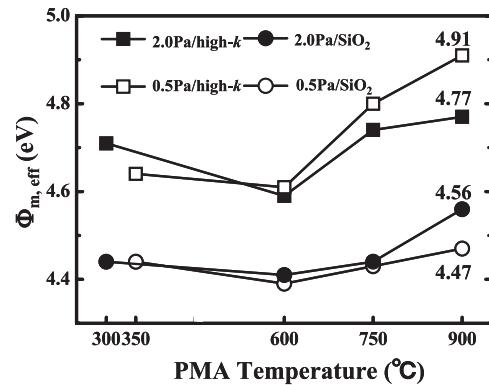


Fig.11 Dependence of $\Phi_{m,eff}$ on PDA temperature for TaN/high- k and TaN/SiO₂ samples.

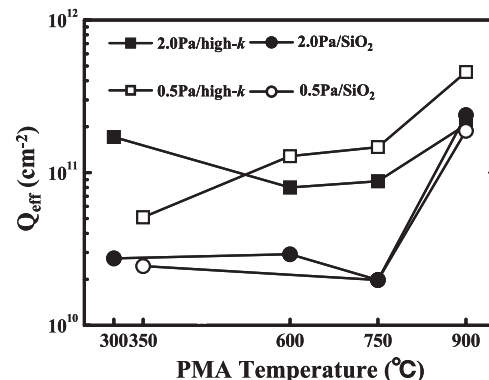


Fig.12 Dependence of Q_{eff} on PDA temperature for TaN/high- k and TaN/SiO₂ samples.

3.4 PDA による TaN/high- k 界面近傍の構造変化

XPS の評価は、パターンニング処理を施さない TaN(50 nm)/high- k /SiO₂/Si 試料を用いて行った。ここで下地 SiO₂ 膜は 5 nm 形成したものを用いた。熱処理条件は PMA なし及び PMA 温度 600、900°C で、2.0 Pa で堆積した TaN 膜を用いた。900°C の試料に関しては、0.5 及び 2.0 Pa の堆積条件で形成した TaN/high- k と TaN/SiO₂ 試料を準備した。TaN 膜は NH₄OH/H₂O₂ 混合溶液により室温で完全に除去した後、下地 high- k 膜/Si 構造について評価した。ここで TaN/high- k 界面が PMA により Ta₂O₅ 等の Ta 酸化膜が形成された場合、NH₄OH/H₂O₂ 混合溶液は Ta 酸化膜を除去しない。即ち、Ta 酸化膜はエッチングストップパーとして働く。結合エネルギー(BE : Binding Energy)の補正は、TaN/high- k 試料では膜厚が厚いため、Si 基板に起因する信号(99.3 eV)を明確に確認できなかったため、HfO₂ に起因する Hf5p_{3/2} 内殻準位を 33.8 eV として行った。²¹⁾

図 13 は、Hf4f_{5/2} 及び Ta4f 内殻準位に対して得られた XPS スペクトルの測定結果を示している。ここで、電子の脱出角度は 90° に設定した。PMA 前後での Hf4f 測定結果は、BE が 19.7 と 18.1 eV 近傍に Hf4f_{5/2} 及び Hf4f_{7/2} のダブルピークとして観測された。この BE の位置は、HfO₂ 膜(Hf4f_{5/2} : 18.88 eV, Hf4f_{7/2} : 17.16 eV)と HfSiO₄ 膜(Hf4f_{5/2} : 20.24 eV, Hf4f_{7/2} : 18.92 eV)の中間に位置している。²²⁻²⁴⁾従って、Hf シリケート(HfSiO)が HfO₂/SiO₂ 界面に形成されていると考えられる。また、HfO₂ 膜中の酸素欠損に起因する Hf シリサイドのピーク(BE=14.5 及び 16.3 eV)は観測されなかった。

PMA 前後での Ta4f 測定結果は、BE が 29.2 と 27.4 eV 近傍に、Ta4f_{5/2} 及び Ta4f_{7/2} のダブルピークとして観測された。この BE の位置は、化学量論比である Ta⁵⁺ オキシサイドに起因している。²⁵⁾注目すべき点は、TaN 堆積時に Ta₂O₅ が既に形成されていることである。この結果は、TaN/HfO₂ 界面の反応性が、TaN/SiO₂ のそれに比べて高いことを意味する。また、Ta₂O₅ に起因する信号は熱処理温度の増加と共に強くなっている。

図 14 は、0.5 及び 2.0 Pa で TaN 膜を成膜し、900°C で PMA 処理した TaN/high- k /Si 試料での XPS スペクトルの結果である。0.5 Pa の成膜では、新たなピークが HfO₂ と Ta₂O₅ より更に高エネルギー側に観測された。この信号は、Ta 側と Hf 側で観測されているため、酸素を Hf 及び Ta が共有した HfTaO (Hf-O-Ta)あるいは HfTaON に起因したものと考えられる。^{26,27)}この信号は、2.0 Pa の成膜でも、電子脱出角度を 70° にした時、僅かに観測された。以上の比較から、900°C で PMA 処理した TaN/high- k 界面近傍の反応層の組成は、TaN 膜の堆積圧力により違いがあることが分かった。

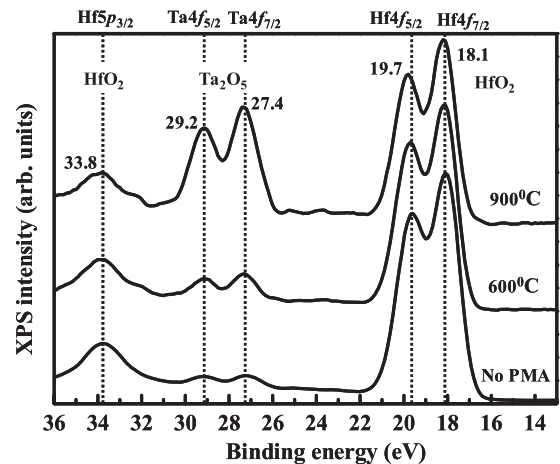


Fig.13 XPS spectra for TaN/high- k samples with and without PMA. Deposition pressure of TaN was 2.0 Pa

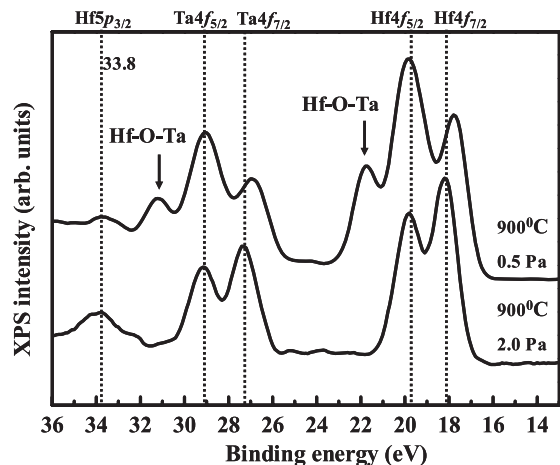


Fig.14 XPS spectra for TaN/high- k samples with PMA at 900°C. Deposition pressures of TaN were 0.5 and 2.0 Pa, respectively.

図 15 は、0.5 及び 2.0 Pa で SiO₂ 上に TaN 膜を成膜し、900°C で PMA 処理を施した TaN/SiO₂/Si 試料の XPS スペクトルの結果である。2.0 Pa の成膜では、Ta₂O₅ とそのサブオキシサイド(Ta_xO_y)が TaN/SiO₂ 界面近傍に形成されている。一方、0.5 Pa の成膜では、図 15 に示す様に、Ta_xO_y に起因する信号が際立っているのが分かる。以上の比較から、900°C で PMA 処理した TaN/SiO₂ 界面近傍の反応層の組成は、TaN/high- k 試料と同様に堆積圧力により違いがあることが確認された。

以上の結果より、900°C で形成された TaN/high- k 及び TaN/SiO₂ 界面近傍の反応層の組成は、堆積圧力により違いがあることが分かった。次に、 $\Phi_{m, eff}$ 変調に及ぼす界面層の影響を議論する。

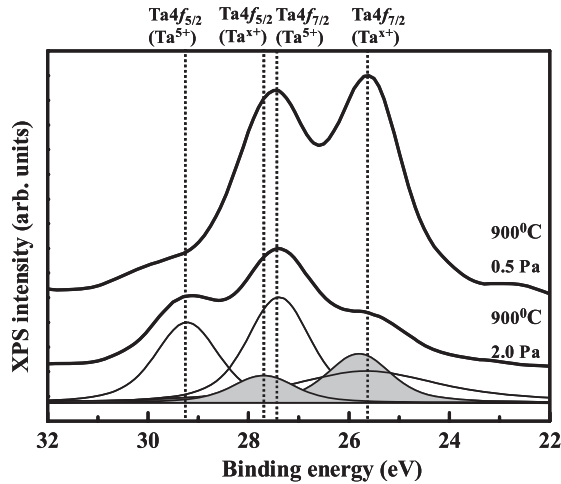


Fig.15 XPS spectra for TaN/SiO₂ samples with PMA at 900°C. Deposition pressures of TaN were 0.5 and 2.0 Pa.

3.5 仕事関数変調に関するモデル

ある単一金属の FLP による $\Phi_{m,eff}$ 変調は下地絶縁膜の種類に依存すると報告され、 $\Phi_{m,eff}$ には以下の関係がある。²⁸⁻³¹⁾

$$\Phi_{m,eff} = \Phi_{CNL,d} + S(\Phi_{m,vac} - \Phi_{CNL,d}) \dots \dots (2)$$

ここで、 $\Phi_{m,vac}$ は金属の真空準位からの仕事関数、 $\Phi_{CNL,d}$ は絶縁膜中の電荷中性準位、 S はピンギの度合いを表すパラメータである。 S 値が小さいほど強いピンギを表し、 S 値は絶縁膜の動的誘電率(ϵ_{∞})及び静的誘電率の値に対して逆比例関係がある。

上記の関係式を用いて、TaN/high- k 及び TaN/SiO₂ での界面反応層と $\Phi_{m,eff}$ 変調との関係を議論する。図 16(a)及び(b)に TaN/HfO₂ 及び TaN/SiO₂ 界面に界面反応層が形成された場合の仕事関数変調モデルを示す。このモデルを用いれば、XPS 測定結果と 3.3 節で述べた知見は以下の様に対応づけられる。

- ① Ta₂O₅ 及び HfO₂ の S 値はそれぞれ 0.40 及び 0.53 と報告されている。^{28,29,32)} 一方、SiO₂ の S 値は 0.86 である。従って、TaN が Ta₂O₅ と HfO₂ から成る絶縁膜に接した系の $\Phi_{m,eff}$ は、TaN が SiO₂ に接した系に比べて高い値を示したと考えられる。
- ② PMA 温度が 900°C の場合、図 16(a) に示す様に、HfTaO(N) の S 値が HfO₂ 及び Ta₂O₅ の S 値より小さいため、 $\Phi_{m,eff}$ の増加が促進されたと推定される。750°C での $\Phi_{m,eff}$ の急激な増加は、界面に HfTaO(N) が形成され始めたか、あるいは均一な Ta₂O₅ が形成されたことによると推測される。
- ③ 界面層は、図 17 に示す様に、HfO₂ 膜中の酸素及

び TaN 膜中に混入した残留酸素の拡散により形成される。TaN 成膜時の圧力が 0.5 Pa の場合、TaN 膜中に含まれる酸素の量は 2.0 Pa の場合に比べて少ないため、HfO₂ と Ta₂O₅ が酸素を介して共有した HfTaO(N) の組成が増加する。そのため、0.5 Pa 時の $\Phi_{m,eff}$ 増加が 900°C で大きくなったと推論できる。

- ④ 高温 PMA 処理の間では、界面層形成により発生した酸素空孔が SiO₂/Si 界面方向に拡散し、SiO₂/Si 界面近傍に Si-サブオキシド(SiO_x)を形成して比較的高い $Q_{m,eff}$ を引き起こしたと推論できる。

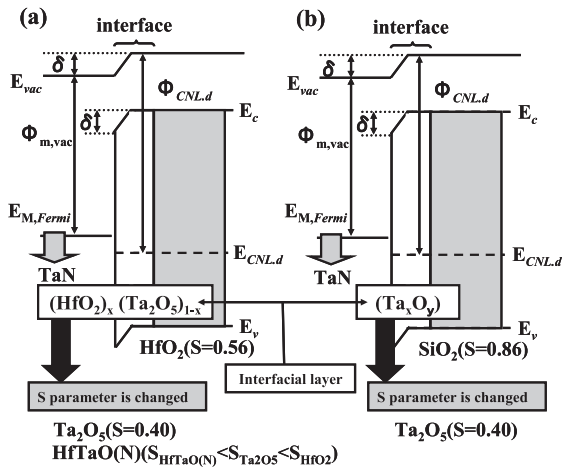


Fig.16 Model for $\Phi_{m,eff}$ modulation after PMA at 900°C. (a) TaN/HfO₂, (b) TaN/SiO₂.

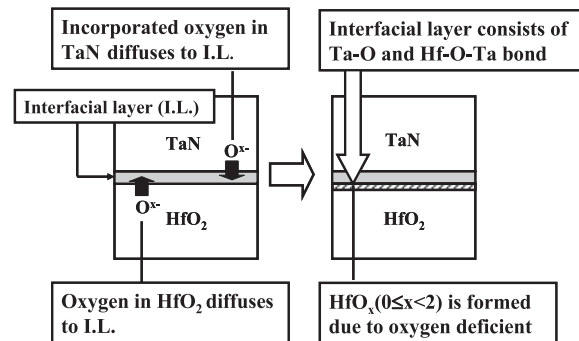


Fig.17 Formation of interfacial layer by the diffusion of oxygen in HfO₂ and TaN.

4. 結 言

TaN/high- k /Si 構造の電氣的及び構造評価から得られた知見は以下の様にまとめることができる。

1. TaN/high- k 膜の $\Phi_{m,eff}$ は、300~350°C の低温熱処理においても SiO₂ 膜上に比べて 0.2 eV 以上高い値を示す。この原因は、SiO₂ 膜より S 値が小さい HfO₂ 及び Ta₂O₅ 膜が TaN 膜との密接接触状態となり、FLP が生じたためと解釈できる。

2. TaN/high- k の $\Phi_{m,eff}$ は、600℃まで約 4.6 eV で熱的安定性を示すが、750-900℃の範囲で $\Phi_{m,eff}$ は急激な増加を示し、4.8-4.9 eV まで達する。また、 $Q_{m, eff}$ も PMA 温度に対して増加する。その増加率は TaN 膜の堆積圧力に依存する。
3. TaN/high- k 界面には TaN 成膜後既に Ta₂O₅ が形成され、900℃の熱処理では HfTaO(N)が形成されている。界面層の HfTaO(N)の S 値が HfO₂ 及び Ta₂O₅ に比べて小さいため、 $\Phi_{m,eff}$ 変調が促進されたと推測できる。また、TaN 堆積中に取り込まれた残留酸素が、高温熱処理により界面層の組成に変化を誘起させ、 $\Phi_{m,eff}$ の大きな変調に導いたと推論している。

謝 辞

本研究は、平成16及び18年度科学研究費補助金(基盤研究(B)、課題番号16360156及び18360152)の助成を受けて実施された。

参 考 文 献

- 1) N. Miyata, M. Ichikawa, T. Nabatame, T. Horikawa, A. Toriumi, Jpn. J. Appl. Phys., 42, L138 (2003).
- 2) H. Watanabe, M. Saitoh, N. Ikarashi, T. Tatsumi, Appl. Phys. Lett., 85, 449 (2004).
- 3) M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro, A. Shanware, L. Colombo: Appl. Phys. Lett. 80, 3183 (2002).
- 4) Y.-S. Suh, H. Lazar, B. Chen, J.-H. Lee, V. Misra, J. Electrochem. Soc., 152, F138 (2005).
- 5) H. Zhong, G. Heuss, V. Misra, IEEE Electron Device Lett., 21, 593 (2000).
- 6) H. Takeuchi, M. She, K. Watanabe, T.-J. King, IEEE Trans. on Semi. Manufacturing, 18, 350 (2005).
- 7) International Technology Roadmap for Semiconductors 2005.
- 8) W. P. Bai, S. H. Bae, H. C. Wen, S. Mathew, L. K. Bera, N. Balasubramanian, N. Yamada, M. F. Li, D.-L. Kwong, IEEE Electron Device Lett., 26, 231 (2005).
- 9) C. Ren, H. Y. Yu, J. F. Kang, Y. T. Hou, M.-F. Li, W. D. Wang, D. S. H. Chan, D.-L. Kwong, IEEE Electron Device Lett., 25, 123 (2004).
- 10) Y. H. Kim, C. H. Lee, T. S. Jeon, W. P. Bai, C. H. Choi, S. J. Lee, L. Xinjian, R. Clarks, D. Roberts and D. L. Kwong: IEDM Tech. Dig., pp667, (2001).
- 11) H. Yang, S. Heo, D. Lee, S. Choi, H. Hwang, Jpn. J. Appl. Phys., 45, L83 (2006).
- 12) T. Nabatame, K. Segawa, M. Kadoshima, H. Takaba, K. Iwamoto, S. Kimura, Y. Nunoshige, H. Satake, T. Ohishi, A. Toriumi, Materials Science in Semiconductor Processing, Article in Press (2006).
- 13) H. N. Alshareef, H. C. Wen, H. R. Harris, K. Choi, H. F. Luan, P. Lysaght, P. Majhi, B. H. Lee, M. El-Bouanani, V. Ukride, Appl. Phys. Lett., 87, 052109 (2005).
- 14) C. C. Hobbs et al., IEEE Electron Device Lett., 51, 971 (2004).
- 15) J. K. Schaeffer, L. R. C. Fonseca, S. B. Samavedam, Y. Liang, P. J. Tobin, B. E. White, Appl. Phys. Lett., 85, 1826 (2004).
- 16) K. Shiraishi, Y. Akasaka, S. Miyazaki, T. Nakayama, T. Nakaoka, G. Nkamura, K. Torii, H. Furutou, A. Ohta, P. Ahmet, K. Ohmori, H. Watanabe, T. Chikyow, M. L. Green, Y. Nara, K. Yamada, Int. IEDM Tech. Dig., p39 (2005).
- 17) B. Chen, R. Jha, V. Misra, IEEE Electron Device Lett., 27, 731 (2006).
- 18) H.-J. Cho, T.-H. Cha, K.-Y. Lim, D.-G. Park, J.-Y. Kim, J.-J. Kim, S. Heo, I.-S. Yeo J.-W. Park, J. Electrochem. Soc., 149, G403 (2002).
- 19) M. S. Akbar, S. Gopalan, H.-J. Cho, K. Onishi, R. Choi, R. Nieh, C. S. Kang, Y. H. Kim, J. Han, S. Krishnan, J. C. Lee, Appl. Phys. Lett., 82, 1753 (2003).
- 20) A. Yagishita, T. Saito, K. Nakajima, S. Inumiya, K. Matsuo, T. Shibata, Y. Tsunashima, K. Suguro, T. Arikado, IEEE Trans. Electron Devices, 48, 1604 (2001).
- 21) S. Suzer, S. Sayan, M. M. B. Holl, E. Garfunkel, Z. Hussain, N. M. Hamdan, J. Vac. Sci. Technol., A 21, 106 (2003).
- 22) C. S. Kang, H.-J. Cho, K. Onishi, R. Nieh, R. Choi, S. Gopalan, S. Krishnan, J. H. Han, J. C. Lee, Appl. Phys. Lett., 81, 2593 (2002).
- 23) T.-H. Moon, M.-H. Ham, J.-M. Myounga, Appl. Phys. Lett., 86, 102903 (2005).
- 24) V. Cosnier, M. Olivier, G. Theret, B. Andre, J Vac Sci Technol, A19, 2267 (2001).
- 25) E. Atanassova, G. Tyuliev, A. Paskaleva, D. Spassov, K. Kostov, Appl. Surf. Phys., 225, 86 (2004).
- 26) X. Yu, C. Zu, X. P. Wang, M. F. Li, A. Chin, A. Y. Du, W. D. Wang, D.-L. Kwong, Symp. VLSI Tech., P110 (2004).
- 27) X. Yu, C. Zhu, M. Yu, D.-L. Kwong, IEEE Trans. Electron Devices, 51, 2154 (2004).
- 28) Y.-C Yeo, P. Ranade, T.-J. King, C. Hu, IEEE Electron Device Lett., 23, 342 (2002).
- 29) Y.-C Yeo, P. Ranade, T.-J. King, C. Hu, J. Appl. Phys., 92, 7266 (2002).
- 30) D. Lim, R. Haight, M. Copel, E. Cartier, Appl. Phys. Lett., 87, 072902 (2005).
- 31) D. Gu, S.K. Dey, P. Majhi, Appl. Phys. Lett., 89, 082907 (2006).
- 32) J. Robertson, B. Falabretti, Mater. Sci. & Engineering B, 135, 267 (2006).