九州大学学術情報リポジトリ
Kyushu University Institutional Repository

コード配置とメモリ構成の同時最適化による省電力化手法

松村, 忠幸
九州大学大学院システム情報科学府

石原, 亨
九州大学システムLSI 研究センター

安浦, 寛人
九州大学大学院システム情報科学研究院

https://hdl.handle.net/2324/11890

出版情報：情報処理学会シンポジウムシリーズ, pp.13-18, 2008-08-26. 情報処理学会
バージョン：
権利関係：ここに掲載した著作物の利用に関する注意 本著作物の著作権は（社）情報処理学会に帰属します。本著作物は著作権者である情報処理学会の許可のもとに掲載するものです。ご利用に当たっては「著作権法」ならびに「情報処理学会倫理綱領」に従うことをお願いいたします。

KYUSHU UNIVERSITY

コード配置とメモリ構成の同時最適化による省電力化手法

松村　忠幸[1]　石原　亨[2]　安浦　寛人[2,3]

[1] 九州大学 大学院 システム情報科学府
[2] 九州大学 システムＬＳＩ研究センター
[3] 九州大学 大学院 システム情報科学研究院

一般的にオンチップメモリはノイズマージンの確保及び、静的消費エネルギーの削減を達成のためロジック回路部よりも高い電源電圧 (V_{DD}) 及び高い閾値電圧 (V_{th}) を用いて設計される．しかしこの設計方針は動的消費エネルギーの増大を引き起こす．本稿ではオンチップメモリを消費エネルギーの観点から異なった性質を持つ 2 つの領域に分割するハイブリッドメモリを提案する．また本稿では，Static Noise Margin (SNM)，アクセス遅延時間及び面積のオーバーヘッドの制約条件としたときに，総消費エネルギーを最小化するハイブリッドメモリの構成及びコード配置を決定する最適化問題も提案する．評価実験から，提案手法は 90nm プロセスにおいて，7%程度の面積のオーバーヘッドを引き起こすものの, アクセス遅延時間及び SNM を低下させること無く約 45%の総消費エネルギー削減を達成することを確認した．

An Optimization Technique of Code allocation and Memory Configuration for Low Power Embedded Memory Systems

Tafdayuki Matsumura[1]　Tohru Ishihara[2]　Hiroto Yasuura[2,3]

[1] Graduate School of Inf. Sci. & EE, Kyushu University
[2] Sytem LSI Research Center, Kyushu University
[3] Faculty of Inf. Sci. & EE, Kyushu University

The on-chip memories generally use higher supply (V_{DD}) and higher threshold (V_{th}) voltages than those of logic parts to improve the static noise margin and to suppress the static energy consumption. This design policy, however, increases the dynamic energy consumption. This paper proposes a hybrid memory architecture which consists of the following two regions; 1) a dynamic energy conscious region which uses low V_{DD} and V_{th} and 2) a static energy conscious region which uses high V_{DD} and V_{th}. This paper also proposes an optimization problem for finding the optimal code allocation and the memory configuration simultaneously, which minimizes the total energy consumption of the memory under constraints of a static noise margin (SNM), a memory access delay and an area overhead. The memory configuration is defined by a memory division ratio, a β ratio and a V_{DD}. Experimental results demonstrate that the total energy consumption of our original 90nm SRAM can be reduced by 49.7% with a 7.17% area overhead without degradations of SNM and access delay.

1. はじめに

CMOS 集積回路設計において低消費エネルギー化設計は最も重要な設計指針の一つとなっている．CMOS 集積回路の総消費エネルギーは大きくは動的消費エネルギーと静的消費エネルギーの二つに分類することができる．動的消費エネルギーは電源電圧 (V_{DD}) の二乗に比例するため，動的消費エネルギーの削減には電源電圧を下げることが有効である．しかし電源電圧の低下は回路の遅延時間の増大を引き起す．遅延時間の増大を抑えつつ動的消費エネルギーを削減するには電源電圧を低下させると伴に，閾値電圧 (V_{th}) を低下させなければならない．しかし閾値電圧の低下はリーク電流の指数関数的増大を引き起こし，静的消費エネルギーを増大させる．そのため総消費エネルギーの削減には動的消費エネルギーと静的消費エネルギーの比率を考慮し，慎重に電源電圧，閾値電圧を決定する必要がある．一般的にメモリ回路は演算回路に比べると，総消費エネルギーに占める静的消費エネルギーの比率が高い．そのため遅延時間の悪化を抑えつつ，静的消費エネルギーを削減するため，メモリ回路は演算回路よりも高い電源電圧と高い閾値電圧を用いて設計される[1)]．しかしこの設計指針はメモリアクセスの度に消費される動的消費エネルギーの増加を引き起こす．

一方メモリ回路への参照は局所性をもつことが知られている[2)]．そのためメモリ回路において動的消費エネルギーは偏りを持つと考えられる．つまり少数のメモリアドレス領域が頻繁に参照され，動的消費エネル

ギーの大部分はそれら少数のアドレス領域で消費されると考えられる．

以上のことを考え，本稿は従来単一の回路として設計されてきたメモリ回路を消費エネルギーの観点から性質の異なる 2 つの領域に分割するハイブリッドメモリアーキテクチャとその有効的な利用による低消費エネルギー化手法を提案する[3]．提案するハイブリッドメモリアーキテクチャは以下の 2 つの領域から構成される．1:動的消費エネルギーの削減を目的として低い電源電圧と低い閾値電圧を用いて設計される領域 (以下 DE 領域と呼ぶ)，2:静的消費エネルギーの削減を目的として高い電源電圧と高い閾値電圧を用いて設計される領域 (以下 SE 領域と呼ぶ)．SE 領域は従来の設計指針によって設計されるメモリ回路と同じである．DE 領域に低い閾値電圧を用いるため，提案手法は静的消費エネルギーの増大を引き起こす可能性があるが，メモリへのアクセスを DE 領域に集中させることにより，動的消費エネルギーの削減が見込まれる．提案手法はアクセス遅延時間及び読み出し時の SRAM 回路の安定性の指標である Static Noise Margin (SNM) を考慮しているため SRAM 回路の性能及び安定性を低下させない．しかし SRAM 回路の安定性の補償のために面積の増加を引き起こす．

本稿ではまず 2 節において提案するハイブリッドメモリアーキテクチャについて述べる．次に 3 節で提案するハイブリッドメモリアーキテクチャを利用して消費エネルギーを最小化する最適化問題について述べる．提案手法の評価実験結果を 4 節で述べる．最後に 5 節で本稿をまとめる．

2. ハイブリッドメモリアーキテクチャを利用した低消費電力化手法

2.1 関 連 研 究

[4] では Non-Uniform Set-Associative (NUSA) キャッシュが提案されている．NUSA は従来均一に設計されていたキャッシュのウェイを不均一に設計する．1 つのウェイを他のウェイよりも低い閾値電圧を用いて設計する．低い閾値電圧を用いて設計されるウェイは高速なメモリアクセスが可能であるが，静的消費電力が大きい．他のウェイはメモリアクセスは低速であるが静的消費電力が小さい．参照頻度の高いデータを高速にアクセス可能なウェイに集め，参照頻度の低いデータを静的消費電力の小さいウェイに集めることで性能の低下を抑え，静的消費電力の削減を狙う．NUSA は静的消費電力の大幅な削減を達成するが，アクセスするウェイによってアクセス遅延時間が異なるため既存の CPU コアに組み込むことが難しい．またメモリアクセスを一つのウェイに集中させるためにウェイ間でのデータのやり取りが必要となる．

[5] では Biased Partitioning (BP) が提案されている．BP は動的消費電力の削減を目的としてメモリ回路を偏りを持たせて 2 つの領域に分割する．偏りを持たせて分割するため，それぞれの領域へのメモリアクセス時に充放電される寄生容量の大きさが異なる．充放電される寄生容量が小さな領域にメモリアクセスを集中させることで動的消費電力の削減を狙う．しかし[5] では静的消費電力についての議論は無い．また分割された 2 つの領域は同じ電源電圧と閾値電圧を用いて設計される．

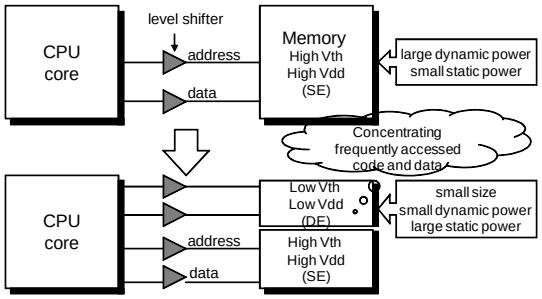

図 1 Target System and Proposed System

[6] では既存のメモリシステムに低い電源電圧と低い閾値電圧を用いて設計されるサブプログラムメモリを追加することで総消費電力の削減を狙う手法が提案されている．また総消費電力を最小化するサブプログラムメモリの電源電圧，閾値電圧とコード配置の決定方法も述べられている．しかしこの手法はコンパイル時にジャンプ命令を挿入しなければならないため，プログラムサイズの増加を引き起こす．またサブプログラムメモリには低い電源電圧と低い閾値電圧を想定しているが，電源電圧，閾値電圧を下げたときに生じる SRAM の安定性が低下する問題についての議論は無い．

2.2 ハイブリッドメモリアーキテクチャ

提案するハイブリッドメモリアーキテクチャは従来均一の回路として設計されてきたメモリ回路を消費エネルギーの観点から見たときに異なった性質を持つ 2 つの領域に分割する．2 つの領域のうち一方を DE 領域と呼び，DE 領域は低い電源電圧と低い閾値電圧を用いて設計される．もう一方の領域は SE 領域と呼び，高い電源電圧と高い閾値電圧を用いて設計される．DE 領域は動的消費エネルギーは小さいが，静的消費エネルギーが大きいのに対し，SE 領域は動的消費エネルギーは大きいが，静的消費エネルギーが小さい．メモリアクセスを DE 領域に集中させることで，メモリの総消費エネルギーの削減を狙う．提案するハイブリッドメモリにおいて重要な点は，分割された 2 つの領域へのアクセス遅延時間が等しくなるようにメモリの構成（電源電圧・閾値電圧・分割比・SRAM セルサイズ）を決定する点である．そのため CPU コアから提案するハイブリッドメモリを見た場合，消費エネルギーの観点からは異なった 2 つの領域を持った特異なメモリに見えるが，アクセス遅延時間の観点からは従来のメ

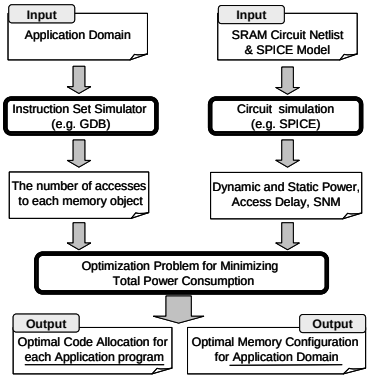

図 2 Optimization flow

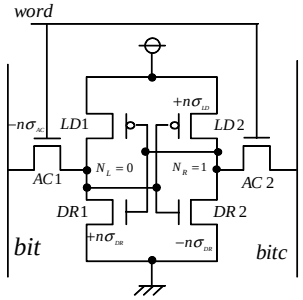

図 3 SRAM cell schematic

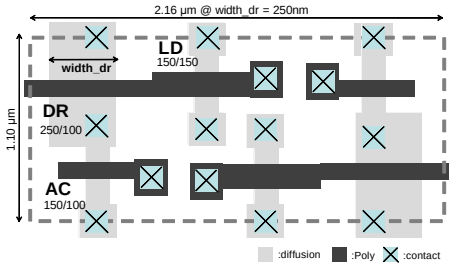

図 4 SRAM cell schematic

モリと同様に見える．そのため提案するハイブリッドメモリは設計済みの既存の CPU コアに組込む場合，CPU コアの設計修正を必要としない．この事は設計コストの低下につながる．提案するハイブリッドメモリは 2.4 節で述べる通り，安定性の補償のために面積の増大を引き起こす．

2.3 提 案 手 法

本稿では提案するハイブリッドメモリアーキテクチャを Scratchpad Memory （SPM) に適用する．SPM は小容量・高速なオンチップメモリであり，一般的に SRAM を用いて構成される．提案手法ではまずアプリケーションドメインに対して最適なメモリ構成（DE 領域と SE 領域の比，DE 領域の電源電圧，DE 領域の SRAM セルサイズ) を決定する．アプリケーションドメインとは提案手法を適用するシステム上で利用されると想定されるアプリケーションプログラムの集合である．最適なメモリ構成は 3 節で定式化される最適化問題を解くことによって決定される．次に決定されたメモリ構成に対して，それぞれのアプリケーションプログラム毎に総消費エネルギーが最小となるコード配置を決定する．提案手法の最適化フローを図 2 に示す．まずメモリアクセス当りの動的消費エネルギー，遅延時間，SRAM セル当りの静的消費電力，SARM 回路の安定性（SNM) 等の情報を回路シミュレーションにより得る．次に最適なコード配置決定のために各関数及びデータ (本稿ではこれらをメモリオブジェクトと呼ぶ) へのアクセス回数を命令セットシミュレーションから得る．これらの基本情報を入力として，3 節で説明される最適化問題を解くことで，性能・安定性を落とすことなくメモリ回路の総消費エネルギーの削減を狙う．

2.4 SRAM 回路の安定性低下の補償

SARM 回路の安定性は SARM 回路設計者にとって最も重要な指標の 1 つである．Static Noise Margin (SNM) が SRAM 回路の安定性の指標として広く使われている[7)−10)]．SRAM 回路の安定性は読み出し時に最も低下するため，本稿では SRAM 回路の読み出し動作時における SNM を SRAM 回路の安定性の指標として用いる．SNM は閾値電圧のばらつきの影響を強く受ける．特にローカルばらつきは SRAM セルを構成する 6 つのトランジスタに対して独立に発生し，SRAM セルの電気的対称性を崩すため，SNM を大きく低下させる[8)]．その為 SNM を測定する場合，閾値電圧のローカルばらつきを考慮することが重要である．6 つのトランジスタの内，AC1, LD2, DR1 及び DR2 が主に SNM に影響を与える (図 3 参照)[9)]．図 3 中の σ_{AC}, σ_{LD} および σ_{DR} はそれぞれトランジスタ AC, LD 及び DR の閾値電圧のばらつきの標準偏差 (σ_{vth}) であり，n はそれらの係数である[10)]．閾値電圧のばらつきの標準偏差はトランジスタのチャネル面積の平方根と反比例の関係にある ($\sigma_{vth} \propto 1/\sqrt{LW}$)[11)]．本研究ではトランジスタ AC1, LD2, DR1 及び DR2 の閾値電圧をそれぞれ，各トランジスタのチャネル面積と n に従って独立にばらつかせる．その時の SNM をばらつきを考慮した SNM とし，安定性の指標とする．

SRAM セルの SNM を回路シミュレーションにより求めた結果を図 5, 6 に示す．SPICE モデルライブラリには商用の 90nm プロセスのライブラリを使用した．使用した SPICE ライブラリは酸化膜厚や閾値電圧の異なる 2 つのプロセスオプションを提供している．一方は性能を重視したライブラリであり HP と呼ぶ．もう一方は消費電力を重視したライブラリであり MP と呼ぶ．MP の方が HP よりも閾値電圧の高いライブラリである．回路シミュレーションにおける想定温度はワーストケースの温度を考慮するため 125 ℃を想定した．閾値電圧のばらつきの標準偏差はトランジスタのサイズが L=100nm, W=150nm の時に 20mV とし，n は 2.5 とした．図 5 の結果から電源電圧, 閾値電圧

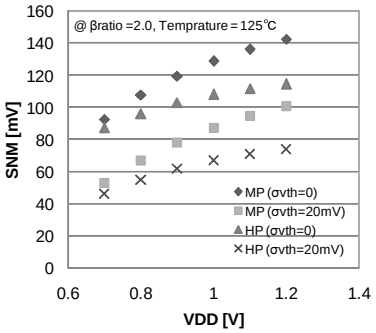

図 5　SNM vs V_{dd}, β ratio

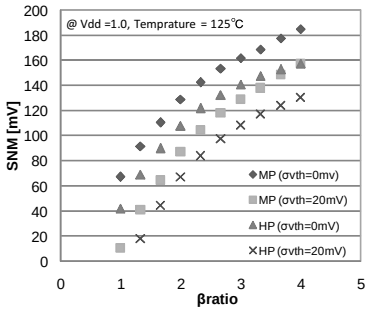

図 6　SNM vs V_{dd}, β ratio

を下げると SNM が低下することが確認できる．また閾値電圧のローカルばらつきを考慮すると SNM の値が低下することが確認できる．提案するハイブリッドメモリでは DE 領域の電源電圧, 閾値電圧を下げるため SNM が低下する．この安定性の低下を補償するため，DE 領域には SE 領域よりも大きな β ratio を持つ SARM セルを用いる．β ratio とは図 3 中のトランジスタ DR と AC のサイズ比である．図 6 に β ratio と SNM の関係を示す．β ratio の調節にはトランジスタ DR のゲート幅 W のみを変化させている．図 6 から β ratio の大きなセルを用いることで SNM の低下を補償できることがわかる．β ratio の大きな SRAM セルを用いることは SRAM セルの面積の増大を引き起こす．しかしメモリ参照の空間的局所性を考えると，最適な DE 領域の容量はメモリの全容量に対して小さいと予測されるため，メモリ回路全体への面積のオーバーヘッドは抑えられると予想する．

2.5　消費エネルギー・アクセス遅延時間モデル

DE 領域，SE 領域への動的消費エネルギー，アクセス遅延時間及び各領域の静的消費電力は回路シミュレーションにより求める．これらは電源電圧, β ratio に依存する．また動的消費エネルギー，アクセス遅延時間はメモリの分割比にも依存する．分割比の依存関係を考慮するため，ビットラインに接続される SRAM セルの数を用いて，アクセス遅延時間，動的消費エネルギーを 1 次式で近似する．図 7 はビットラインに接続される SRAM セルの数とアクセス遅延時間，動的消費エネルギーの関係を回路シミュレーションにより

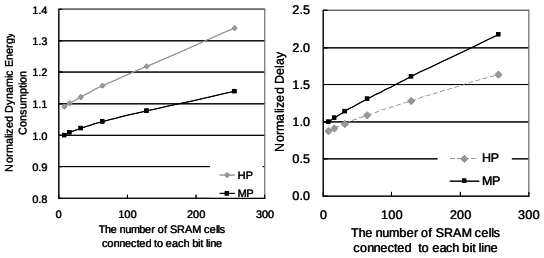

図 7　Dynamic Poewr and Delay model

求めた結果である．図 7 から，アクセス遅延時間，消費エネルギーは各ビットラインに接続される SARM セルの数の 1 次式として近似できると言える．動的消費エネルギー，静的消費電力，アクセス遅延時間に加え，前節で述べた SNM をルックアップテーブルとして用意しておき，次節で述べる最適化問題を解く際に利用する．

3.　総消費エネルギーの最小化問題

3.1　表　　記

- A : アプリケーションプログラムの数
- N_i : i 番目のアプリケーションプログラムに含まれるメモリオブジェクトの内，SPM に配置されるメモリオブジェクトの数
- MS: SPM の総容量 [byte]
- s: DE 領域の容量 [byte]
- T_i: i 番目のアプリケーションプログラムの実行時間
- $FS_{i,j}$: i 番目のアプリケーションプログラムの j 番目のメモリオブジェクトの容量 [byte]
- $ACC_{i,j}$: i 番目のアプリケーションプログラムの j 番目のメモリオブジェクトへの総アクセス回数
- $VDD_{DE,SE}$: DE 領域，SE 領域の電源電圧 [V]
- $\beta R_{DE,SE}$: DE 領域，SE 領域に用いる SARM セルの β ratio
- $ED_{DE,SE}(VDD_{DE,SE}, \beta R_{DE,SE}, s)$: DE 領域，SE 領域へのアクセス持に消費される動的消費エネルギー
- $PS_{DE,SE}(VDD_{DE,SE}, \beta R_{DE,SE})$: DE 領域，SE 領域の 1 バイト当りの静的消費電力
- $D_{DE,SE}(VDD_{DE,SE}, \beta R_{DE,SE}, s)$: DE 領域，SE 領域へのアクセス遅延時間
- $SNM_{DE,SE}(VDD_{DE,SE}, \beta R_{DE,SE}, \sigma_{vth})$: DE 領域，SE 領域の SNM
- $a_{i,j}$: 0-1 の変数. i 番目のアプリケーションプログラムの j 番目のメモリオブジェクトが DE 領域に配置されるときに 1，それ以外の時 0.

A, MS VDD_{SE}, 及び βR_{SE} は入力として与えられる．

3.2　最適化問題

まず始めにアプリケーションプログラムに含まれるすべてのメモリオブジェクトの中から SPM に配置するメモリオブジェクトを決定する．本稿では SPM に配置するメモリオブジェクトは SPM への総アクセス回数が最大となるように決定する．SPM に配置するメモリオブジェクトの決定後，アクセス遅延時間，SRAM 回路の安定性 (SNM) および面積オーバーヘッドの制約条件下で SPM の総消費エネルギーを最小化するメ

モリ構成 (DE 領域の電源電圧，DE 領域と SE 領域の分割比および DE 領域の SRAM セルの β ratio) およびコード配置を決定する．目的関数および制約条件は以下の式 (1)-(6) で与えられる．T_{Delay} 及び T_{SNM} はメモリ回路全体を SE 領域の単一の領域として設計した場合のアクセス遅延時間及び SRAM セルの SNM である．A_{AO} は許容する面積のオーバーヘッドであり入力として与える．最適なメモリ構成はいくつかのアプリケーションプログラムからなるアプリケーションドメインに対して決定され，最適なコード配置はアプリケーションプログラム毎に決定される．

$$
\begin{aligned}
&Minimize: \\
&\sum_{i=1}^{A}\left\{\sum_{j=1}^{N_i} ED_{DE}(VDD_{DE},\beta R_{DE},s)\cdot ACC_{i,j}\cdot a_{i,j}\right. \\
&\qquad +\sum_{j=1}^{N_i} ED_{SE}(VDD_{SE},\beta R_{SE},s)\cdot ACC_{i,j}\cdot(1-a_{i,j}) \\
&\qquad \left.+T_i\cdot\{PS_{DE}(VDD_{DE},\beta R_{DE})\cdot s+ PS_{SE}(VDD_{SE},\beta R_{SE})\cdot(MS-s)\}\right\} \quad (1)
\end{aligned}
$$

$$
For\ \ each\ \ k=1\cdots A
$$

$$
\sum_{j=1}^{N_k} FS_{k,j}\cdot a_{k,j}\le s \quad (2)
$$

$$
\sum_{j=1}^{N_k} FS_{k,j}\cdot(1-a_{k,j)}\le(MS-s) \quad (3)
$$

$$
D_{DE}(VDD_{DE},\beta R_{DE},s)\le T_{Delay} \quad (4)
$$

$$
T_{SNM}\le SNM_{DE}(VDD_{DE},\beta R_{DE},\sigma_{vth}) \quad (5)
$$

$$
area\ overhead\le A_{A.O.} \quad (6)
$$

4. 評 価 実 験

4.1 評 価 環 境

本評価実験には 32 ビットの RISC プロセッサ SH3-DSP を用いた．クロック周波数は 400MHz を仮定した．回路シミュレーションの温度はスタンバイ時ではなく動作時のリーク電流を想定するため 75 ℃とした．アプリケーションドメインは JPEG,MPEG2, compress の 3 つのアプリケーションプログラムから構成されるものとした．3 種類の SPM 容量に対して実験を行った．電源電圧は 0.7V から 1.2V まで 0.1V 刻み，βratio は 1.0 から 4.0 まで 0.33 刻みで与えた．最適化問題の入力である VDD_{SE},$\beta ratio_{SE}$ 及び T_{AO}(面積オーバーヘッド) はそれぞれ 1.2V, 1.66 及び 10%とした．β ratio と面積のオーバーヘッドの関係は図 4 を元に算出した．ACC_i と T_i は SH3-DSP の命令セットシミュレーションから得られた命令トレースを元に得た．命令トレースの長さは 100 万命令とした．本評価実験では ACC_i は読み出し時のメモリアクセスのみを示し，書き込み時のメモリアクセスは含まない．そのため動的消費エネルギーは読み出し時の動的消費エネルギーのみを表し，書き込み時の動的消費エネルギーは含まれない．実験結果から SPM への総アクセスに対して読み出し時のアクセスが支配的であるため，読み出し時の動的消費エネルギーのみを削減対象としても，大幅な総消費エネルギーの削減につながる．例えば JPEG, MPEG2 ではメモリへの総アクセス回数に対して，読み出し時のメモリアクセスの割合は 99%を越える．これは SPM へ配置されるメモリオブジェクトの多くが書き込み動作が発生しない関数によって占められたからであると考えられる．

4.2 評価結果と考察

表 1 と図 8 に評価結果を示す．図 8 中の各アプリケーションプログラムにおける左側のグラフは従来の単一のメモリ構成を用いたときの総消費エネルギーの値であり，表 1 中の P_{org} である．右側のグラフは提案するハイブリッドメモリアーキテクチャと最適化問題を解くことによって決定されたメモリ構成，コード配置を適用した場合の総消費エネルギーであり，表 1 中の P_{hyb} である．表 1 中の s/MS は DE 領域が SPM 全体に占める割合，VDD_{DE},$\beta ratio_{DE}$ は最適化問題を解くことによって得られた DE 領域の総消費エネルギーを最小化する最適な V_{DD}, $\beta ratio$ である．すべての場合において動的消費エネルギーは削減されているのに対し，静的消費エネルギーは増大している．動的消費エネルギーの削減が静的消費エネルギーの増大よりも大きいため，総消費エネルギーは大幅に削減されている．動的消費エネルギーが大きく削減された理由として最適な DE 領域のサイズが小さいことが考えられる．そのため低い電源電圧でも遅延時間の制約を満たすことができ，動的消費エネルギーの削減，静的消費エネルギーの増加抑制が得られたと考えれる．提案手法を適用することにより大幅な総消費エネルギーの削減が達成されているが，2 節で述べたとおり提案手法は SARM 回路の安定性を補償するために面積の増大を引き起こす．しかし SPM 全体に対する DE 領域の最適な割合は小さいため，面積の増大は抑えられている．特に 32KB の SPM に適用した場合最適な DE 領域の比率は 7.91%であり，面積の増大は 2.20%に抑

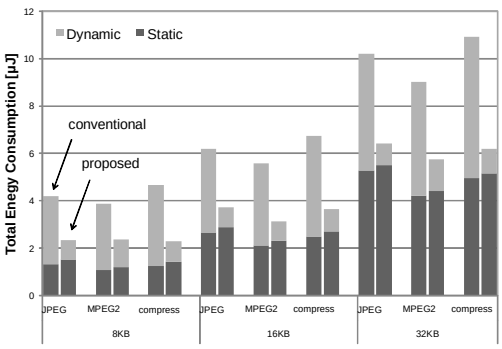

図 8 Experimental Result

表 1 The Experimental result

MS	application	s/MS	VDD_{DE}	$\beta ratio_{DE}$	E_org [μJ]	E_hyb [μJ]	Reduction	A.O.
8KB	JPEG	0.258	0.7	3.33	4.18	2.33	44.3%	7.17%
	MPEG2				3.85	2.34	39.2%	
	compress				4.65	2.34	49.7%	
16KB	JPEG	0.172	0.7	3.33	6.19	3.72	39.9%	4.78%
	MPEG2				5.57	3.12	44.0%	
	compress				6.72	3.63	46.0%	
32KB	JPEG	0.0791	0.7	3.33	10.20	6.42	37.1%	2.20%
	MPEG2				9.00	5.74	36.2%	
	compress				10.90	6.18	43.3%	

えられている．実験結果から提案手法はメモリ参照の局所性を利用して低消費エネルギー化を達成していると言える．またこの時性能，SRAM 回路の安定性の低下は引き起こしていないという点が重要である．

5. おわりに

ハイブリッドメモリアーキテクチャとコード配置の最適化によるオンチップメモリの総消費エネルギーの削減手法を提案した．提案手法を SPM に適用した場合の評価実験を行い，評価結果から提案手法は僅かな面積のオーバーヘッドは引き起こすものの，性能，SRAM 回路の安定性を低下させることなく大幅な消費エネルギーの削減を達成できることを確認した．今後の課題として，本稿では面積のオーバーヘッドはメモリアレイ部分のみを考慮したが，提案するハイブリッドメモリは周辺回路の修正が必要になるため，周辺回路の面積及び消費エネルギーのオーバーヘッドの評価を行う必要がある．

謝　辞

本研究は東京大学大規模集積システム設計教育研究センターを通し，株式会社ルネサステクノロジ，株式会社半導体理工学研究センター，松下電器産業株式会社，NEC エレクトロニクス株式会社，株式会社東芝，シノプシス株式会社，ケイデンス株式会社，メンター株式会社の協力で行われたものである．本研究の一部は科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST) によるものである．

参 考 文 献

1) E. Morifuji, T. Yoshida, H. Tsuno, S. Matsuda, S. Yamada, T. Noguchi, M. kakumu, “New guideline of Vdd and Vth scaling for 65nm technology and beyond” Symposium on VLSI Technology Digest of Technical Papers pp.164-165, 2004.
2) John L. Hennessy and David A. Patterson, “Computer Architecture a Quantitative Approach First Edition” Morgan Kaufman Publishers, 1990
3) T. Matsumura, T. Ishihara and H. Yasuura, “Simultaneous Optimization of Memory Configuration and Code Allocation for Low Power Embedded Systems”, in Proc. of GLSVLSI 2008, May, 2008.
4) A. Sakanaka, S.Fujii and T. Sato, “A Leakage-Energy-Reduction Technique for Highly-Associative Cache in Embedded Systems” ACM SIGARCH Computer Architecture News Vol. 32, No. 3, June 2004.
5) Naoyuki Kawabe and Kimiyoshi Usami, “Low-Power Technique for On-Chip Memory Using Biased Partitioning and Access Concentration” IEEE Custom Integrated Circuits Conference, pp. 275-278, May. 2000.
6) T. Ishihara and K. Asada, “A System Level Power Optimization Technique Using Multiple Supply and Threshold Voltages”, in Proc. of ASP-DAC, pp.456-461, 2001
7) E. Seevinck, F. List, and J. Lohstoh, “Static-Noise margin analysis of MOS SRAM cells” IEEE Journal Solid-State Circuits, vol. SC-22, pp.748-754, 1987.
8) Y. Tsukamoto, K. Nii, S. Imaoka, Y. Oda, S. Ohbayashi, T. Yoshizawa, H. Makino, K. Ishibashi and H. Shinohara, “Worst-case Analysis to Obtain Stable Read/Write DC Margin of High Density 6T-SRAM-Array with Local Vth Variability”, Proc. of International Conference on Computer Aided Design, 398-405, 2005.
9) F. Tachibana and T. Hiramoto, “Re-examination of impact of Intrinsic Dopant Fluctuations on SRAM Static Noise Margin”, Proc of International Conference on Solid State Devices and Materials, 92-193, 2004.
10) Y. Morita, H. Fujiwara, H. Noguchi, K. Kawakami, J Miyakoshi, S. Mikami, K. Nii, H. Kawaguchi, and M. Yoshimoto, “A 0.3-V Operating, Vth-Variation-Tolerant SRAM under DVS Environment for Memory-Rich SoC in 90-nm Technology Era and Beyond,” IEICE Trans. Fundamentals, Vol.E89-A, No.12, pp.3634-3641, Dec. 2006
11) M. J. M. Pelgrom, A. C. J. Dunimaijer and A. P. G. Welbers, “Matching Properties of MOS Transistors”, Journal of Solid-State Circuits, Vol. 24, No. 5, pp.1433-1440, 1989