

カナリア方式におけるタイミングエラー見逃しに関する調査

国武, 勇次
九州大学

佐藤, 寿倫
福岡大学

安浦, 寛人
九州大学 | 独立行政法人科学技術振興機構

<https://hdl.handle.net/2324/10619>

出版情報 : 第6回先進的計算基盤システムシンポジウム, SACSIS 2008, pp.48-49, 2008-06-11.
Symposium on Advanced Computing Systems and Infrastructures

バージョン :

権利関係 :

カナリア方式におけるタイミングエラー見逃しに関する調査

国武 勇次[†] 佐藤 寿倫^{††,†††} 安浦 寛人^{†,†††}

A Simulation Study on Missing of Timing Errors on Canary Technique

YUJI KUNITAKE,[†] TOSHINORI SATO^{††,†††} and HIROTO YASUURA^{†,†††}

1. まえがき

半導体微細化技術の進展に伴って、素子特性のばらつきが増大していると言われている。これに伴い、従来行われてきた最悪ケースを考慮する設計が困難になっている。なぜなら、そのために必要とされる設計マージンが過剰に見積もられ、性能や消費電力に与える影響が深刻となるからである。そこで、最悪ケースではなく典型的ケースを指向する設計手法が必要だと考え、我々はその一つとしてカナリア方式を検討している¹⁾。カナリア方式はタイミングエラーを予報することを目的としているが、タイミングエラーを見逃す可能性を指摘されている。

本稿では、シミュレーションによりその問題を観察し、その発生頻度と傾向を考察する。

2. カナリア方式

図1にカナリア方式を示す。通常のフリップフロップ(メインFF)と並列に、遅延素子を直前に挿入したカナリアFFを付加している。遅延素子のため、カナリアFFはメインFFよりもタイミング制約が厳しい。制約を徐々に厳しくしていくと前段組み合わせ回路でタイミングエラーを生じるが、カナリアFFが先に遭遇する。この時点では、メインFFは正しい値を保持している。したがって、二つのFFを比較すればタイミングエラーを検出できる。

カナリア方式と動的電圧制御方式(Dynamic Voltage Scaling: DVS)とを組み合わせると、過剰な設計マージンを削減する。図2に電圧制御の例を示す。カナリアFFで回路のタイミングエラーをモニタし、あらかじめ決めておいた一定のインターバル中にエラーが予報されなかった場合に降圧する。一方予報された

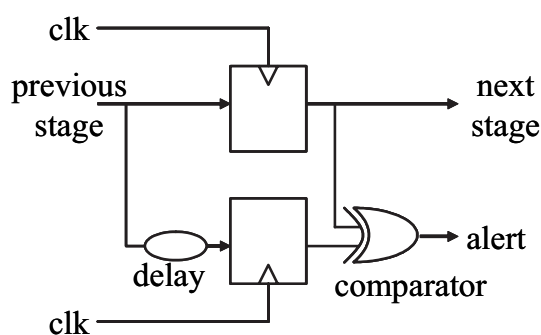


図1 カナリアFF

場合は、前段回路のタイミングに余裕が無くなっているため、直ちに昇圧する。このように電圧を制御することで、メインFFのタイミングエラーを予防しつつ、過剰な設計マージンを取り除くことができる。



図2 カナリア方式を利用するDVSシステム

3. タイミングエラーの見逃し

前述したように、カナリアFFがタイミングエラーを検出した時点では、メインFFは正しい値を保持していると期待される。しかし、二つのFFが同時にタイミングエラーに遭遇する可能性がある。入力によって活性化されるパス毎に遅延は異なるため、例えばクリティカルパスよりも遅延の小さなパスにあわせて電圧が下げられている時にクリティカルパスが活性化すると、カナリアFFだけでなくメインFFでもタイミングエラーを生じる。この状態ではメインFFとカナリアFFの値が同じとなる可能性があり、そうすると

[†] 九州大学, Kyushu University

^{††} 福岡大学, Fukuoka University

^{†††} 独立行政法人科学技術振興機構, JST, CREST

エラーを検出できない。つまり、正常動作を保証できなくなる。

4. シミュレーション結果

エラーの見逃しを観察するために、アーキテクチャレベルとゲートレベルを組み合わせたコ・シミュレーション²⁾を実施する。アーキテクチャレベルでは MASE³⁾を使用し、プロセッサ全体をシミュレーションする。ゲートレベルではケイデンス社の NC-Verilog を使用し、カナリア方式を適用する回路のみをシミュレーションする。適用回路は整数加算器とし、32 ビットの桁上げ選択加算器 (Carry Select Adder: CSLA) を Verilog HDL で設計した。日立 0.18 μ m スタンダードセルライブラリを用いて、シノプシス社の DesignCompiler により論理合成を行った。

シミュレーションでは電源電圧を変更できないため、クロック周波数を変えてシミュレーションする。表 1 に示すインテル社ペンティアム M の電源電圧⁴⁾を使用して、クロック周波数から電源電圧を換算する。合成後のネットリストは表 1 の周波数で動作しているわけではなく、そのクリティカルパスで決まる周波数を表 1 の最大周波数とし、残りの周波数は線形写像により決定する。こうして、電圧制御を模擬している。

表 1 周波数と電源電圧の関係

F(GHz)	2.1	1.8	1.6	1.4
Vdd(V)	1.340	1.276	1.228	1.180
F(GHz)	1.2	1.0	0.8	0.6
Vdd(V)	1.132	1.084	1.036	0.988

ベンチマークには SPEC2000 のから 7 つの整数系プログラムを選択した。最初の 10 億命令をスキップし、続く 10 億命令を実行している。

カナリア FF に与える遅延量を変えたときにメイン FF で発生するタイミングエラーの数を、表 2 に示す。CSLA のクリティカルパス遅延に対する比で遅延量を表す。bzip2 以外の全てのプログラムで、メイン FF でタイミングエラーが観察された。実行命令数の 10 億に対して 100 回以下という値は非常に小さいが、タイミングエラーの見逃しは致命的である。ただしメイン FF でタイミングエラーを生じたとしても、メタスタビリティ状態はエラーと見做せる、多ビット比較ではメイン FF とカナリア FF 間で値が異なる、などの可能性があり、表 2 のエラー件数は見逃しの上限であることに注意されたい。

挿入する遅延量を大きくするとタイミングエラーの発生が減少している。つまり、遅延を大きく設定する

表 2 メイン FF で発生するタイミングエラー

	10%	20%	30%	40%
164.gzip	62	4	3	1
175.vpr	18	1	0	0
176.gcc	33	17	5	3
181.mcf	3	2	1	0
197.parser	11	3	2	1
255.vortex	2	1	1	1
256.bzip2	0	0	0	0

ことでメイン FF のタイミングエラーを防ぐことができると考えられる。しかし完全ではない。それに加え、遅延量を大きくするとカナリア FF のタイミング制約がより厳しくなるため電源電圧の選択が保守的となり、設計マージンの削減効果が損なわれる。

5. おわりに

カナリア方式におけるタイミングエラー見逃しの調査を行った。発生頻度は非常に少ないながらもメイン FF でのタイミングエラーが観察された。タイミングエラーが一度でも見逃されれば正常動作を保証できないため、タイミングエラーの見逃し対策を検討していく必要がある。

対策の一つとして、最適な電源電圧を選択するためのテストフェーズとプログラム実行フェーズに分ける方法を考えている。具体的には、クリティカルパスに近い遅延を持つパス群を利用する。これらのパス群を活性化するような入力で行い回路の動作する最適な電圧を選択する方法である。

謝 辞

本研究は一部、科研費・基盤 A(#19200004)、基盤 B(#20300019)、および JST CREST プロジェクトの支援による。なお、東京大学 VDEC を通じて提供された株式会社日立製作所の LSI 設計用ライブラリを使用している。

参 考 文 献

- 1) 佐藤: カナリア・フリップフロップを利用する省電力マイクロプロセッサの評価, SAC SIS, 2007.
- 2) 国武 他: タイミング制約違反を利用する設計手法とコ・シミュレーション環境による評価, 信学技研, DC2007-11, 2007.
- 3) E. Larson et al.: MASE: a novel infrastructure for detailed microarchitectural modeling, ISPASS, 2001.
- 4) Intel Corporation: Intel Pentium M processor on 90nm process with 2-MB L2 cache, Datasheet, 2006.