

夢の高性能&低消費電力キャッシュの実現

小宮, 礼子
九州大学大学院システム情報科学府

<https://hdl.handle.net/2324/9135>

出版情報 : SLRC プレゼンテーション, 2006-07-19. 九州大学システムLSI研究センター
バージョン :
権利関係 :

夢の高性能 & 低消費電力キヤッシュ の実現



九州大学大学院 システム情報科学府
博士後期課程1年

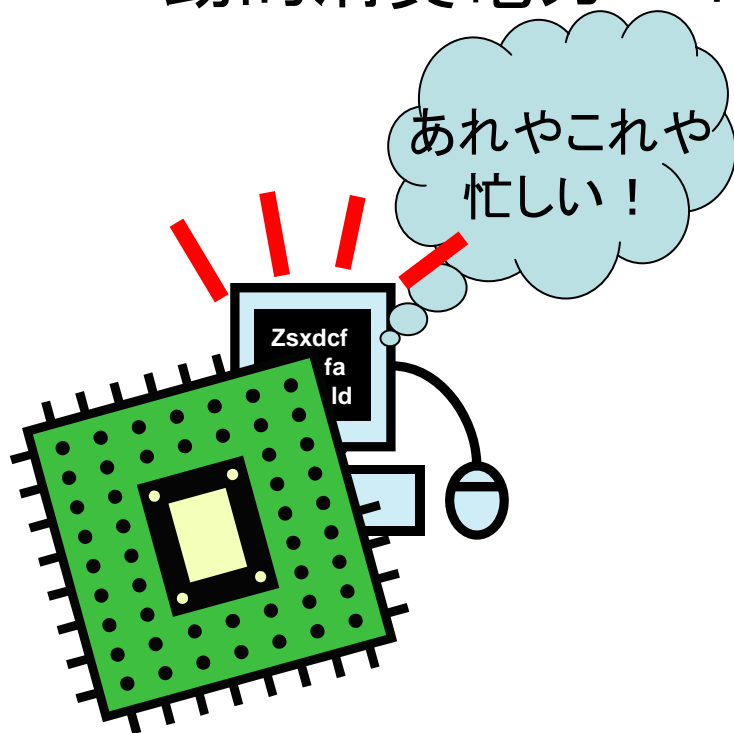
小宮礼子

発表内容

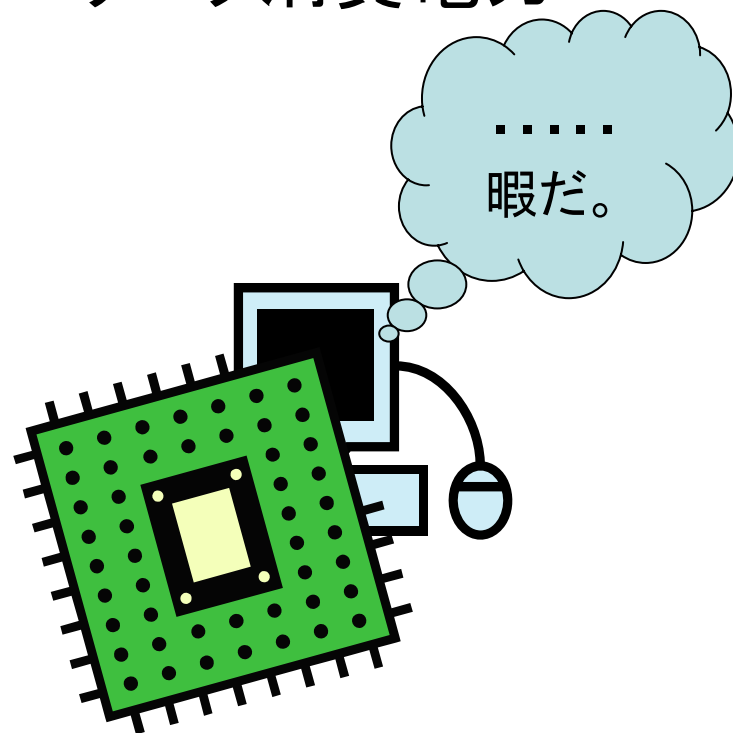
1. いつ, どこで電力は消費される？
2. キャッシュメモリのリーク消費電力削減手法
3. リーク消費電力削減に伴う副作用
～動きが鈍くなった・・・。
4. 副作用をなくそう！
～原因は何か？ それを解決するには？
5. 成果は得られたか？

いつ電力は消費される？(1/2)

プロセッサの消費電力
= 動的消費電力 + リーク消費電力



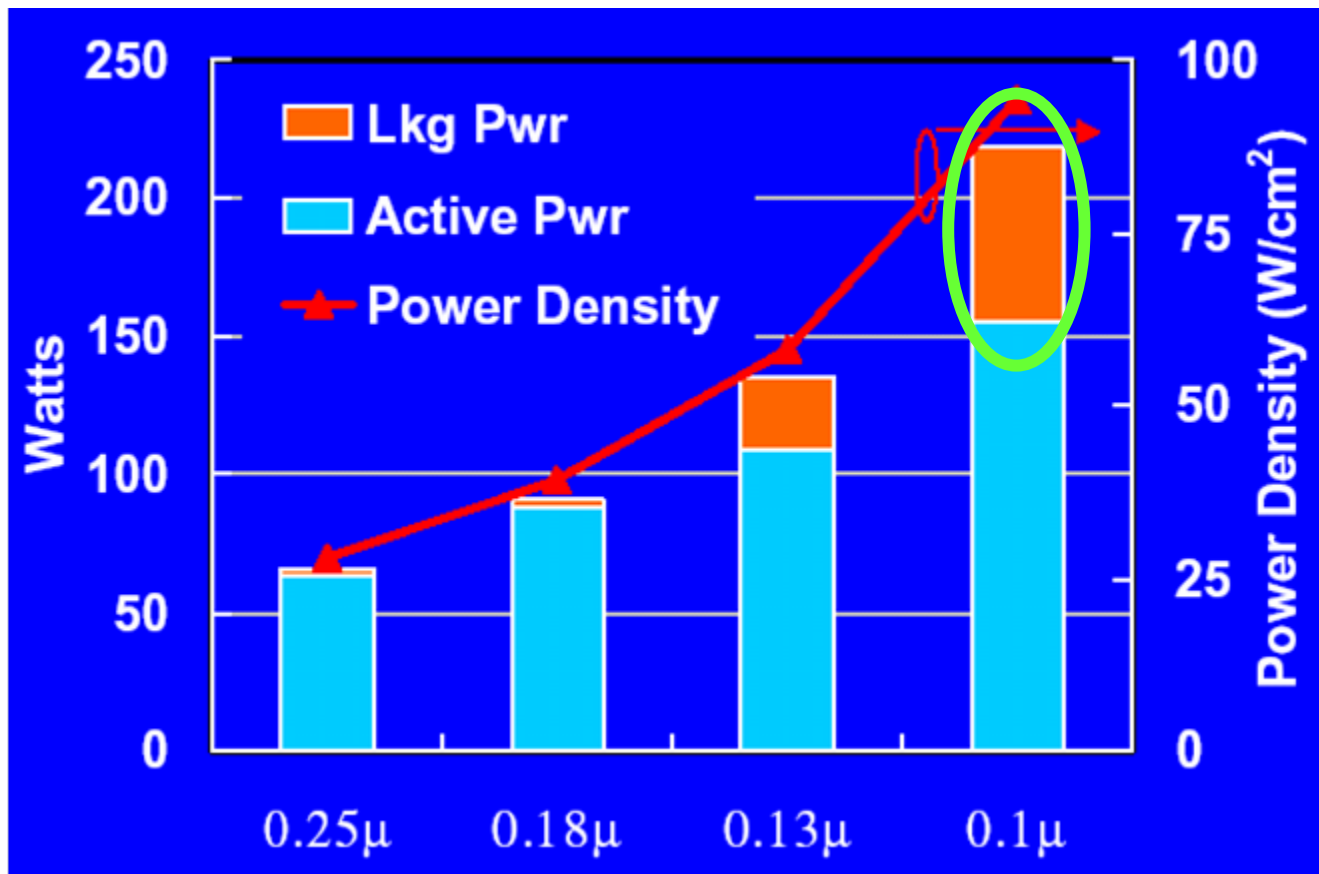
回路動作に伴い消費する電力
原因は負荷容量の充放電



回路動作にかかわらず常に消費する電力
原因はトランジスタの漏れ電流

いつ電力は消費される？(2/2)

プロセッサの動的消費電力とリーク消費電力内訳

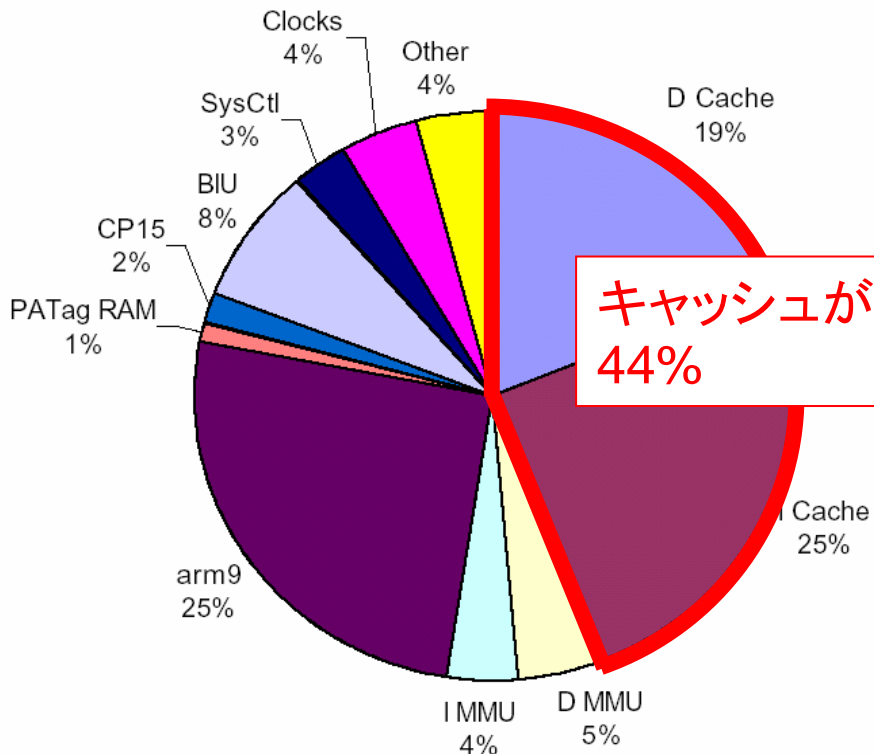


Fred Pollack (Intel Fellow): New Microarchitecture Challenges in the Coming Generations of CMOS Process Technologies [Micro32]

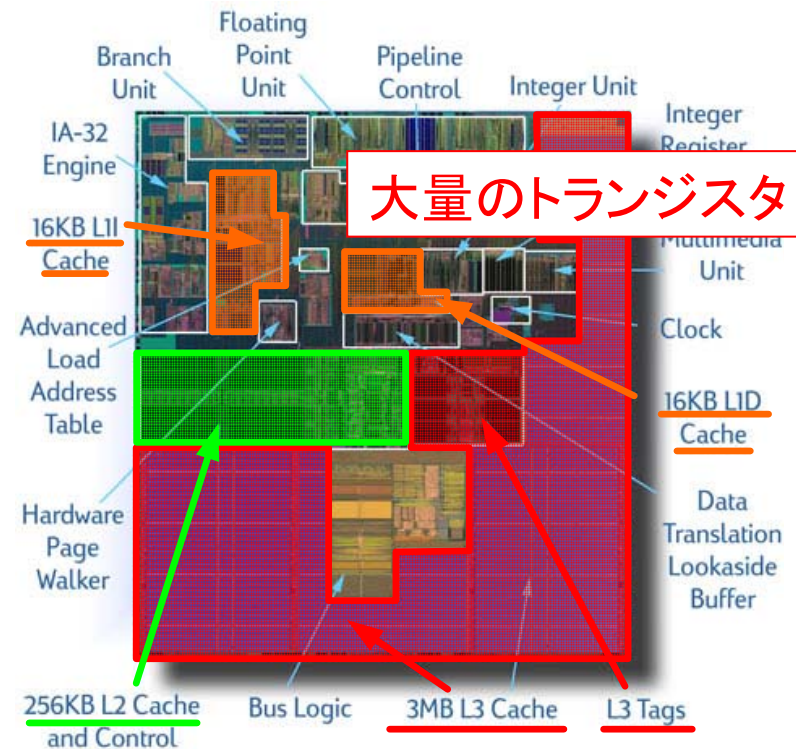
トランジスタの微細化が進むにつれ、リーク消費電力の影響が増大！

どこで電力は消費される？

プロセッサにおける消費電力内訳



プロセッサにおける面積



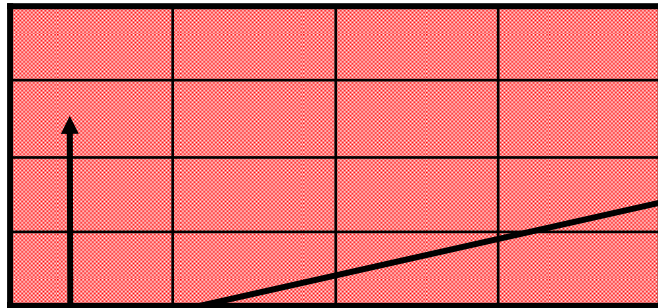
Intel® Itanium® 2 microprocessor

Simon Segars, "Low Power Design Techniques for Microprocessors," ISSCC2001

トランジスタはリーク電流がだだ漏れ!!
キャッシュ・メモリは大量のリーク電力を消費!!

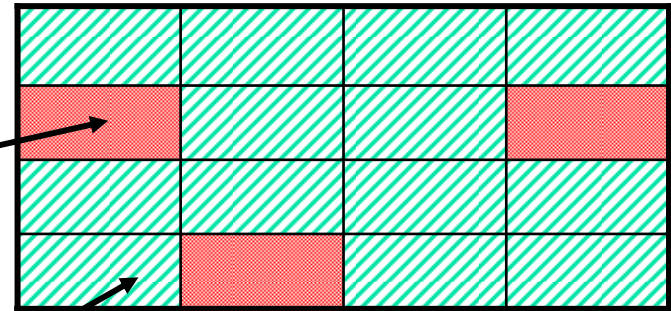
使わない時は漏れないようにしよう！

従来のキャッシュ



活性状態(データ保持→高リーク)

低リーク・キャッシュ



待機状態(低リーク化→低速なアクセス)

- ✓ 活性状態のライン(活性ライン)： 高リーク 😞 ， 高速アクセス 😊
- ✓ 待機状態のライン(待機ライン)： 低リーク 😊 ， 低速アクセス 😞

待機ライン数	メリット	デメリット
多い	リーク削減効果 ↑	性能低下 ↑
少ない	性能低下 ↓	リーク削減効果 ↓

漏れ防止に伴う副作用 (1/2)

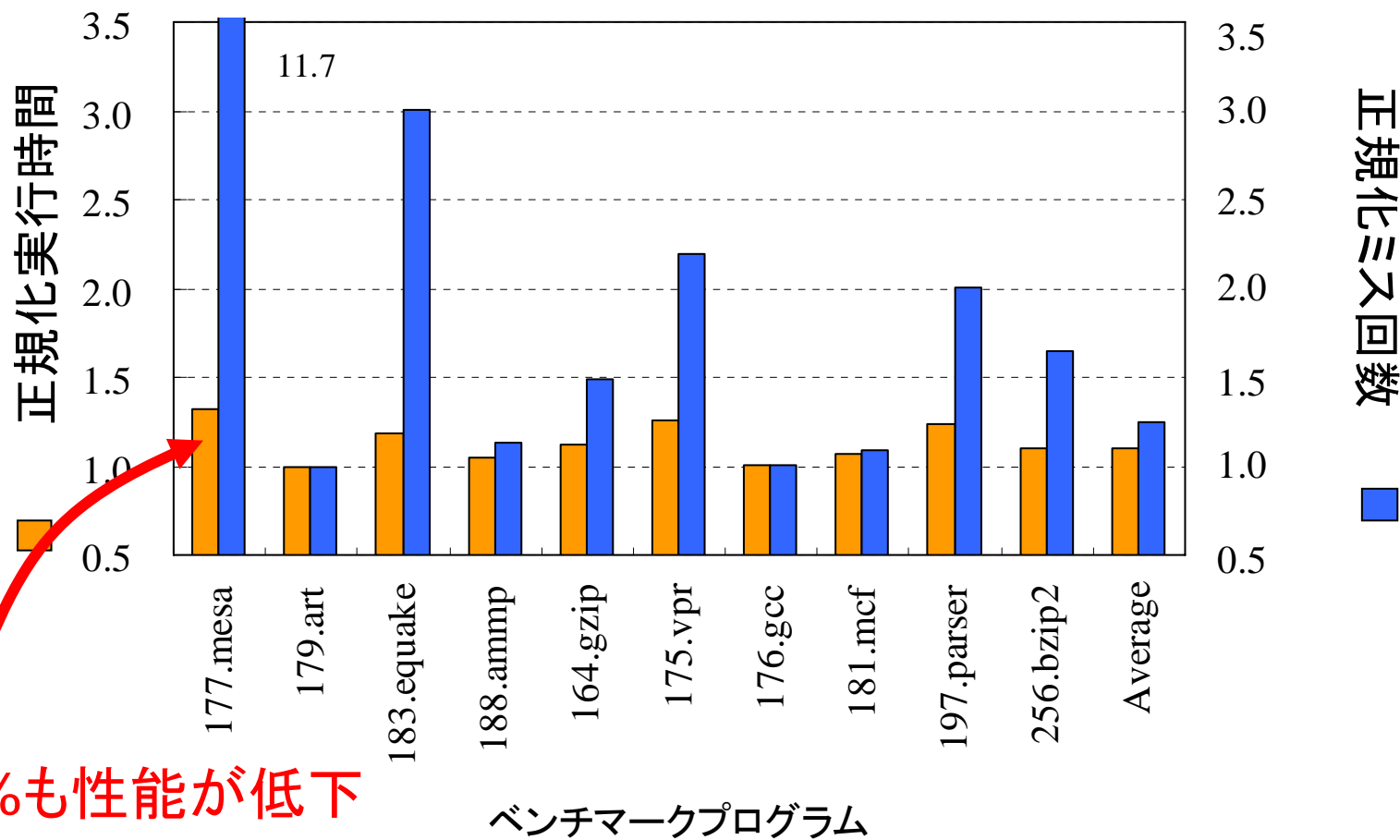
待機ラインの実現方式

	回路	記憶していた情報	再参照時のペナルティ
状態破棄	電源電圧供給停止 (Gated-Vdd) リーク削減効果大	失う	キャッシュ・ミスと同等
状態保存	低電源電圧化 (DVS) 高閾値電圧化 (VT-CMOS)	保存	活性ラインへの切替え (一般に1clock cycle) 性能低下小

待機ラインの再参照は性能を悪化！

漏れ防止に伴う副作用 (2/2)

待機ライン再参照に伴う性能低下(状態破棄)



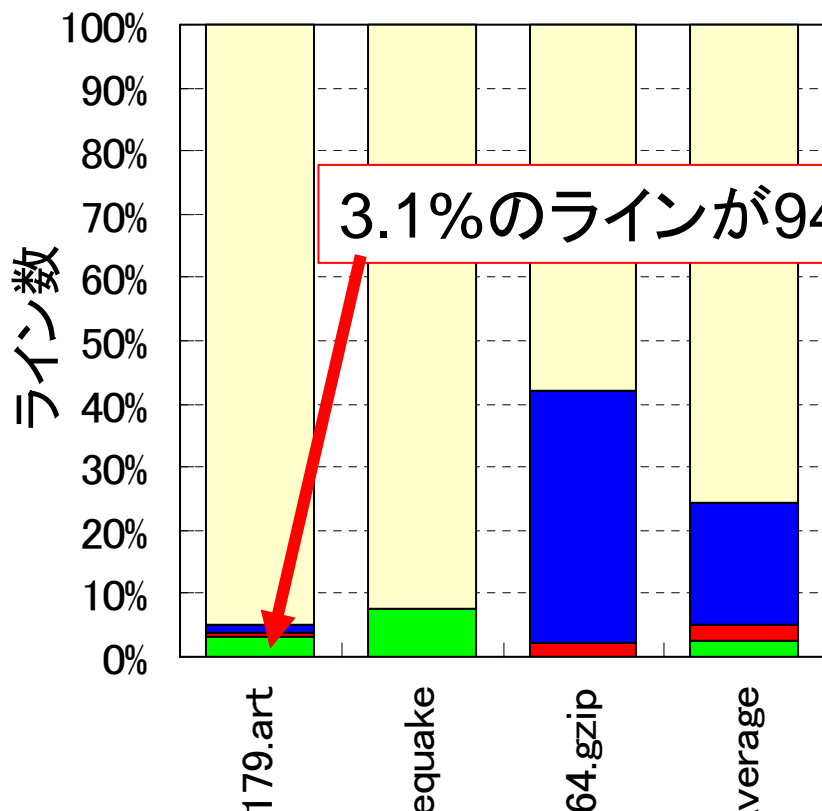
副作用をなくそう！

- 原因は何か？
 - 待機ラインへの再参照
- どうしたら性能低下をなくせるか？
 - 待機ラインへの再参照回数を減らせばよい！
 - 待機状態への無駄な切替えを停止したい
 - でも、どうやって…？
 - まずは待機ライン再参照の振る舞いを解析してみよう

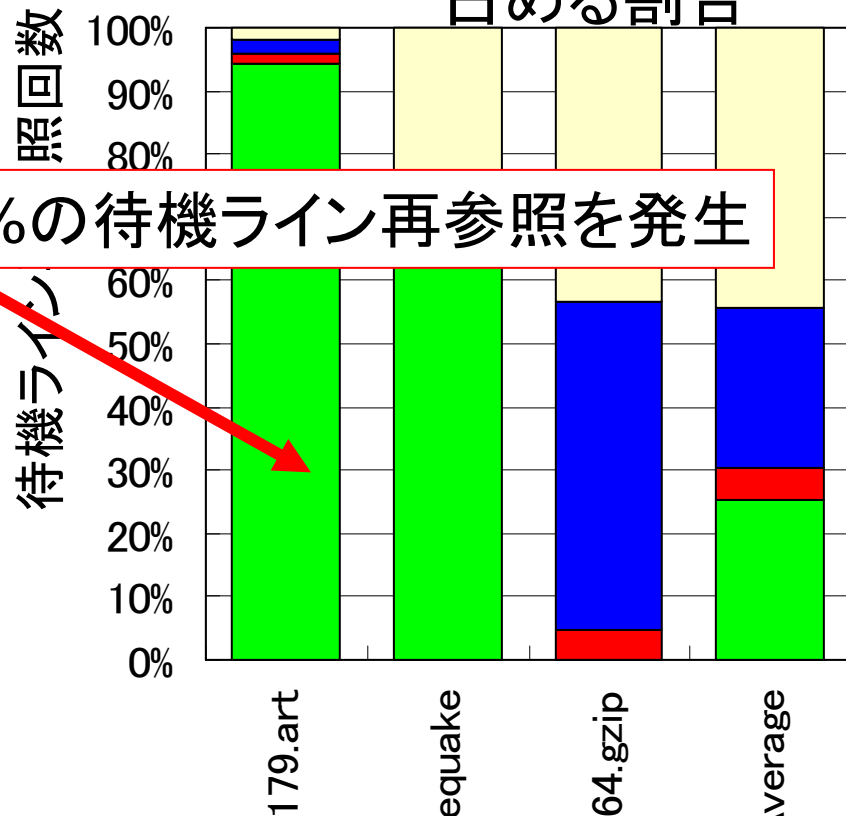
待機ライン再参照の発生頻度

平均未満
 平均以上, 2倍未満
 2倍以上, 4倍未満
 4倍以上

全ラインに占める割合



全待機ライン再参照に占める割合



3.1%のラインが94.4%の待機ライン再参照を発生

一部のラインが待機ライン再参照を頻発!

高性能 & 低リーク・キャッシュを実現するには？

待機ライン再参照を頻発するラインだけ、常に活性状態で動作

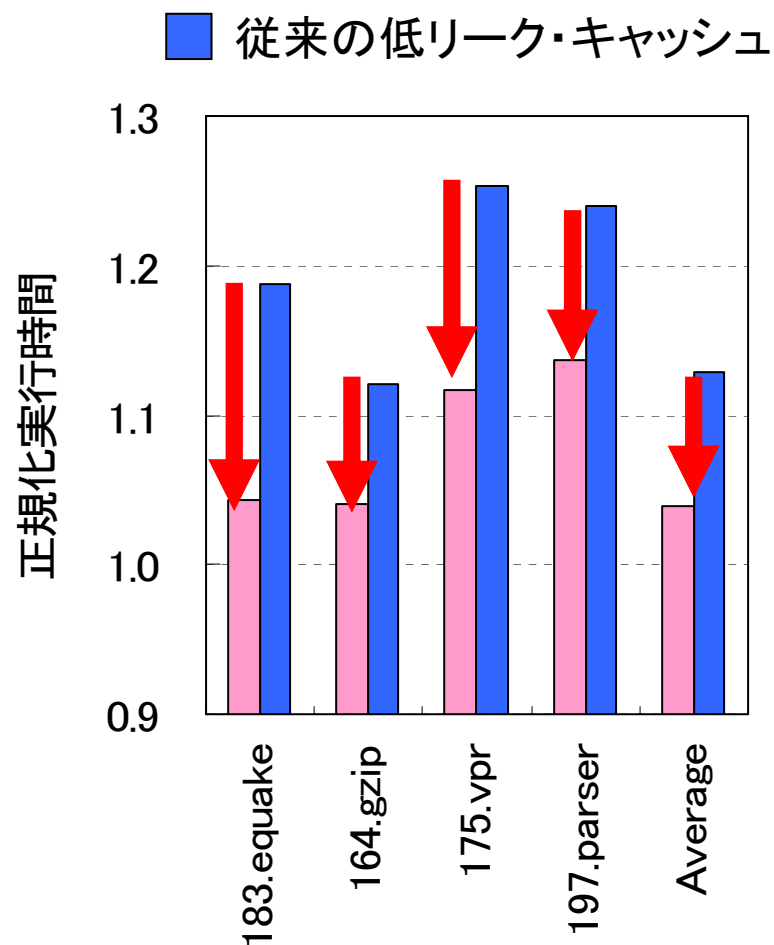
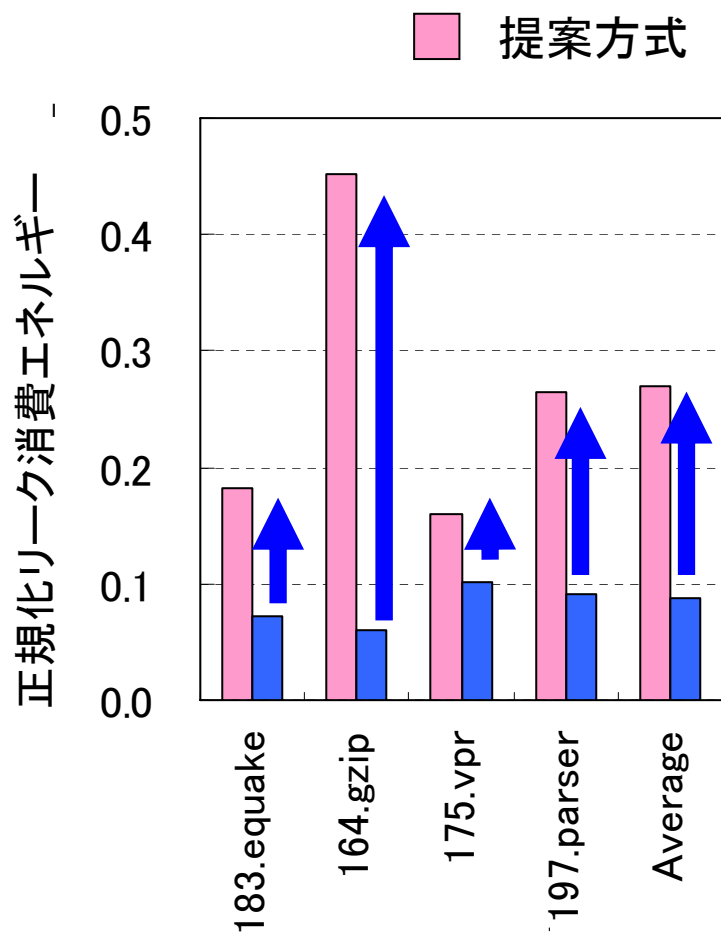
各ラインにおける待機ライン再参照回数

6	5	1
2	4	1
60	1	10

これらのラインのリーク消費電力を削減！

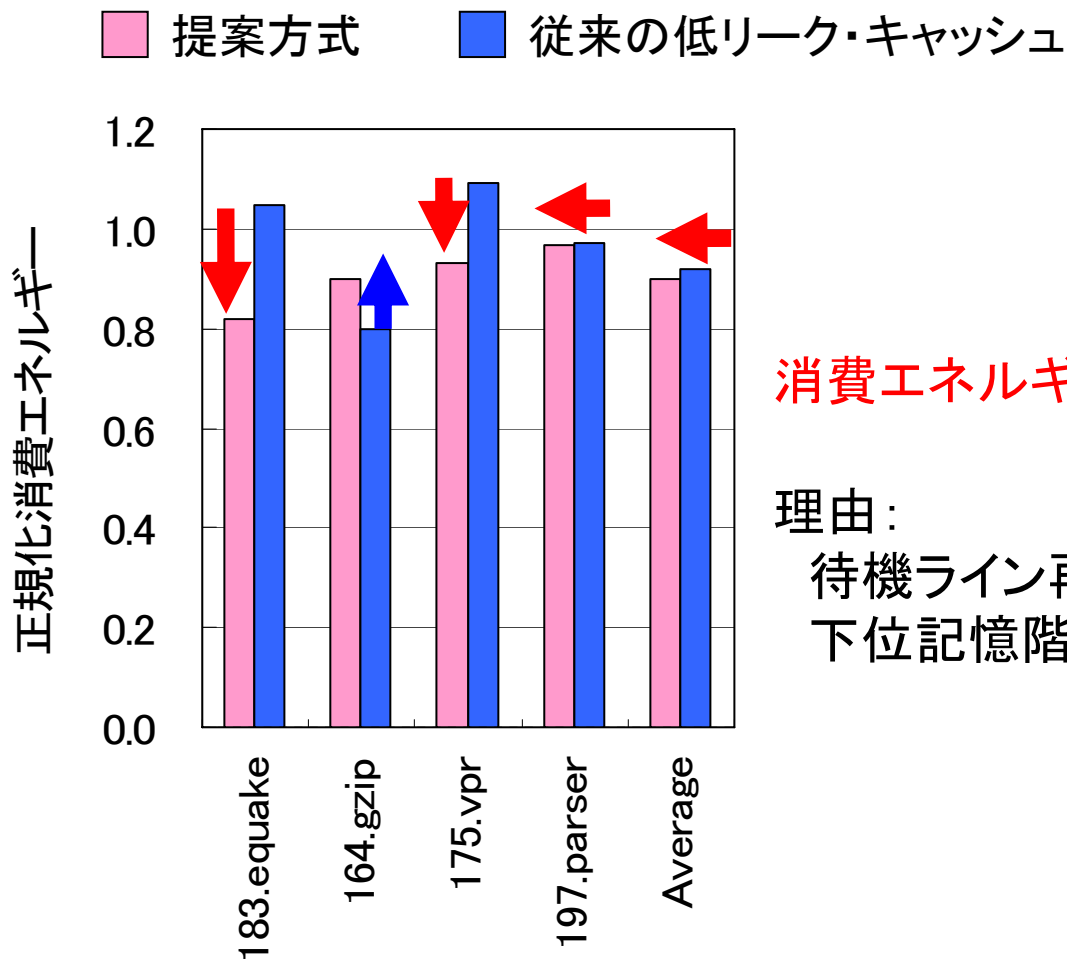
このラインで起きる性能低下を改善！

成果は得られたか？(1/2)



リーク消費エネルギーは増えるが、性能はしっかり改善

成果は得られたか？ (2/2)



消費エネルギー削減効果をupする時もある

理由:

待機ライン再参照に伴い増加する,
下位記憶階層への参照を減らせるから!

性能を改善し, エネルギーも削減!!

まとめ

- 高性能かつ低リークなキャッシュを提案：
 - 待機ライン再参照を頻発するラインを検出
 - 常に活性状態にすることで性能を改善
- 評価結果
 - 性能を改善し、消費エネルギー削減効果をUP!
 - 従来の低リーク・キャッシュと比較した場合：
 - 性能低下:19%→4.2%
 - 消費エネルギー:20%削減