

## 有機ヘテロ接合を用いた負性抵抗素子の開発

小橋, 和義

<https://doi.org/10.15017/1931869>

---

出版情報：九州大学, 2017, 博士（工学）, 課程博士  
バージョン：  
権利関係：

有機ヘテロ接合を用いた  
負性抵抗素子の開発

平成 30 年 3 月  
九州大学大学院工学府  
物質創造工学専攻  
小橋 和義

# 目次

<b>第1章 序論</b>	<b>1</b>
1-1 集積回路の変遷	1
1-2 半導体微細化の物理的限界	3
1-3 有機トランジスタの可能性と課題	4
1-4 負性抵抗素子による多値論理回路の構築	5
1-5 アンチアンバイポーラトランジスタ	10
1-6 本研究の目的	13
第1章参考文献	15
<b>第2章 有機積層膜の作製および構造・電子状態解析</b>	<b>23</b>
2-1 はじめに	23
2-2 有機半導体材料	23
2-3 真空蒸着法による有機薄膜の成長	25
2-4 有機積層膜の構造評価	27
2-4-1 原子間力顕微鏡による表面モルフォロジーの評価	27
2-4-2 X線反射率測定法による膜厚評価	31
2-4-3 X線回折法による配向評価	33
2-5 有機ヘテロ接合界面におけるエネルギー準位接続	34
2-6 まとめ	38
第2章参考文献	39
<b>第3章 有機ヘテロ接合を用いた負性抵抗素子におけるキャリア輸送特性の評価および動作機構の解明</b>	<b>41</b>
3-1 はじめに	41
3-2 素子作製プロセス	41
3-3 キャリア輸送特性	42
3-4 動作機構の解明	43
3-4-1 キャリア輸送特性におけるドレイン電圧依存性	43
3-4-2 貫通電流のシミュレーション	46
3-5 まとめ	50
第3章参考文献	52

<b>第4章 有機ヘテロ接合を用いた負性抵抗素子におけるキャリア輸送経路の解明</b>	<b>53</b>
4-1 はじめに	53
4-2 キャリア輸送特性における積層界面積依存性	53
4-3 キャリア輸送特性における有機薄膜の膜厚依存性	55
4-4 まとめ	57
第4章参考文献	58
<b>第5章 素子特性制御に向けた界面制御</b>	<b>60</b>
5-1 はじめに	60
5-2 素子特性制御への指針	60
5-3 電荷注入層を用いた界面制御	61
5-4 低電圧動作に向けた界面制御	64
5-4-1 電荷注入阻害層	64
5-4-2 Al <sub>2</sub> O <sub>3</sub> 高誘電率絶縁膜	66
5-5 まとめ	68
第5章参考文献	69
<b>第6章 結論</b>	<b>72</b>
<b>付録 A 略語表</b>	<b>74</b>
<b>付録 B 有機ヘテロ接合を用いた負性抵抗素子の性能</b>	<b>75</b>
<b>付録 C 作製した素子を用いた多値論理回路</b>	<b>76</b>
<b>付録 D 作製した素子を用いた多機能論理演算素子</b>	<b>78</b>
<b>謝辞</b>	<b>80</b>

# 第 1 章 序論

## 1-1 集積回路の変遷

現在我々の身のまわりには多くのエレクトロニクス製品が存在しており、我々の生活を豊かで実りあるものにしていく。これらのエレクトロニクスの急速な発展を可能にしたのは、大規模集積回路 (Large Scale Integrated Circuit: LSI) の高集積化・高性能化である。そこで、LSI がどのように進化してきたのか、その変遷を概観していく。

現代のエレクトロニクス技術の原点をさかのぼると、かの有名なトーマス・エジソンにたどり着く。白熱電球の研究に没頭していたエジソンは、1883 年に、エジソン効果とよばれる、白熱電球の中に薄い白金板を入れフィラメントに対して正の電圧を印加すると電流が流れる現象を発見した。このエジソン効果をイギリスのフレミングが熱電子によるものと理論づけし、1904 年に 2 極真空管を発明した。この発明により 20 世紀前半は真空管の時代となった<sup>[1]</sup>。しかし、真空管はフィラメントをヒーターで加熱して使うために、消費電力が大きく発熱することや寿命が短いことなど、様々な点に問題があった<sup>[2]</sup>。

これらの問題を解決するために開発された素子がトランジスタである。ベル研究所のウォルター・ブラッテン、ジョン・バーディーンらが、Ge 検波器の金属針の近くに第 2 の金属針を立てて特性を調べていたところ、半導体結晶が増幅作用を示すことを発見し、点接触型と呼ばれる世界初のトランジスタを発明した (1947 年)。しかし、この点接触型トランジスタは、Ge 結晶に 2 つの金属針を立てただけの不安定な構造であったため、衝撃に弱いという欠点があった<sup>[3,4]</sup>。

その後まもなく、同研究所のビル・ショックレーにより点接触型トランジスタの欠点を改善した接合型トランジスタが発明された (1948 年)。この接合型トランジスタは 1 つの半導体結晶中に n 型領域と p 型領域を作ってトランジスタを動作させるもので、点接触型トランジスタとくらべてはるかに安定した動作が可能になった。これらのトランジスタを発明した 3 人は 1956 年にノーベル物理学賞を受賞した<sup>[5]</sup>。

トランジスタ開発の初期に重要な役割を果たしたのは Ge であったが、その後は主役を Si にとって代わられた。Si は Ge に比べて表面が非常に安定していて、また良質な SiO<sub>2</sub> 酸化膜が熱酸化により簡便に形成できたからである。1954 年にはこの Si を用いた接合型トランジスタが開発された<sup>[6]</sup>。

1959 年には、テキサス・インスツルメンツ社のジャック・キルビーとフェアチャイルド社のロバート・ノイスにより、同一基板上にトランジスタ、抵抗、コンデンサなど複数の素子をまとめた集積回路 (integrated circuit: IC) に関する特許がそれぞれ独立に出願された。キルビー特許ではそれぞれの素子を空中配線で接続する手法を取っているのに対し、ノイス特許では素子間を SiO<sub>2</sub> 酸化膜上に蒸着したアルミニウムにより配線する手法を取っている<sup>[7]</sup>。

これまでの IC で使われていたトランジスタはバイポーラトランジスタであったが、1960 年に、AT&T ベル研究所のダウソン・カーンとマーティン・アタラにより MOS 型電界効果トランジスタ (metal-oxide-semiconductor field-effect transistor: MOSFET) が発明されると、消費電力が少ないこと、IC の製造がしやすいということから、開発が進んでいたバイポーラトランジスタにとって代わって使用されるようになった。このようにして現在使われている IC の基礎は出来上がった<sup>[6,8]</sup>。

IC の発明後、トランジスタの大きさはどんどん小さくなり、集積化が進んでいった。そして、1971 年にインテルが世界初のマイクロプロセッサ (micro processor unit: MPU) Intel 4004 を開発した。Intel 4004 が開発されて以来、ムーアの法則に沿ってトランジスタを微細化することにより、今日まで IC の性能向上が図られてきた。ムーアの法則とは、IC のトランジスタの集積度が、18~24 カ月ごとに 2 倍になるという経験則で、インテルの創業者の 1 人であるゴードン・ムーアが、1965 年にエレクトロニクス・マガジン誌に発表したものである。ムーアの法則を示したグラフを図 1-1 に示す<sup>[9]</sup>。トランジスタの集積度が 18~24 カ月で 2 倍になることは、15~20 年で 1000 倍の集積化が進むことを意味する。実際に、2300 個のトランジスタが搭載された Intel 4004 が開発されてから 22 年後の 1993 年には、MPU のトランジスタ搭載数が 310 万個 (1350 倍) に、36 年後の 2007 年には 17 億 2000 万個 (75 万倍) と、ムーアの法則に従って、集積度を増してきたことが分かる。このようにして IC は急速な勢いで発展し

ていった。

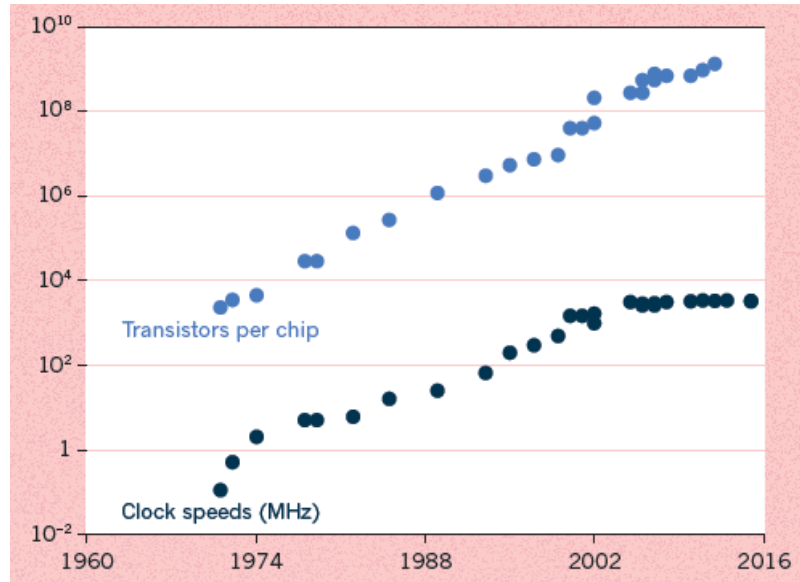


図 1-1 ムーアの法則に従ったトランジスタ搭載数の推移<sup>[9]</sup>.

## 1-2 半導体微細化の物理的限界

1-1 で述べたように LSI はその構成素子である MOSFET を微細化することにより、これまでに高集積化・高性能化を実現してきた。しかし、微細化を追求してきた結果、LSI の消費電力が増大し深刻な問題となっている<sup>[10-12]</sup>。

消費電力増大の主な要因となっているのは、サブスレッショルドリーク電流とゲートリーク電流である<sup>[13-17]</sup> (図 1-2)。サブスレッショルドリーク電流は、オフ状態の MOSFET でドレインからソースへ流れるリーク電流である。オフ状態ではソース・ドレイン間にチャンネルが形成されていないため、本来電流は流れないはずである。しかし、微細化によりゲート長を短くしていくと、ドレイン電界がソースに影響を及ぼすようになり、短チャンネル効果とよばれる現象によりしきい値電圧が低下する。その結果、ゲート電圧が印加されていなくても電流が流れてしまう。

ゲートリーク電流は、ゲート・基板、ゲート・ソース間、ゲート・ドレイン間に流れるリ

ーク電流である。ゲート絶縁膜があるため、本来であればゲートリーク電流は流れないはずである。しかし、微細化によりゲート絶縁膜の厚さが 2 nm 以下になると、量子力学的トンネル効果により、電流が絶縁膜を透過して流れてしまう<sup>[18,19]</sup>。

これら 2 つのリーク電流により、LSI の消費電力が急増しており、ハイエンドの MPU ではその消費電力が 100 W に近づいている<sup>[20]</sup>。チップの大きさが 1 cm<sup>2</sup> 程度であるので、電力密度は 100 W/cm<sup>2</sup> になる。この値は調理用ホットプレートの 10 倍ほどの値に相当し<sup>[21]</sup>、いかに消費電力が大きいか分かる。また、現在の冷却技術で冷却できる限界の値は 100 W と言われており、まさにその限界に達しようとしている。

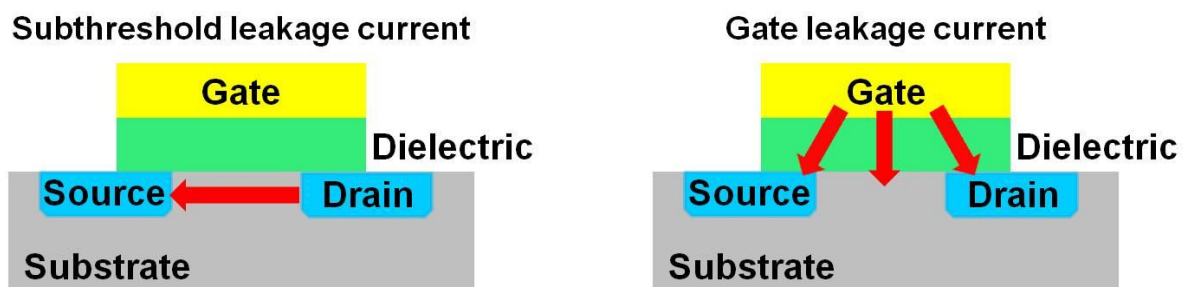


図 1-2 素子の微細化によるリーク電流.

このように従来の微細化による LSI の高性能化は限界に直面している。そこで、今後の半導体技術開発の方針として、新材料<sup>[22-26]</sup>や立体構造<sup>[33-38]</sup>を用いて更なる微細化を追求する“More Moore”と、LSI にセンサなどの新たな機能を追加する“More than Moore”、そして MOSFET とは異なる新しい動作原理の素子<sup>[39-55]</sup>を創出する“Beyond CMOS”が提案されている。

### 1-3 有機トランジスタの可能性と課題

近年、あらゆるモノがインターネットに接続されるという Internet of Things (IoT) が産業と社会に大きなイノベーションをもたらす技術として注目されている。IoT では様々な形状を有



するモノであっても設置が容易なフレキシブルデバイス（センサ、IC タグ）がキーデバイスとなる。このような背景から、有機トランジスタへの関心が高まっている。ファンデルワールス力により分子が結合された有機半導体は、従来の Si や酸化物半導体と比べて柔軟性を有する。また、プラスチック基板を利用可能な 150 °C 以下の低温プロセスで素子を作製できる。さらに、可溶性の有機材料を用いた塗布・印刷技術により、素子を低コストで作製できる<sup>[56-66]</sup>。これら柔軟性・軽量性・低コストという特徴に加えて、有機半導体は材料設計の自由度が高く、結晶構造や電子物性を制御することができる。以上のように、様々な利点を有する有機トランジスタはフレキシブルデバイスの構成素子として有望である。しかし、現状の技術では有機トランジスタに従来のリソグラフィプロセスを適用できず、素子の微細化・集積化が困難であるため、有機トランジスタを用いた集積回路の情報処理能力が低いという問題がある。

#### 1-4 負性抵抗素子による多値論理回路の構築

本研究では有機集積回路の情報処理能力を向上させるために多値論理回路に着目した。多値論理回路とは 3 つ以上の論理値を取り扱う論理回路である<sup>[67-69]</sup>。多値論理回路を用いることにより信号線 1 本あたりの情報量が増加するため、素子の微細化・集積化に頼らずに有機集積回路の情報処理能力を向上させることができる。

多値論理回路を構築する素子に負性抵抗素子がある。負性抵抗とは、1957 年に江崎玲於奈氏が、高濃度にドーピングされた Ge の pn 接合の電流-電圧特性を測定中に発見した現象で、図 1-3 に示すように電圧を大きくするほど逆に電流が減少する現象である<sup>[70]</sup>。

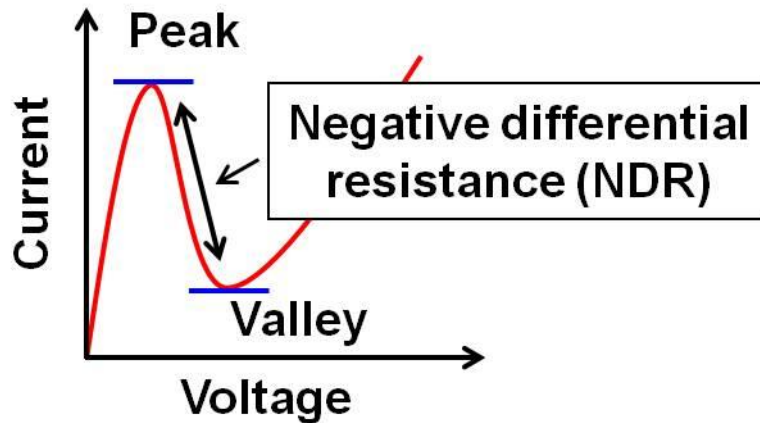


図 1-3 負性抵抗現象.

この特異的な現象を示す負性抵抗素子と通常のトランジスタを図 1-4a のように組み合わせることにより、多値論理回路 (多値インバータ回路) は構築される。図 1-4b に各素子のドレイン電流-入力電圧 ( $I_D$ - $V_{IN}$ ) 特性を示す。青のプロットが通常のトランジスタの  $I_D$ - $V_{IN}$  特性、緑のプロットが負性抵抗素子の  $I_D$ - $V_{IN}$  特性である。出力電圧 ( $V_{OUT}$ ) はこれら 2 つの素子の電流値の差により決まる。 $V_{IN}$  が低い電圧値 (論理値 “0”) である場合、通常のトランジスタよりも負性抵抗素子の電流値が大きいため、電源電圧 ( $V_{DD}$ ) に相当する高い  $V_{OUT}$  (論理値 “1”) が出力される。 $V_{IN}$  が高い電圧値 (論理値 “1”) である場合、負性抵抗素子よりも通常のトランジスタの電流値が大きくなるため、低い  $V_{OUT}$  (論理値 “0”) が出力される。 $V_{IN}$  が中間の電圧値 (論理値 “1/2”) である場合、2 つの素子の電流値がほぼ同程度になるため、 $V_{DD}/2$  に相当する中間の  $V_{OUT}$  (論理値 “1/2”) が出力される (図 1-4c)。このように多値論理動作が実現される (図 1-4d)。

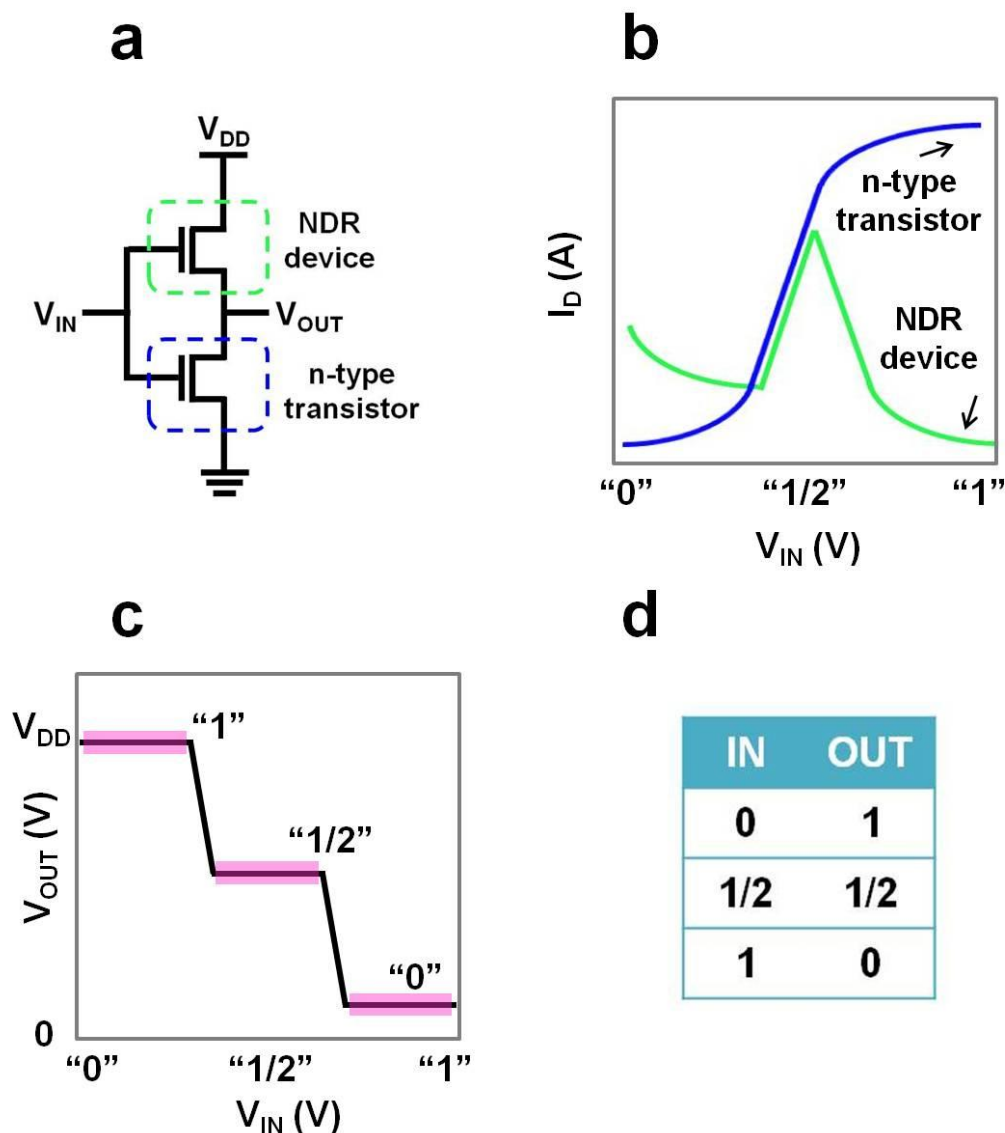


図 1-4 負性抵抗素子による多値論理回路の構築.

これまでに負性抵抗素子としてエサキダイオード<sup>[71-76]</sup>や共鳴トンネルダイオード<sup>[77-83]</sup>が提案されている。まず、エサキダイオードについて説明する。図 1-5 にエサキダイオードの原理を示す。この素子は高濃度にドーパされた pn 接合により構成される。順方向電圧を印加すると、トンネル効果により、n 型半導体側の電子が接合部の空乏層を透過し電流が流れる。電圧を高くしていくと、n 型半導体側の電子のエネルギーが p 型半導体の禁制帯内に入り、電流が減少し負性抵抗が現れる。さらに電圧を高くすると、通常の熱励起電流が流れる。

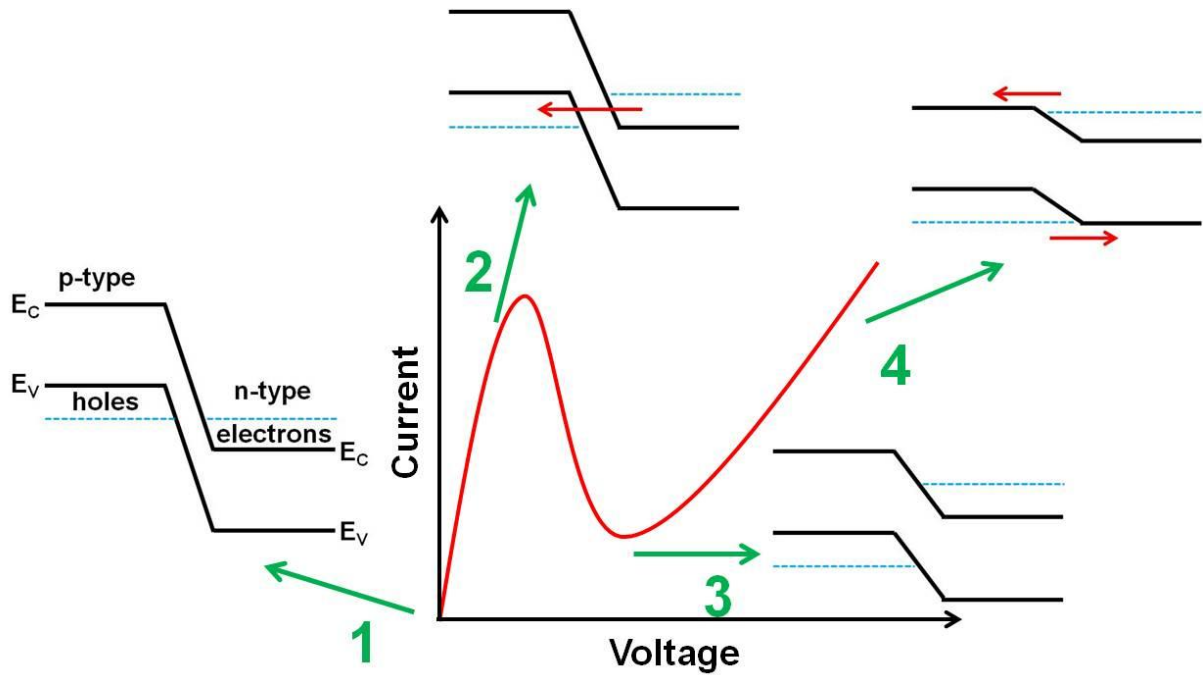


図 1-5 エサキダイオードの原理.

次に、共鳴トンネルダイオードについて説明する。図 1-6 に共鳴トンネルダイオードの原理を示す。この素子は、バンドギャップの大きい半導体からなる厚さ数 nm 程度の障壁層で、バンドギャップの小さい量子井戸層を挟んだ 2 重障壁構造を有する。電圧を印加していくと、量子準位に一致したエネルギーを持つエミッタ側の電子が障壁を透過し、コレクタ側へと共鳴的な電流が流れる。電圧を高くしていくと、エミッタ側の電子のエネルギーが量子準位よりも高くなり、量子準位と一致するエネルギーをもつ電子がエミッタに存在しなくなる。そのため、電流が減少し負性抵抗が現れる。さらに電圧を高くすると、量子井戸中の上の準位を介する電流成分や、熱的に障壁を乗り越える電流成分などにより、電流が再度増加する。

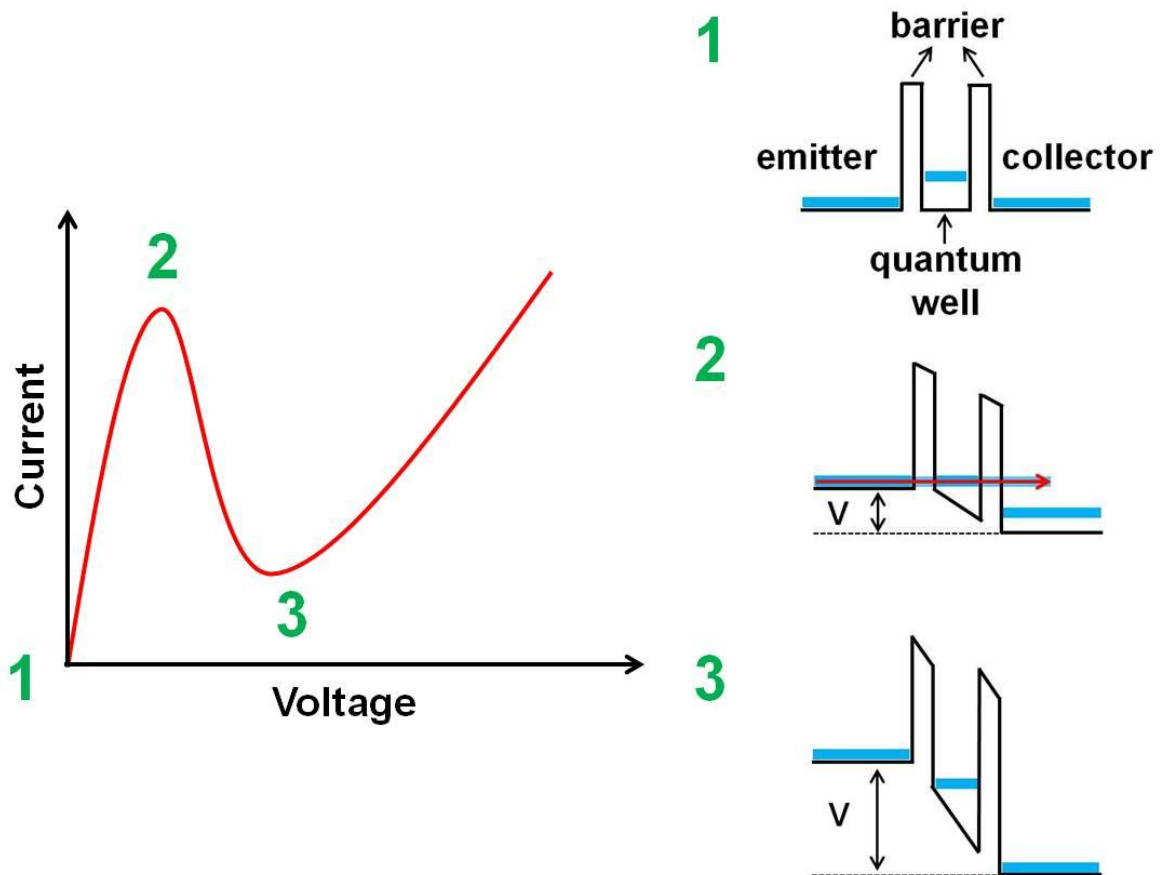


図 1-6 共鳴トンネルダイオードの原理.

これら負性抵抗素子の性能の指標となるのがピーク電流とバレー電流の比、ピーク・バレー比 (peak-to-valley ratio: PVR) である。実用的な回路応用には、室温で  $10^4$  程度の PVR が必要となる<sup>[84,85]</sup>。しかし、III-V 族半導体などを用いた従来の負性抵抗素子では、界面の欠陥や熱拡散電流の影響によりバレー電流が増加し、室温での PVR が劣化してしまう<sup>[86-91]</sup>。例として図 1-7 に Li らが報告した結果を示す<sup>[88]</sup>。そのため、室温では 30 程度の低い PVR しかこれまでに得られていない。この問題により、負性抵抗素子は有機集積回路の情報処理能力を向上させる次世代の素子として大きな可能性を秘めているにもかかわらず、これまで実用化されてこなかった。

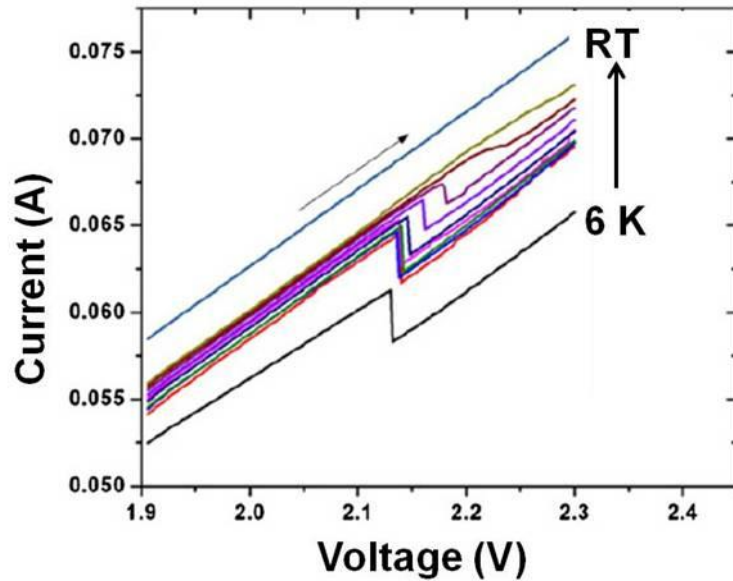


図 1-7 室温動作による PVR の劣化<sup>[88]</sup>.

### 1-5 アンチアンバイポーラトランジスタ

近年、新しい機能性半導体材料として、Mo や W などの遷移金属原子と S などのカルコゲン原子からなる遷移金属ダイカルコゲナイド (transition metal dichalcogenide: TMDC) という層状物質が注目を集めている<sup>[92-99]</sup>。この物質は、図 1-8 に示すように、共有結合やイオン結合のような強い結合で形成された単位層が、ファンデルワールス力によって弱く結合し積層している物質である。この物質の大きな特徴は、単位層表面にダングリングボンドが存在しないため、従来ヘテロ接合を形成しようとする際に大きな問題となっていた格子整合の制約を離れて、異なる材料を自由に組み合わせることで積層できることである<sup>[100-105]</sup>。

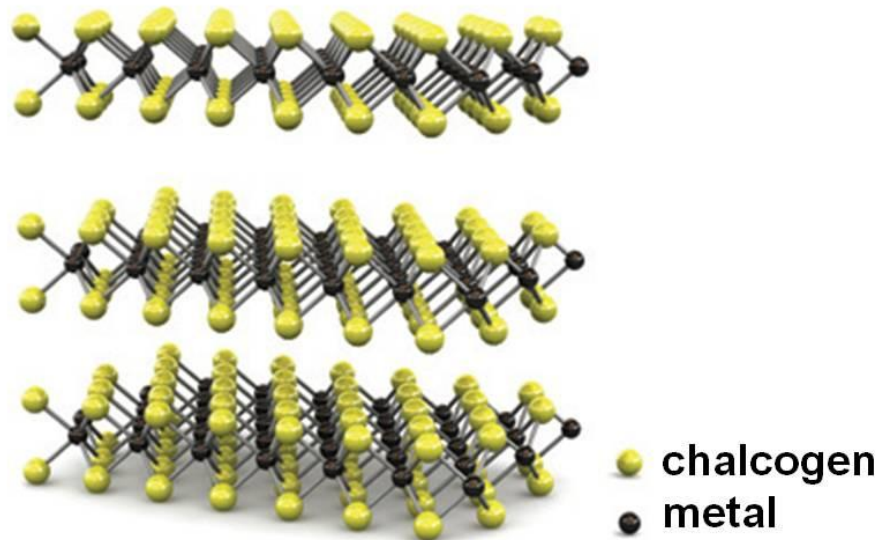


図 1-8 遷移金属ダイカルコゲナイドの構造<sup>[93]</sup>.

この特徴を利用した新しい素子開発が現在盛んに行われており、その中の 1 つにアンチアンバイポーラトランジスタ (anti-ambipolar transistor) がある<sup>[106-110]</sup>。図 1-9 にその構造と素子特性を示す。この素子はボトムゲートトランジスタ構造になっており、下部からゲート電圧 ( $V_G$ ) を印加できるようになっている。また、トランジスタチャネルは p 型と n 型の 2 つの半導体チャネルにより構成されており、チャネル中央に部分的に積層されたヘテロ接合を有する。2 つの半導体チャネルのコンダクタンスは  $V_G$  により変調され、ドレイン電流 ( $I_D$ ) は 2 つの半導体チャネルのコンダクタンスがともに高くなった時のみ流れる。その結果図 1-9b に示すように、特定の  $V_G$  の範囲内で  $I_D$  が増減するという、負性抵抗素子と類似した非線形電流特性を示す。さらに、これまで問題になっていた PVR において  $10^4$  を超える高い値を実現できることから<sup>[106]</sup>、負性抵抗素子としての応用が期待できる。

このアンチアンバイポーラトランジスタを実際の回路に組み込むためには、図 1-9b に示したピーク位置 ( $V_{peak}$ ) やピーク幅 ( $\Delta V = V_{off} - V_{on}$ ) などの素子特性の制御が不可欠となる。これらの素子特性の制御には、電流が流れ始める時のゲート電圧 ( $V_{on}$ ) と電流が流れなくなる時のゲート電圧 ( $V_{off}$ ) が重要な役割を果たす。 $V_{on}$  と  $V_{off}$  は各半導体チャネルのしきい値電圧に依存するパラメータである。そのため、各半導体チャネルのしきい値電圧を調整することにより素子特性の制御が可能となる。

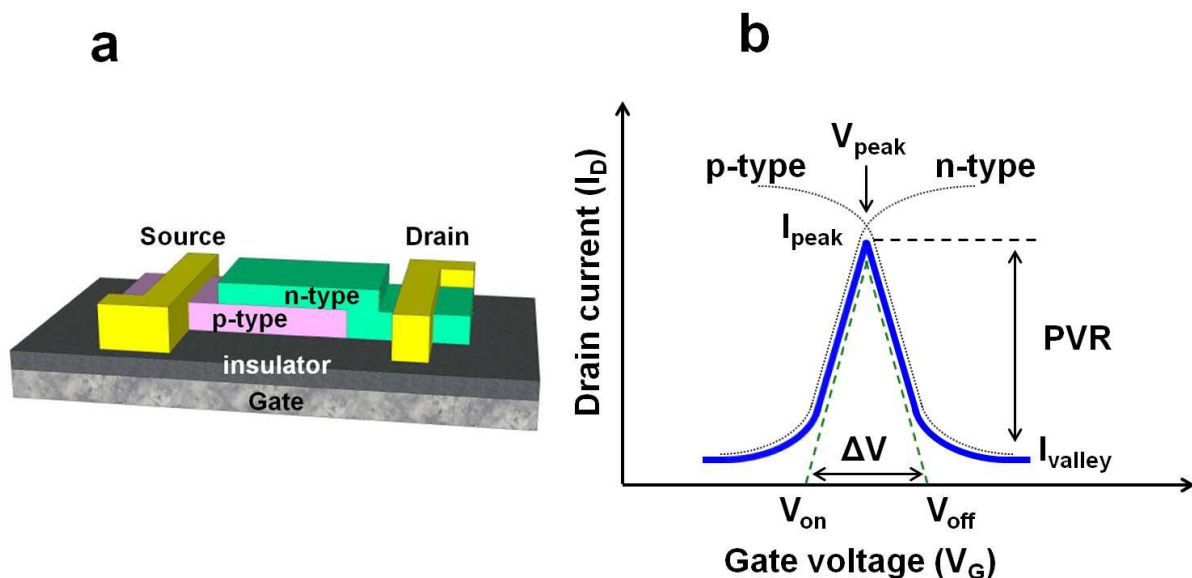


図 1-9 アンチアンバイポーラトランジスタの構造および素子特性.

しかし、TMDC を用いたアンチアンバイポーラトランジスタではこの素子特性の制御に課題がある。図 1-10 に Jariwala らが報告した、TMDC を用いた素子の典型的なドレイン電流-ゲート電圧 ( $I_D$ - $V_G$ ) 特性を示す<sup>[111]</sup>。TMDC はバンドギャップが 1~2 eV と小さく<sup>[112-114]</sup>、室温で高い真性キャリア密度 ( $10^{12} \text{ cm}^{-2}$  以上) を有する<sup>[115-118]</sup>。そのため、 $I_D$  は  $V_G$  を印加せずとも、ドレイン電圧 ( $V_D$ ) のみで流れる。つまり、ノーマリーオン動作となる。

この特徴により、TMDC を用いた素子の  $I_D$ - $V_G$  特性は、各半導体チャネルにおける  $I_D$ - $V_G$  特性の単純な重ね合わせで表わされる。その結果、ほとんどの素子においてピーク幅が 40 V 以上の大きな値に固定されてしまう<sup>[106-109]</sup>。さらに、TMDC では仕事関数の異なる電極を用いてもショットキー障壁の高さが変化しない、フェルミ準位ピンニング現象が生じるため<sup>[119,120]</sup>、しきい値電圧の調整は困難を極める。これらの問題により、TMDC を用いたアンチアンバイポーラトランジスタでは回路応用に不可欠な素子特性の制御が妨げられてしまう。



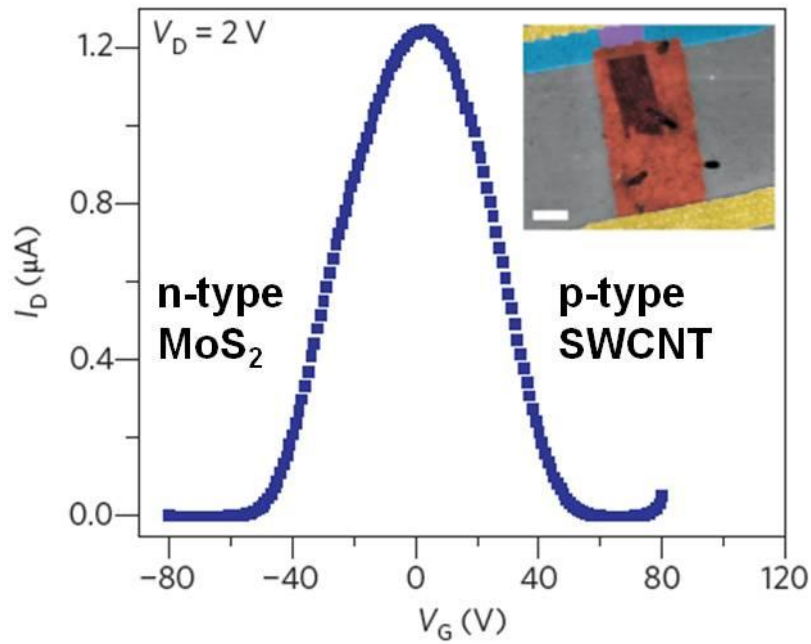


図 1-10 TMDC を用いたアンチアンバイポーラトランジスタ<sup>[111]</sup>.

## 1-6 本研究の目的

1-5 で述べたように、アンチアンバイポーラトランジスタは負性抵抗素子としての応用が期待できるものの、半導体チャネルとして用いる TMDC の特性により、ピーク位置やピーク幅などの素子特性の制御に課題がある。そこで私たちの研究では、これまで用いられてきた TMDC ではなく、有機半導体を適用する。有機半導体は真性半導体であり、かつバンドギャップが 2~3 eV と大きいいため、膜中にキャリアがほとんど存在しない ( $10^{10} \text{ cm}^{-3}$  以下)<sup>[121,122]</sup>。そのため、有機半導体を用いて作製した素子では  $V_D$  を印加するだけでは  $I_D$  は流れない。つまり、ノーマリーオフ動作となる。この特徴により、ピーク幅の低減が期待できる。また、有機半導体は分子設計により、エネルギー準位が制御できるという特徴がある<sup>[123]</sup>。さらに、有機半導体を用いたトランジスタでは、仕事関数が異なる電極や電荷注入層などを用いて、しきい値電圧を制御する方法が確立されている<sup>[124,125]</sup>。これら有機半導体独自の特徴により、素子特性の自在制御が期待できる。以上のことから、本研究では有機半導体を用いた新たな負性抵抗素子を開発し、そのキャリア輸送特性の詳細な解析を行った。

第2章では、負性抵抗素子に用いる有機薄膜の成長条件の最適化について述べる。本研究では真空蒸着法を用いて有機薄膜を形成する。一般に有機デバイスの性能は分子の配向に大きく依存する。真空蒸着法を用いて有機薄膜を形成する場合、分子の配向は真空蒸着時の基板温度に大きく支配される。そこで、基板温度を変えて成長させた有機薄膜を原子間力顕微鏡 (atomic force microscopy: AFM) や X 線回折法 (X-ray diffraction: XRD) などを用いて評価することにより、有機薄膜の成長条件の最適化を行う。

第3章では、第2章で最適化した条件のもと作製した、有機ヘテロ接合を用いた負性抵抗素子について述べる。まず、素子の作製プロセスを説明する。その後、作製した素子のキャリア輸送特性および動作機構について述べる。

第4章では、有機ヘテロ接合を用いた負性抵抗素子におけるキャリア輸送経路について述べる。提案した素子はマスクを用いた真空蒸着により作製するため、積層界面積や有機半導体層の膜厚といった幾何学的形状を容易に変えることができる。そこで、これらの幾何学的形状を変えたときのキャリア輸送特性を評価することにより、キャリア輸送経路を明らかにする。

第5章では、界面制御を利用した素子特性の制御について述べる。有機集積回路の情報処理能力を向上させる技術に多値論理回路があるが、作製した素子を用いてこの回路を実現するには非線形電流特性のピーク位置などを低減し、素子を低電圧で動作させなければならない。作製した素子では各半導体チャネルのしきい値電圧が素子特性の制御に重要な役割を果たす。有機半導体を用いたトランジスタでは、電極/有機半導体界面に電荷注入層を挿入することにより、しきい値電圧を調整できることがこれまでに明らかとなっている。そこで、電荷注入層を用いて各半導体チャネルのしきい値電圧を調整することによりピーク位置の低減を行う。また、静電容量が高く半導体/絶縁膜界面に多数のキャリアを蓄積できる高誘電率  $\text{Al}_2\text{O}_3$  絶縁膜を用いることにより、さらなるピーク位置の低減を試みる。

第6章では、本研究成果から得られた知見をまとめ、総括とする。

## 第 1 章参考文献

- [1] 奥山幸佑, *SEAJ Journal* **2008**, 115, 38.
- [2] 奥山幸佑, *SEAJ Journal* **2009**, 119, 12.
- [3] 相良岩男, *NIKKEI ELECTRONICS* **1997**, 695, 139.
- [4] 八瀬清志, *応用物理* **2000**, 69, 918.
- [5] 菊地誠, *半導体シニア協会ニュースレター* **2006**, 45, 12.
- [6] 水谷孝, 前澤宏一, 中里和郎, 江川孝志, *電子デバイス*, オーム社, **2007**.
- [7] 吉本雅彦, 藤野毅, 松岡俊匡, 廣瀬哲也, 川口博, 小林和淑, *集積回路工学*, オーム社, **2013**.
- [8] 奥山幸佑, *SEAJ Journal* **2010**, 124, 39.
- [9] M. M. Waldrop, *Nature* **2016**, 530, 144.
- [10] 法元寛, *沖テクニカルレビュー* **2004**, 71, 6.
- [11] D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Y. Taur, H.-S. P. Wong, *Proc. IEEE* **2001**, 89, 259.
- [12] D. J. Frank, *IBM J. Res. Dev.* **2002**, 46, 235.
- [13] Y.-C. Yeo, T.-J. King, C. Hu, *IEEE Trans. Electron Devices* **2003**, 50, 1027.
- [14] M. Koh, W. Mizubayashi, K. Iwamoto, H. Murakami, T. Ono, M. Tsuno, T. Mihara, K. Shibahara, S. Miyazaki, M. Hirose, *IEEE Trans. Electron Devices* **2001**, 48, 259.
- [15] S. Narendra, V. De, S. Borkar, D. A. Antoniadis, A. P. Chandrakasan, *IEEE J. Solid-State Circuits* **2004**, 39, 501.
- [16] A. O. Adan, K. Higashi, *IEEE Trans. Electron Devices* **2001**, 48, 2050.
- [17] N. S. Kim, T. Austin, D. Baauw, T. Mudge, K. Flautner, J. S. Hu, M. J. Irwin, M. Kandemir, V. Narayanan, *Computer* **2003**, 36, 68.
- [18] 松下大介, 村岡浩一, 加藤弘一, *東芝レビュー* **2005**, 60, 44.
- [19] 川本佳史, 木村勝高, 中里純, 長尾眞樹, *日立評論* **1990**, 81, 34.

- [20] 角南英夫, *高分子* **2006**, 55, 69.
- [21] 黒田忠弘, *Panasonic Technical Journal* **2009**, 55, 4.
- [22] A. D. Franklin, Z. Chen, *Nat. Nanotechnol.* **2010**, 5, 858.
- [23] S. Rosenblatt, Y. Yaish, J. Park, J. Gore, V. Sazonova, P. L. McEuen, *Nano Lett.* **2002**, 2, 869.
- [24] C. Qiu, Z. Zhang, M. Xiao, Y. Yang, D. Zhong, L.-M. Peng, *Science* **2017**, 355, 271.
- [25] M. Steiner, M. Engel, Y.-M. Lin, Y. Wu, K. Jenkins, D. B. Farmer, J. J. Humes, N. L. Yoder, J.-W. T. Seo, A. A. Green, M. C. Hersam, R. Krupke, P. Avouris, *Appl. Phys. Lett.* **2012**, 101, 053123.
- [26] Y. C. Che, H. T. Chen, H. Gui, J. Liu, B. L. Liu, C. W. Zhou, *Semicond. Sci. Technol.* **2014**, 29, 073001.
- [27] F. Schwierz, *Nat. Nanotechnol.* **2010**, 5, 487.
- [28] T. Palacios, *Nat. Nanotechnol.* **2011**, 6, 464.
- [29] R. Sordan, F. Traversi, V. Russo, *Appl. Phys. Lett.* **2009**, 94, 073305.
- [30] J. Zheng, L. Wang, R. Quhe, Q. Liu, H. Li, D. Yu, W.-N. Mei, J. Shi, Z. Gao, J. Lu, *Sci. Rep.* **2013**, 3, 1314.
- [31] S. Kim, J. Nah, I. So, D. Shahrjerdi, L. Colombo, Z. Yao, E. Tutuc, S. K. Banerjee, *Appl. Phys. Lett.* **2009**, 94, 062107.
- [32] L. Banszerus, M. Schmitz, S. Engels, J. Dauber, M. Oellers, F. Haupt, K. Watanabe, T. Taniguchi, B. Beschoten, C. Stampfer, *Sci. Adv.* **2015**, 1, e1500222.
- [33] J. P. Colinge, C. W. Lee, A. Afzalian, N. Dehdashti Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A. M. Kelleher, B. McCarthy, R. Murphy, *Nat. Nanotechnol.* **2010**, 5, 225.
- [34] Y. Cui, Z. Zhong, D. Wang, W. Wang, C. M. Lieber, *Nano Lett.* **2003**, 3, 149.
- [35] Ö. Gül, D. J. van Woerkom, I. van Weperen, D. Car, S. R. Plissard, E. P. A. M. Bakkers, L. P. Kouwenhoven, *Nanotechnology* **2015**, 26, 215202.
- [36] T. Bryllert, L.-E. Wernersson, L. E. Fröberg, L. Samuelson, *IEEE Electron Device Lett.* **2006**, 27, 323.

- [37] A. Konar, J. Mathew, K. Nayak, M. Bajaj, R. K. Pandey, S. Dhara, K. V. R. M. Murali, M. M. Deshmukh, *Nano Lett.* **2015**, 15, 1684.
- [38] C. Zhang, X. Li, *IEEE Transactions on Electron Devices* **2016**, 63, 223.
- [39] U. E. Avci, D. H. Morris, Y. A. Young, *IEEE J. Electron Devices Soc.* **2015**, 3, 88.
- [40] L. Britnell, R. V. Gorbachev, R. Jalil, B. D. Belle, F. Schedin, A. Mishchenko, T. Georgiou, M. I. Katsnelson, L. Eaves, S. V. Morozov, N. M. R. Peres, J. Leist, A. K. Geim, K. S. Novoselov, L. A. Ponomarenko, *Science* **2012**, 335, 947.
- [41] D. Sarkar, X. Xie, W. Liu, W. Cao, J. Kang, Y. Gong, S. Kraemer, P. M. Ajayan, K. Banerjee, *Nature* **2015**, 526, 91.
- [42] A. C. Seabaugh, Q. Zhang, *Proc. IEEE* **2010**, 98, 2095.
- [43] A. Alian, Y. Mols, C. C. M. Bordallo, D. Verreck, A. Verhulst, A. Vandooren, R. Rooyackers, P. G. D. Agopian, J. A. Martino, A. Thean, D. Lin, D. Mocuta, N. Collaert, *Appl. Phys. Lett.* **2016**, 109, 243502.
- [44] J. Appenzeller, Y. M. Lin, J. Knoch, P. Avouris, *Phys. Rev. Lett.* **2004**, 93, 196805.
- [45] K.-H. Kao, A. S. Verhulst, W. G. Vandenberghe, B. Sorée, G. Groeseneken, K. De Meyer, *IEEE Trans. Electron Devices* **2012**, 59, 292.
- [46] Q. Zhang, A. C. Seabaugh, *IEEE Electron Device Lett.* **2006**, 27, 297.
- [47] B. Ganjipour, J. Wallentin, M. T. Borgström, L. Samuelson, C. Thelander, *ACS Nano* **2012**, 6, 3109.
- [48] S. Kubatkin, A. Danilov, M. Hjort, J. Cornil, J.-L. Brédas, N. Stuhr-Hansen, P. Hedegård, T. Bjørnholm, *Nature* **2003**, 425, 698.
- [49] T. Ihn, J. Güttinger, F. Molitor, S. Schnez, E. Schurtenberger, A. Jacobsen, S. Hellmüller, T. Frey, S. Dröscher, C. Stampfer, K. Ensslin, *Mater. Today* **2010**, 13, 44.
- [50] M. A. Kastner, *Rev. Mod. Phys.* **1992**, 64, 849.
- [51] Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwadate, Y. Nakajima, S. Horiguchi, K. Murase, M. Tabe, *Electron. Lett.* **1995**, 31, 136.

- [52] Y. A. Pashkin, Y. Nakamura, J. S. Tsai, *Appl. Phys. Lett.* **2000**, 76, 2256.
- [53] S. Lee, Y. Lee, E. B. Song, T. Hiramoto, *Nano Lett.* **2014**, 14, 71.
- [54] N. Okabayashi, K. Maeda, T. Muraki, D. Tanaka, M. Sakamoto, T. Teranishi, Y. Majima, *Appl. Phys. Lett.* **2012**, 100, 033101.
- [55] K. I. Bolotin, F. Kuemmeth, A. N. Pasupathy, D. C. Ralph, *Appl. Phys. Lett.* **2004**, 84, 3154.
- [56] Y. Noguchi, T. Sekitani, T. Someya, *Appl. Phys. Lett.* **2006**, 89, 253507.
- [57] H.-Y. Tseng, V. Subramanian, *Org. Electron.* **2011**, 12, 249.
- [58] D. Kim, S. H. Lee, S. Jeong, J. Moon, *Electrochem.Solid-State Lett.* **2009**, 12, H195.
- [59] J. Kwon, Y. Takeda, K. Fukuda, K. Cho, S. Tokito, S. Jung, *ACS Nano* **2016**, 10, 10324.
- [60] A. Teichler, J. Perelaer, U. S. Schubert, *J. Mater. Chem.* **2013**, 1, 1910.
- [61] P. A. Ersman, D. Nilsson, J. Kawahara, G. Gustafsson, M. Berggren, *Org. Electron.* **2013**, 14, 1276.
- [62] K. Fukuda, Y. Takeda, Y. Yoshimura, R. Shiwaku, L. T. Tran, T. Sekine, M. Mizukami, D. Kumaki, S. Tokito, *Nat. Commun.* **2014**, 5, 4147.
- [63] H. Sirringhaus, *Adv. Mater.* **2005**, 17, 2411.
- [64] T. D. Anthopoulos, D. M. de Leeuw, E. Cantatore, P. van't Hof, J. Alma, J. C. Hummelen, *J. Appl. Phys.* **2005**, 98, 054503.
- [65] K. Fukuda, Y. Takeda, M. Mizukami, D. Kumaki, S. Tokito, *Sci. Rep.* **2014**, 4, 3947.
- [66] A. Pierre, M. Sadeghi, M. M. Payne, A. Facchetti, J. E. Anthony, A. C. Arias, *Adv. Mater.* **2014**, 26, 5722.
- [67] J. Shim, S. Oh, D.-H. Kang, S.-H. Jo, M. H. Ali, W.-Y. Choi, K. Heo, J. Jeon, S. Lee, M. Kim, Y. J. Song, J.-H. Park, *Nat. Commun.* **2016**, 7, 13413.
- [68] A. Nourbakhsh, A. Zubair, M. S. Dresselhaus, T. Palacios, *Nano Lett.* **2016**, 16, 1359.
- [69] J. Shim, S.-H. Jo, M. Kim, Y. J. Song, J. Kim, J.-H. Park, *ACS Nano* **2017**, 11, 6319.
- [70] L. Esaki, *Phys. Rev.* **1958**, 109, 603.
- [71] A. W. Dey, J. Svensson, M. Ek, E. Lind, C. Thelander, L.-E. Wernersson, *Nano Lett.* **2013**, 13,

5919.

- [72] B. Ganjipour, A. W. Dey, B. M. Borg, M. Ek, M.-E. Pistol, K. A. Dick, L.-E. Wernersson, C. Thelander, *Nano Lett.* **2011**, 11, 4222.
- [73] H. Schmid, C. Bessire, M. T. Björk, A. Schenk, H. Riel, *Nano Lett.* **2012**, 12, 699.
- [74] W. Y. Fung, L. Chen, W. Lu, *Appl. Phys. Lett.* **2011**, 99, 092108.
- [75] R. Yan, S. Fathipour, Y. Han, B. Song, S. Xiao, M. Li, N. Ma, V. Protasenko, D. A. Muller, D. Jena, *Nano Lett.* **2015**, 15, 5791.
- [76] T. Roy, M. Tosun, X. Cao, H. Fang, D. H. Lien, P. D. Zhao, Y. Z. Chen, Y. L. Chueh, J. Guo, A. Javey, *ACS Nano* **2015**, 9, 2071.
- [77] S. D. Carnevale, C. Marginean, P. J. Phillips, T. F. Kent, A. T. M. G. Sarwar, M. J. Mills, R. C. Myers, *Appl. Phys. Lett.* **2012**, 100, 142115.
- [78] D. Li, C. Tang, C. Edmunds, J. Shao, G. Gardner, M. J. Manfra, O. Malis, *Appl. Phys. Lett.* **2012**, 100, 252105.
- [79] P. See, D. J. Paul, B. Hollander, S. Mantl, I. V. Zozoulenko, K. F. Berggren, *IEEE Electron Device Lett.* **2001**, 22, 182.
- [80] L. Britnell, R. V. Gorbachev, A. K. Geim, L. A. Ponomarenko, A. Mishchenko, M. T. Greenaway, T. M. Fromhold, K. S. Novoselov, L. Eaves, *Nat. Commun.* **2013**, 4, 1794.
- [81] P. M. Campbell, A. Tarasov, C. A. Joiner, W. J. Ready, E. M. Vogel, *ACS Nano* **2015**, 9, 5000.
- [82] Y. C. Lin, R. K. Ghosh, R. Addou, N. Lu, S. M. Eichfeld, H. Zhu, M. Y. Li, X. Peng, M. J. Kim, L. J. Li, R. M. Wallace, S. Datta, J. A. Robinson, *Nat. Commun.* **2015**, 6, 7311.
- [83] S. Sakr, E. Warde, M. Tchernycheva, F. H. Julien, *J. Appl. Phys.* **2011**, 109, 023717.
- [84] International Technology Roadmap for Semiconductors, <http://www.itrs2.net/itrs-reports.html>.
- [85] T.-J. King, *U.S. Patent 7 012 842*, **2006**.
- [86] M. Boucherit, A. Soltani, E. Monroy, M. Rousseau, D. Deresmes, M. Berthe, C. Durand, J.-C. De Jaeger, *Appl. Phys. Lett.* **2011**, 99, 182109.
- [87] S. Sakr, E. Warde, M. Tchernycheva, L. Rigutti, N. Isac, F. H. Julien, *Appl. Phys. Lett.* **2011**, 99,

142103.

- [88] D. Li, J. Shao, L. Tang, C. Edmunds, G. Gardner, M. J. Manfra, O. Malis, *Semicond. Sci. Technol.* **2013**, 28, 074024.
- [89] H. Heo, J. H. Sung, S. Cha, B.-G. Jang, J.-Y. Kim, G. Jin, D. Lee, J.-H. Ahn, M.-J. Lee, J. H. Shim, H. Choi, M.-H. Jo, *Nat. Commun.* **2015**, 6, 7372.
- [90] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed., Wiley, New York, **1981**.
- [91] T. P. E. Broekaert, W. Lee, C. G. Fonstad, *Appl. Phys. Lett.* **1988**, 53, 1545.
- [92] D. Jariwala, V. K. Sangwan, L. J. Lauhon, T. J. Marks, M. C. Hersam, *ACS Nano* **2014**, 8, 1102.
- [93] Q. H. Wang, K. K. Zadeh, A. Kis, J. N. Coleman, M. S. Strano, *Nat. Nanotechnol.* **2012**, 7, 699.
- [94] T. Roy, M. Tosun, J. S. Kang, A. B. Sachid, S. B. Desai, M. Hettick, C. C. Hu, A. Javey, *ACS Nano* **2014**, 8, 6259.
- [95] C. R. Ryder, J. D. Wood, S. A. Wells, M. C. Hersam, *ACS Nano* **2016**, 10, 3900.
- [96] K. S. Novoselov, A. Mishchenko, A. Carvalho, A. H. Castro Neto, *Science* **2016**, 353, aac9439.
- [97] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, A. Kis, *Nat. Nanotechnol.* **2011**, 6, 147.
- [98] S. B. Desai, S. R. Madhvapathy, A. B. Sachid, J. P. Llinas, Q. Wang, G. H. Ahn, G. Pitner, M. J. Kim, J. Bokor, C. Hu, H.-S. P. Wong, A. Javey, *Science* **2016**, 354, 99.
- [99] Y. Yoon, K. Ganapathi, S. Salahuddin, *Nano Lett.* **2011**, 11, 3768.
- [100] C.-H. Lee, G.-H. Lee, A. M. van der Zande, W. Chen, Y. Li, M. Han, X. Cui, G. Arefe, C. Nuckolls, T. F. Heinz, J. Guo, J. Hone, P. Kim, *Nat. Nanotechnol.* **2014**, 9, 676.
- [101] Y. Deng, Z. Luo, N. J. Conrad, H. Liu, Y. Gong, S. Najmaei, P. M. Ajayan, J. Lou, X. Xu, P. D. Ye, *ACS Nano* **2014**, 8, 8292.
- [102] R. Cheng, D. H. Li, H. L. Zhou, C. Wang, A. X. Yin, S. Jiang, Y. Liu, Y. Chen, Y. Huang, X. F. Duan, *Nano Lett.* **2014**, 14, 5590.
- [103] P. J. Jeon, S.-W. Min, J. S. Kim, S. R. A. Raza, K. Choi, H. S. Lee, Y. T. Lee, D. K. Hwang, H. J. Choi, S. Im, *J. Mater. Chem. C* **2015**, 3, 2751.
- [104] X. Wang, L. Huang, Y. Peng, N. Huo, K. Wu, C. Xia, Z. Wei, S. Tongay, J. Li, *Nano Res.* **2016**, 9,



507.

[105] F. Wang, Z. Wang, K. Xu, F. Wang, Q. Wang, Y. Huang, L. Yin, J. He, *Nano Lett.* **2015**, 15, 7558.

[106] D. Jariwala, V. K. Sangwan, C. C. Wu, P. L. Prabhumirashi, M. L. Geier, T. J. Marks, L. J. Lauhon, M. C. Hersam, *Proc. Natl. Acad. Sci. USA* **2013**, 110, 18076.

[107] D. Jariwala, S. L. Howell, K.-S. Chen, J. Kang, V. K. Sangwan, S. A. Filippone, R. Turrisi, T. J. Marks, L. J. Lauhon, M. C. Hersam, *Nano Lett.* **2016**, 16, 497.

[108] Z. Wang, X. He, X. X. Zhang, H. N. Alshareef, *Adv. Mater.* **2016**, 28, 9133.

[109] J. Dong, F. Liu, F. Wang, J. Wang, M. Li, Y. Wen, L. Wang, G. Wang, J. He, C. Jiang, *Nanoscale* **2017**, 9, 7519.

[110] Y. Li, Y. Wang, L. Huang, X. Wang, X. Li, H. X. Deng, Z. Wei, J. Li, *ACS Appl. Mater. Interfaces* **2016**, 8, 15574.

[111] D. Jariwala, T. J. Marks, M. C. Hersam, *Nat. Mater.* **2017**, 16, 170.

[112] B. Chamlagain, Q. Li, N. J. Ghimire, H.-J. Chuang, M. M. Perera, H. Tu, Y. Xu, M. Pan, D. Xiaio, J. Yan, D. Mandrus, Z. Zhou, *ACS Nano* **2014**, 8, 5079.

[113] X. Ma, X. Zhao, T. Wang, *RSC Adv.* **2016**, 6, 69758.

[114] X. Duan, C. Wang, A. Pan, R. Yu, X. Duan, *Chem. Soc. Rev.* **2015**, 44, 8859.

[115] B. Fallahazad, H. C. P. Movva, K. Kim, S. Larentis, T. Taniguchi, K. Watanabe, S. K. Banerjee, E. Tutuc, *Phys. Rev. Lett.* **2016**, 116, 086601.

[116] B. W. H. Baugher, H. O. H. Churchill, Y. Yang, P. Jarillo-herrero, *Nano Lett.* **2013**, 13, 4212.

[117] N. R. Pradhan, D. Rhodes, S. Feng, Y. Xin, S. Memaran, B.-H. Moon, H. Terrones, M. Terrones, L. Balicas, *ACS Nano* **2014**, 8, 5911.

[118] K. Kang, S. Xie, L. Huang, Y. Han, P. Y. Huang, K. F. Mak, C. J. Kim, D. Muller, J. Park, *Nature* **2015**, 520, 656.

[119] C. Kim, I. Moon, D. Lee, M. S. Choi, F. Ahmed, S. Nam, Y. Cho, H.-J. Shin, S. Park, W. J. Yoo, *ACS Nano*, **2017**, 11, 1588.

- [120] D. Liu, Y. Guo, L. Fang, J. Robertson, *Appl. Phys. Lett.* **2013**, 103, 183113.
- [121] I. Bergenti, V. Dediu, M. Prezioso, A. Riminucci, *Philos. Trans. R. Soc., A* **2011**, 369, 3054.
- [122] W. Brütting, *Physics of Organic Semiconductors*, Wiley-VCH, Weinheim, Germany **2005**.
- [123] 齊藤三長, 大岡青日, 細矢雅弘, *東芝レビュー* **2012**, 67, 30.
- [124] C. Liu, Y. Xu, Y.-Y. Noh, *Mater. Today* **2014**, 18, 79.
- [125] S.-W. Rhee, D.-J. Yun, *J. Mater. Chem.* **2008**, 18, 5437.

## 第 2 章 有機積層膜の作製および構造・電子状態解析

### 2-1 はじめに

有機薄膜を形成する手法には、大きく分けて真空蒸着法などのドライプロセスとスピコート法などのウェットプロセスがある。ドライプロセスとは、真空中で有機材料を気体状態にして、基板表面に付着させ成膜する方法である。一方、ウェットプロセスとは、溶媒に溶ける有機材料（高分子材料など）を利用して溶液状態で成膜する方法である。ドライプロセスはウェットプロセスと比べて、分子の配向を制御しやすい、異なる有機材料の積層膜を形成しやすい、マスクを用いて有機薄膜をパターンニングすることができるという特徴がある。このような利点から、本研究では有機薄膜を形成する手法としてドライプロセスである真空蒸着法を用いた。

一般に有機デバイスの性能は分子の配向に大きく依存する。真空蒸着法を用いて有機薄膜を形成する場合、分子の配向は真空蒸着時の基板温度に大きく支配される。そこで本章では、負性抵抗素子を作製する前段階として、基板温度を変えて成長させた有機薄膜を AFM や XRD などを用いて評価することにより、有機薄膜の成長条件の最適化を行う。

### 2-2 有機半導体材料

Si に代表される無機半導体ではドーピングする不純物の種類によって p 型あるいは n 型の伝導タイプが決まる。一方、有機半導体は最高占有軌道 (highest occupied molecular orbital: HOMO) と最低非占有軌道 (lowest unoccupied molecular orbital: LUMO) の間に不純物準位が存在しない真性半導体であるため、電極から注入されるキャリアによって伝導タイプが決まる。つまり、電極の仕事関数と有機半導体の HOMO-LUMO 準位の相対関係により伝導タイプが決まる<sup>[1-3]</sup>。例えば、電極の仕事関数が有機半導体の HOMO に近ければホールが注入され p 型半導体として機能し、LUMO に近ければ電子が注入され n 型半導体として機能する (図 2-1)。

そのため、伝導タイプを制御するためには、電極の仕事関数と有機半導体の HOMO-LUMO 準位を考慮して用いる材料を選択することが重要となる。

また、有機デバイスの性能は分子の配向に強く依存する。そのため、分子形状に異方性を有し、配向が制御しやすい有機半導体材料を選択することも重要となる<sup>[4,5]</sup>。

本研究で提案する素子では p 型半導体と n 型半導体を必要とする。今回は大気中で安定な Au を電極として用いる。そこで、p 型半導体には棒状の分子形状を有し Au 電極からホールを注入しやすい  $\alpha$ -sexithiophene ( $\alpha$ -6T) を<sup>[6]</sup>、一方で n 型半導体には同じく棒状の分子形状を有し Au 電極から電子を注入しやすい N,N'-dioctyl-3,4,9,10-perylenedicarboximide (PTCDI-C8) を選択した<sup>[7]</sup>。それぞれの分子構造を図 2-2 に示す。

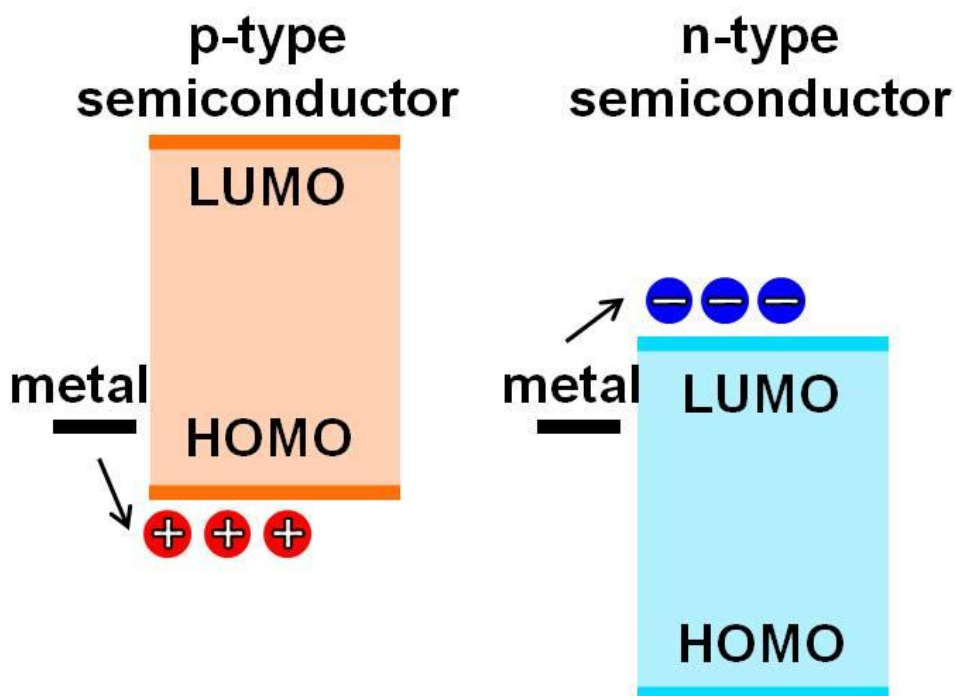


図 2-1 電極から有機半導体へのキャリア注入。

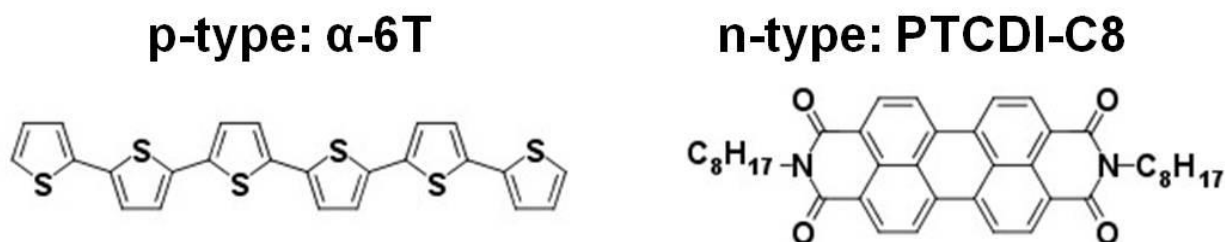


図 2-2 本研究で用いた有機分子.

### 2-3 真空蒸着法による有機薄膜の成長

有機薄膜の成長には真空蒸着法を用いた。真空蒸着とは、真空中で蒸着材料を加熱して蒸発させ、基板表面に付着させることにより薄膜を形成する方法である。図 2-3 に今回使用した真空蒸着装置の概略図を示す。抵抗加熱方式の蒸発源を用いており、有機半導体材料を入れたグラファイト製のるつぼをヒーターで加熱することにより材料を蒸発させる。抵抗加熱方式では、ヒーターに流す電流 (るつぼの温度) により蒸着レートを制御することが可能となる。蒸着レートは、基板近くに設置した水晶振動子式膜厚計を用いて観測される。また、基板背面 (上面) に設けたヒーターにより、基板を加熱しながら蒸着することが可能である。

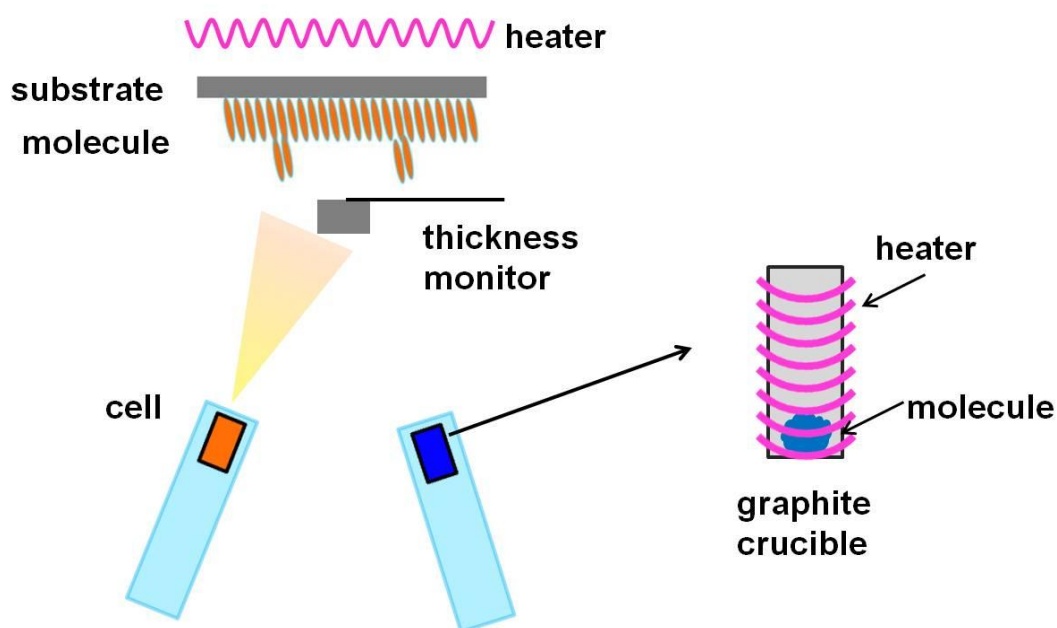


図 2-3 真空蒸着装置の概略図.

一般に有機デバイスの性能は分子の配向に大きく依存する。分子の長軸が基板に対して垂直なエッジオン配向では基板平行方向にキャリアは流れやすく、トランジスタに有利となり、一方、基板に対して平行なフェイスオン配向では基板垂直方向にキャリアは流れやすく、太陽電池に有利となる (図 2-4)。本研究で提案する素子では、通常のトランジスタと同じようにキャリアが基板平行方向に流れることを想定しているため、エッジオン配向した有機薄膜を形成する必要がある。

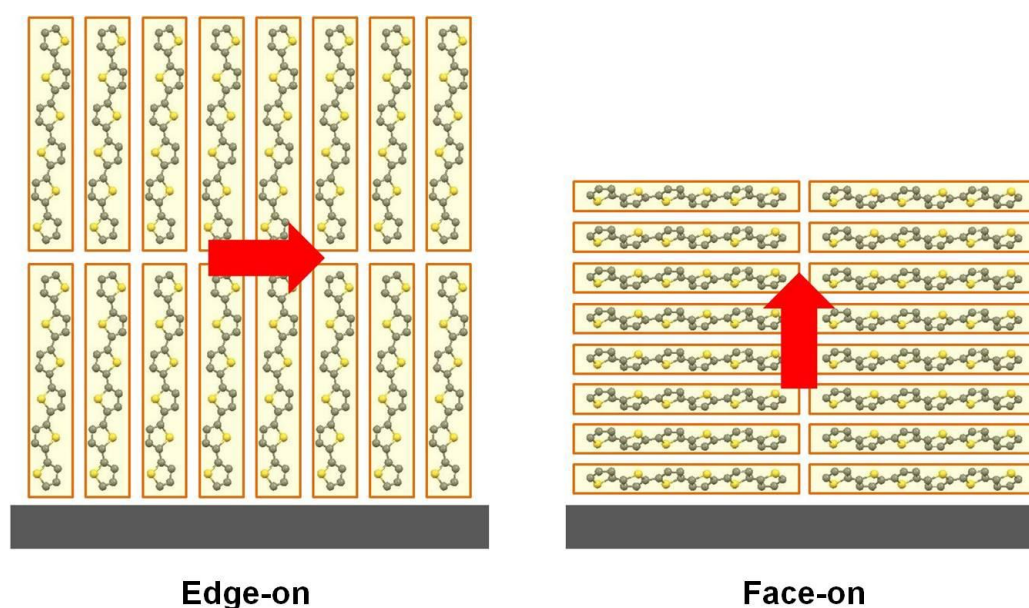


図 2-4 有機分子の配向.

また、配向だけでなく薄膜の結晶性もデバイス特性に大きく影響する。結晶性が低いアモルファスや多結晶薄膜の場合、ランダムな配向や結晶粒界によるキャリアトラップにより、キャリア移動度が劣化する<sup>[8]</sup>。そのため、優れたキャリア輸送特性を実現するためには、分子が規則正しく整列した高い結晶性が求められる。

さらに、提案する素子では有機ヘテロ接合を用いることから、ヘテロ接合界面での分子配列の乱れは、キャリアトラップの要因になるだけでなく<sup>[9,10]</sup>、有機薄膜のエネルギー準位をシフトさせる恐れがある<sup>[11]</sup>。このことから、1 層目には平坦な表面を有する有機薄膜を成長させ、高品質なヘテロ接合界面を形成することも大切となる。

真空蒸着法で有機薄膜を成長させる場合、薄膜の配向性や結晶性は基板温度や成長速度などの成長条件に大きく支配される。そこで、エッジオン配向かつ結晶性が高い有機薄膜を得るために成長条件の最適化を行った。

## 2-4 有機積層膜の構造評価

### 2-4-1 原子間力顕微鏡による表面モルフォロジーの評価

薄膜の配向性や結晶性は基板温度や成長速度などの成長条件に依存する<sup>[12-14]</sup>。棒状分子の場合、配向に関しては、基板温度が低く蒸着速度が速いほどフェイスオン配向が得られやすく、基板温度が高く蒸着速度が遅いほどエッジオン配向が得られやすい。一方、結晶性に関しては、基板温度が低く蒸着速度が速いほどアモルファスになりやすく、基板温度が高く蒸着速度が遅いほど結晶性が高くなり結晶粒も大きくなりやすい。そこで、1 時間に 1 分子層という非常に遅い蒸着速度のもと、基板温度を変えて試料を作製し、その試料の表面モルフォロジーを AFM により評価することにより、成長条件の最適化を行った。本研究における測定では、SII ナノテクノロジー社製の SPI-4000 を用いた。

まず、SiO<sub>2</sub>/Si 基板表面を 10 nm の polymethyl methacrylate (PMMA) 薄膜でコーティングした。これは後に行うトランジスタ測定の際に、SiO<sub>2</sub> 表面に存在する OH 基によりキャリアがトラップされることを防ぐためである。10 nm の PMMA 薄膜は、1 wt% の PMMA 溶液 (重量平均分子量が 350000 である PMMA 粉末をトルエンに溶かすことにより作製) を、6000 rpm、60 秒という条件でスピコートし、その後 120 °C のオーブンで 1 時間ベークすることにより形成した。図 2-5 に形成した PMMA 薄膜の AFM 像を示す。表面ラフネスが RMS = 0.26 nm の非常に平坦な膜が形成されている。

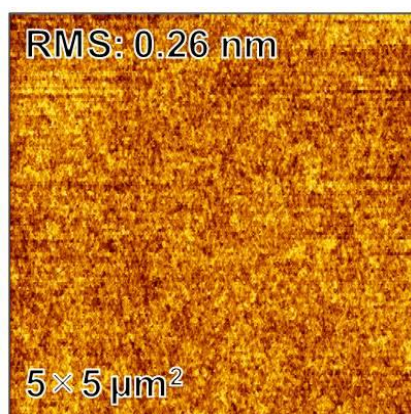


図 2-5 PMMA 薄膜の AFM 像.

次に、 $\alpha$ -6T の成長条件を最適化するために、形成した PMMA 薄膜上に基板温度を変えながら 1 分子層の  $\alpha$ -6T を成長させた。それらの AFM 像を図 2-6 に示す。基板温度が 50 °C の場合、 $\alpha$ -6T 分子が部分的に 3 次元成長した、表面の粗い薄膜が形成された。一方、基板温度が 60 °C になると、 $\alpha$ -6T 分子が 2 次元成長した、分子層レベルで平坦な高結晶性薄膜が形成された。これは基板温度を上昇させることにより、表面拡散が促進され、分子がより安定した吸着位置に移動できるようになったからだと考えられる。基板温度が 70 °C 以上になると、再び表面の粗い薄膜が形成された。これは基板温度の上昇に伴い、吸着した分子の再蒸発が顕著になったことが原因だと考えられる。以上の結果から、基板温度 60 °C を  $\alpha$ -6T の最適成長条件とした。



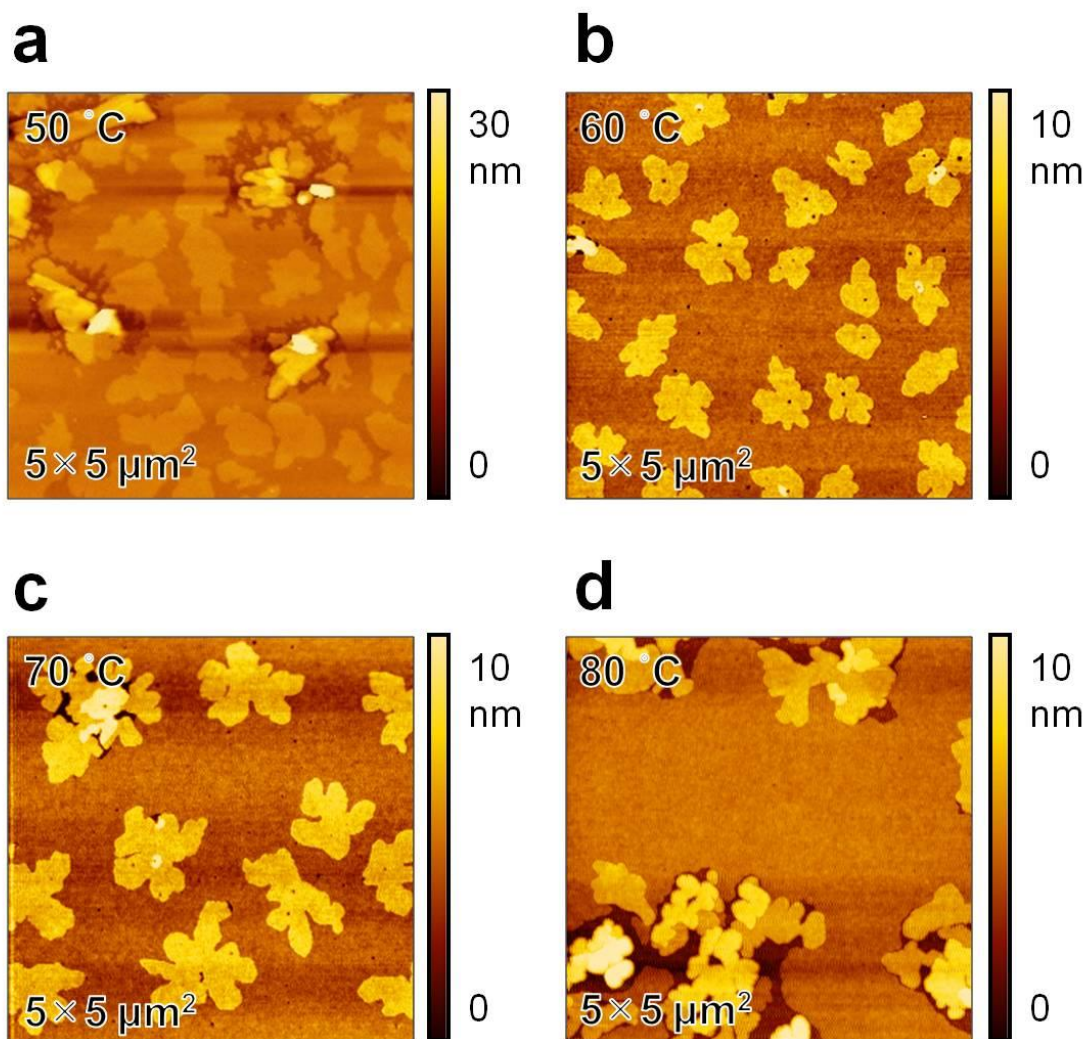


図 2-6  $\alpha$ -6T 薄膜の AFM 像.

図 2-7 に最適成長条件のもと成長させた  $\alpha$ -6T 薄膜のラインプロファイルを示す。計測された分子ステップの高さは約 2.5 nm であった。 $\alpha$ -6T の長軸の長さが 2.5 nm であることから<sup>[15]</sup>、 $\alpha$ -6T は基板に対してほぼ垂直に立っていると考えられる。

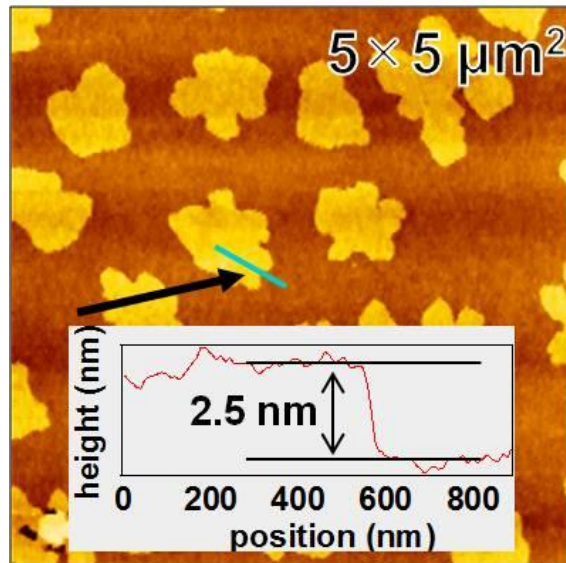


図 2-7  $\alpha$ -6T 薄膜のラインプロファイル.

提案する素子では有機分子のヘテロ接合を用いる。そこで、1 分子層の  $\alpha$ -6T 上に基板温度を変えながら 3 分子層の PTCDI-C8 を成長させ、PTCDI-C8 の成長条件の最適化を行った。その結果、基板温度 60 °C で平坦な PTCDI-C8 薄膜が得られた。図 2-8 に最適成長条件のもと成長させた PTCDI-C8 薄膜のラインプロファイルを示す。計測された分子ステップの高さは約 2.0 nm であった。PTCDI-C8 の長軸の長さが 3.0 nm であることを考慮すると<sup>[16]</sup>、PTCDI-C8 は基板に対して垂直より少し傾いて立っていると考えられる。実際のチルト角に関しては、これまでに詳細な結晶構造解析がなされており、エッジオン配向の際には基板法線方向から約 20 度傾くことが明らかにされている<sup>[16,17]</sup>。

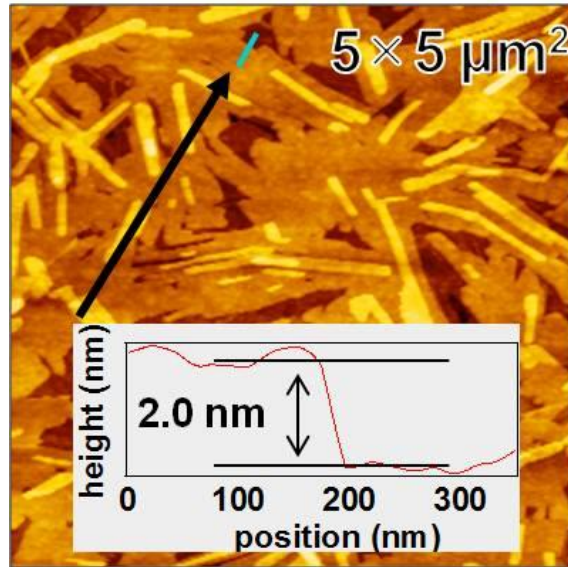


図 2-8 PTCDI-C8 薄膜のラインプロファイル.

#### 2-4-2 X線反射率測定法による膜厚評価

次に、2-4-1 で作製した試料の膜厚を X 線反射率測定法 (X-ray reflectivity: XRR) 用いて評価した。XRR では X 線を試料表面に極浅い角度で入射させ、その入射角対鏡面方向に反射した X 線の強度を角度走査しながら測定する。入射角を変えながら X 線を照射すると、表面を含む薄膜内部の異なる界面から反射した X 線が互いに干渉し、物質の膜厚、密度、界面のラフネスに応じた特有の振動構造を示す(図 2-9)。この X 線反射率プロファイルをシミュレーション結果と比較し、シミュレーションパラメータを最適化することにより、試料の膜厚・密度・ラフネスを求めることができる<sup>[16]</sup>。本研究における測定では、Bruker AXS 社製 D8 Discover を用いた。

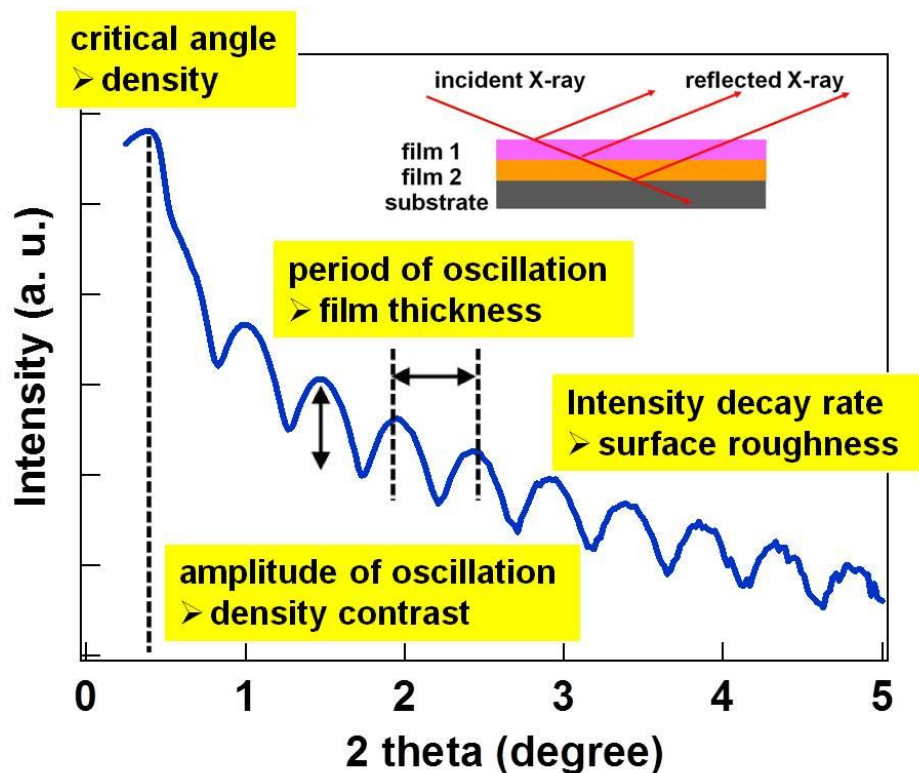


図 2-9 XRR の原理.

図 2-10a に PMMA コーティングした  $\text{SiO}_2/\text{Si}$  基板上に  $\alpha$ -6T を 1 分子層成長させた試料の XRR プロファイルを示す。図中の青のプロットが実測値、赤の実線がシミュレーション曲線である。実測値とシミュレーション曲線をフィッティングすることにより、 $\alpha$ -6T の膜厚を求めたところ、2.53 nm という結果が得られ、エッジオン配向した  $\alpha$ -6T 薄膜が形成されていることが確認できる。次に、1 分子層の  $\alpha$ -6T 上に 3 分子層の PTCDI-C8 成長させた試料の XRR プロファイルを図 2-10b に示す。先程と同様に実測値とシミュレーション曲線をフィッティングし、PTCDI-C8 の膜厚を求めたところ 6.44 nm という結果が得られた。この厚さはエッジオン配向した PTCDI-C8 分子が 3 層積み重なった厚さに相当する。このことから表面だけでなく、 $\alpha$ -6T との界面においてもエッジオン配向した PTCDI-C8 薄膜が得られていることが分かる。

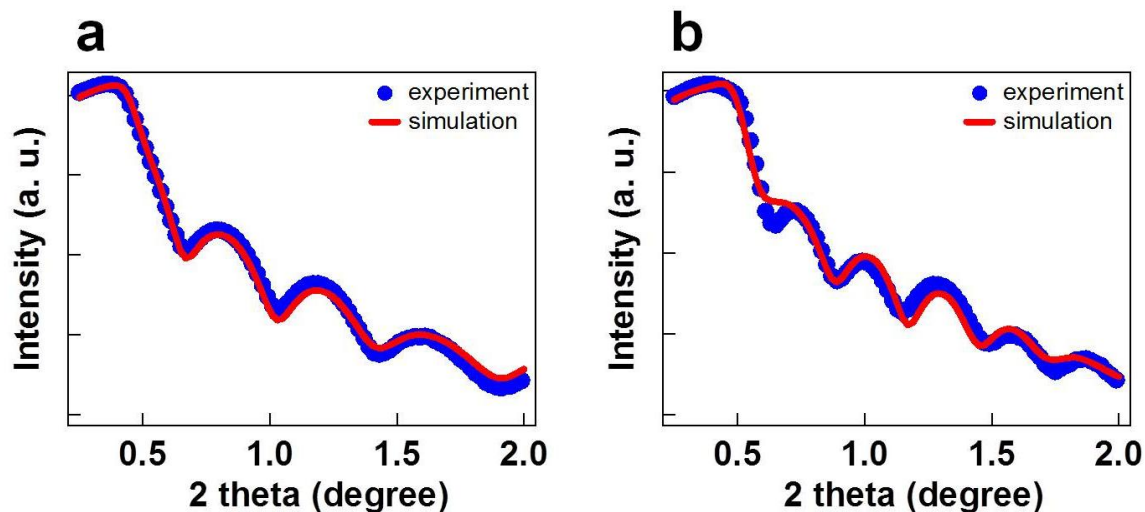


図 2-10 XRR プロファイル. (a)  $\alpha$ -6T/PMMA/SiO<sub>2</sub>/Si, (b) PTCDI-C8/ $\alpha$ -6T/PMMA/SiO<sub>2</sub>/Si.

### 2-4-3 X線回折法による配向評価

これまでの AFM や XRR による各有機薄膜の分子配向に関する議論をより確かなものとするために、XRD を用いて分子配向の評価をさらに行った。本研究における測定では、Bruker AXS 社製 D8 Discover を用いた。

測定試料は、PMMA をコーティングした SiO<sub>2</sub>/Si 基板上に、最適条件のもと 6 分子層の  $\alpha$ -6T および PTCDI-C8 を順次成長させることにより作製した (図 2-11a)。この試料を XRD により測定した結果を図 2-11b に示す。 $\alpha$ -6T および PTCDI-C8 薄膜から c 軸配向、つまりエッジオン配向を示す回折パターンのみが観測され、結晶性の高い有機積層膜が形成されていることが確認できる。



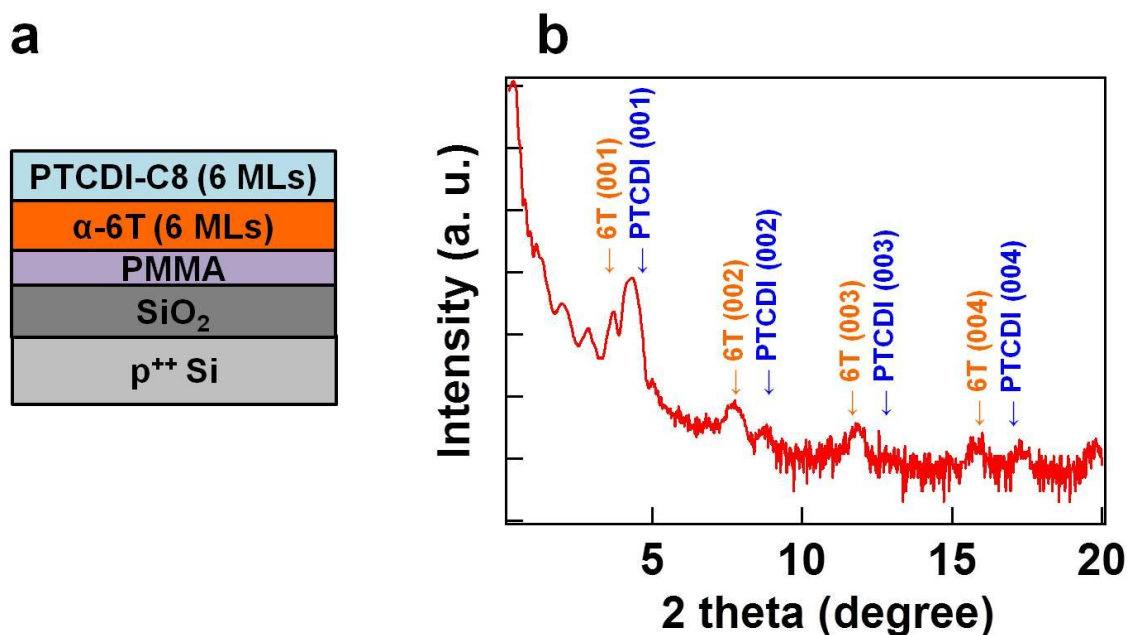


図 2-11 (a) XRD 測定試料. (b) XRD 測定結果.

## 2-5 有機ヘテロ接合界面におけるエネルギー準位接続

本研究で提案する素子では、有機ヘテロ接合を用いることから、ヘテロ接合界面での分子配列の乱れにより、有機薄膜のエネルギー準位がシフトする恐れがある。そこで、形成した有機ヘテロ接合において、各有機薄膜が所望のエネルギー準位を有しているかどうかを確認するために、接合界面におけるエネルギー準位接続を評価した。

まず、光電子収量分光法 (photoelectron yield spectroscopy: PYS) を用いて、有機ヘテロ接合における各有機薄膜の HOMO を測定した。PYS では試料にエネルギーを変えながら紫外線を照射し、放出する光電子数を測定する。入射光のエネルギーを徐々に大きくしていくと、図 2-12 に示すように、あるエネルギーから光電子放出が始まる。この光電子放出の立ち上がり部分とバックグラウンドを外挿して得られた交点から、有機薄膜の HOMO を求めることができる<sup>[19]</sup>。本研究における測定では、理研計器社製の大気中光電子分光装置 (AC-3) を用いた。

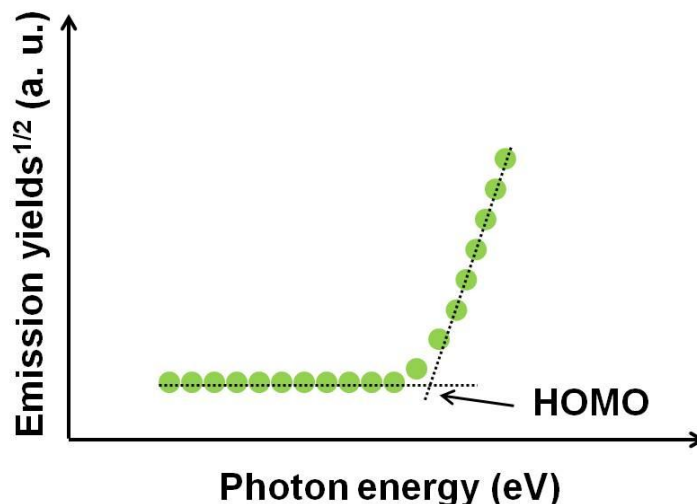


図 2-12 PYS の原理.

有機積層膜の PYS 測定を行う前に、最初に参照試料として単独の有機薄膜の PYS 測定を行った。図 2-13a に PMMA/SiO<sub>2</sub>/Si 上に  $\alpha$ -6T を 5 分子層成長させた試料、図 2-13b に PMMA/SiO<sub>2</sub>/Si 上に PTCDI-C8 を 5 分子層成長させた試料の PYS スペクトルを示す。光電子放出の立ち上がりから HOMO を求めたところ、 $\alpha$ -6T は 5.1 eV、PTCDI-C8 は 6.7 eV であった。

続いて、PMMA/SiO<sub>2</sub>/Si 上に 3 分子層の  $\alpha$ -6T および 2 分子層の PTCDI-C8 を成長させた試料の PYS 測定を行った (図 2-13c)。スペクトルには低エネルギー側と高エネルギー側に光電子放出の立ち上がりが観測された。先程の単独の有機薄膜の PYS 測定結果から、低エネルギー側の立ち上がりは HOMO が浅い  $\alpha$ -6T に由来しており、一方、高エネルギー側の立ち上がりは HOMO が深い PTCDI-C8 に由来していると考えられる。それぞれの立ち上がりから HOMO を求めたところ、 $\alpha$ -6T は 5.3 eV、PTCDI-C8 は 6.4 eV となり、単独の有機薄膜の HOMO と同程度の値が得られた。

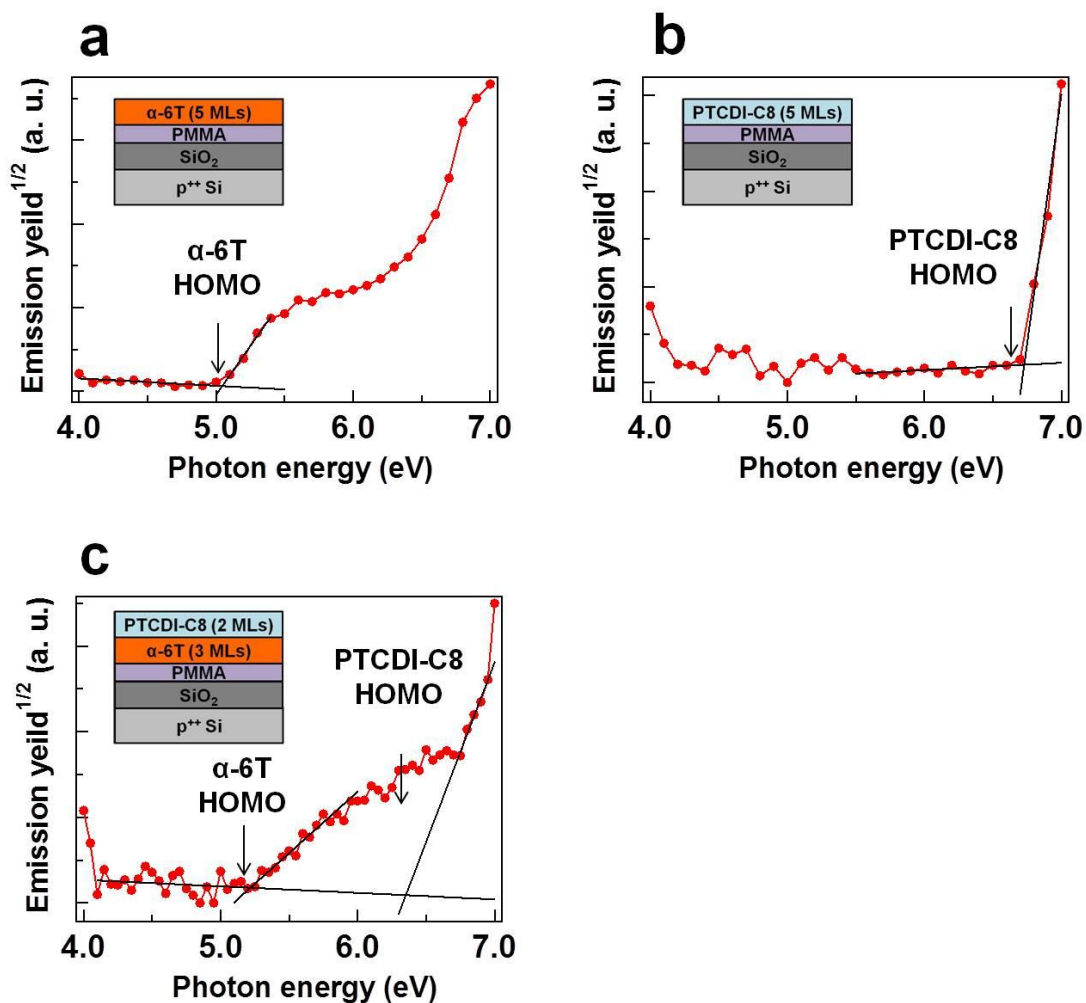


図 2-13 PYS 測定結果. (a)  $\alpha$ -6T 薄膜, (b) PTCDI-C8 薄膜, (c) PTCDI-C8/ $\alpha$ -6T 積層膜.

次に、石英ガラス基板上に  $\alpha$ -6T および PTCDI-C8 をそれぞれ成長させ、紫外・可視 (UV-Vis) 吸収スペクトルを測定した。本研究における測定では、JASCO 社製の紫外可視近赤外分光光度計 (V-7200) を用いた。各有機薄膜の UV-Vis 吸収スペクトルの測定結果を図 2-14 に示す。光学吸収端の波長からバンドギャップ (HOMO-LUMO ギャップ) を算出したところ、 $\alpha$ -6T では 2.3 eV、PTCDI-C8 では 1.9 eV という結果が得られた。



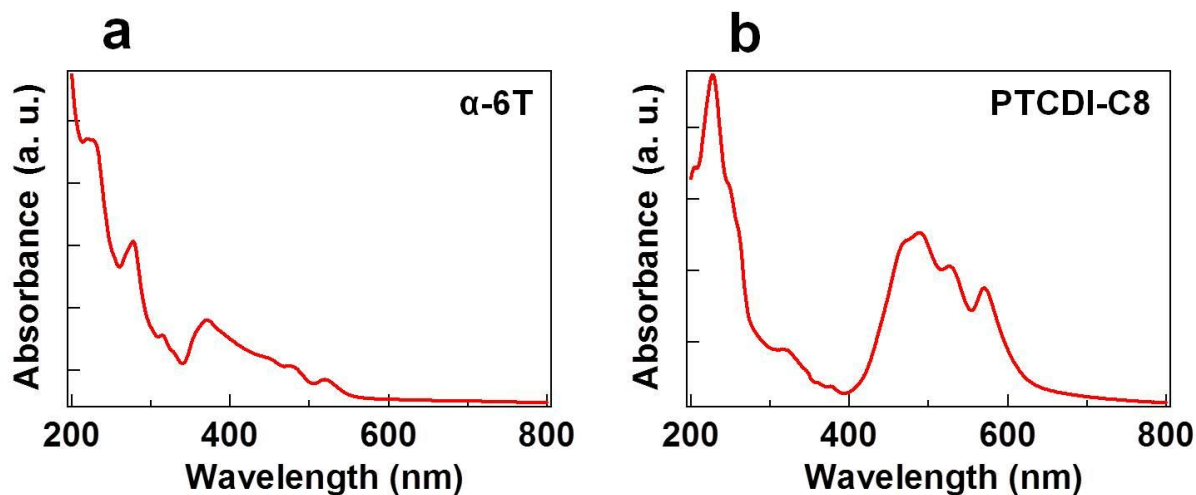


図 2-14 UV-Vis 吸収スペクトル. (a)  $\alpha$ -6T 薄膜, (b) PTCDI-C8 薄膜.

これまでに得られた各有機薄膜の HOMO やバンドギャップの値から LUMO を算出し、ヘテロ接合界面におけるエネルギー準位図を作製した (図 2-15)。ヘテロ接合を形成後も、各有機薄膜のエネルギー準位は、これまでに報告されている文献値<sup>[20,21]</sup>と比べて大きくシフトすることなく、保持されていることが確認された。

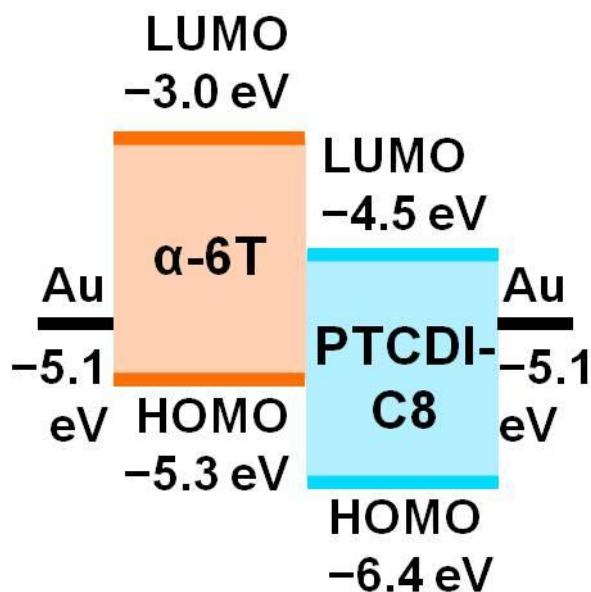


図 2-15 ヘテロ接合界面におけるエネルギー準位図.

## 2-6 まとめ

本章では負性抵抗素子を作製する前段階として、有機薄膜の成長条件の最適化を行った。成長条件最適化することにより、エッジオン配向かつ結晶性の高い有機積層膜を形成することに成功した。また、形成した有機積層膜のヘテロ接合界面では、各有機薄膜のエネルギー準位が保持されていることを明らかにした。

次章では最適化した成長条件のもと負性抵抗素子を作製し、そのキャリア輸送特性を評価していく。

## 第2章参考文献

- [1] 岩佐義宏, 竹延大志, *応用物理* **2008**, 77, 432.
- [2] 多田博一, *応用物理* **2007**, 76, 1284.
- [3] 安蘇芳雄, 家裕隆, *生産と技術* **2016**, 68, 21.
- [4] 半那純一, *日本写真学会誌* **2012**, 75, 75.
- [5] 檜山爲次郎, *電子共役系有機材料の創製・機能開発・応用*, シーエムシー出版, **2008**.
- [6] G. Schwabegger, M. Oehzelt, I. Salzmann, F. Quochi, M. Saba, A. Mura, G. Bongiovanni, A. Vollmer, N. Koch, H. Sitter, C. Simbrunner, *Langmuir* **2013**, 29, 14444.
- [7] S. H. Yu, B. Kang, G. An, B. Kim, M. H. Lee, M. S. Kang, H. Kim, J. H. Lee, S. Lee, K. Cho, *ACS Appl. Mater. Interfaces* **2015**, 7, 2025.
- [8] S. D. Wang, T. Miyadera, T. Minari, Y. Aoyagi, K. Tsukagoshi, *Appl. Phys. Lett.* **2008**, 93, 043311.
- [9] C. Rost, D. J. Gundlach, S. Karg, W. Riess, *J. Appl. Phys.* **2004**, 95, 5782.
- [10] J.-K. Kim, K. Cho, T.-Y. Kim, J. Pak, J. Jang, Y. Song, Y. Kim, B. Y. Choi, S. Chung, W.-K. Hong, *Sci. Rep.* **2016**, 6, 36775.
- [11] K. Akaike, N. Koch, G. Heimel, M. Oehzelt, *Adv. Mater. Interfaces* **2015**, 2, 1500232.
- [12] 鎌田俊英, 吉田学, 小笹健仁, 松澤誠, 河合武司, *表面科学* **2003**, 24, 69.
- [13] 八瀬清志, *応用物理* **2008**, 77, 56.
- [14] 内藤裕義, 久保野敦史, 舟橋正浩, 吉本尚起, *有機エレクトロニクスにおける分子配向技術*, シーエムシー出版, **2007**.
- [15] M. A. Loi, E. da Como, F. Dinelli, M. Murgia, R. Zamboni, F. Biscarini, M. Muccini, *Nat. Mater.* **2005**, 4, 81.
- [16] T. N. Krauss, E. Barrena, X. N. Zhang, D. G. de Oteyza, J. Major, V. Dehm, F. Würthner, L. P. Cavalcanti, H. Dosch, *Langmuir* **2008**, 24, 12742.
- [17] N. Hiroshiba, R. Hayakawa, T. Chikyow, Y. Yamashita, H. Yoshikawa, K. Kobayashi, K. Morimoto, K. Matsuishi, Y. Wakayama, *Phys. Chem. Chem. Phys.* **2011**, 13, 6280.

[18] M. Yasaka, *The Rigaku Journal* **2010**, 26, 1.

[19] 石井久夫, 津波大介, 末永保, 佐藤信之, 木村康男, 庭野道夫, *表面科学* **2007**, 28, 264.

[20] K.-I. Nakayama, M. Ishikawa, M. Yokoyama, *Appl. Phys. Express* **2009**, 2, 021501.

[21] T. Sakanoue, M. Yahiro, C. Adachi, K. Takimiya, A. Toshimitsu, *J. Appl. Phys.* **2008**, 103, 094509.

## 第3章 有機ヘテロ接合を用いた負性抵抗素子におけるキャリア輸送特性の評価および動作機構の解明

### 3-1 はじめに

本章では第2章で最適化した有機薄膜の成長条件のもと、負性抵抗素子を作製し、キャリア輸送特性の評価および動作機構の検討を行う。

### 3-2 素子作製プロセス

有機ヘテロ接合を用いた負性抵抗素子の構造を図3-1aに示す。基板には200 nmのSiO<sub>2</sub>酸化膜を有するハイドープSi基板を用いた。ハイドープSiがゲート電極として、SiO<sub>2</sub>酸化膜がゲート絶縁膜として作用する。まず、SiO<sub>2</sub>表面に存在するOH基によるキャリアトラップを防ぐ目的で、基板表面をPMMAによりコーティングした。次に、シャドウマスクを用いて真空蒸着を行うことにより、部分的に重なった有機積層膜を形成した。ここでは第2章で最適化した条件のもと、3分子層の $\alpha$ -6Tおよび12分子層のPTCDI-C8を成長させた。最後に各有機薄膜上に40 nmのAuをソース・ドレイン電極として形成した。図3-1bに作製した素子の光学顕微鏡像を示す。チャンネル長は400  $\mu\text{m}$ 、チャンネル幅は350  $\mu\text{m}$ 、また積層部分の長さは150  $\mu\text{m}$ となっている。

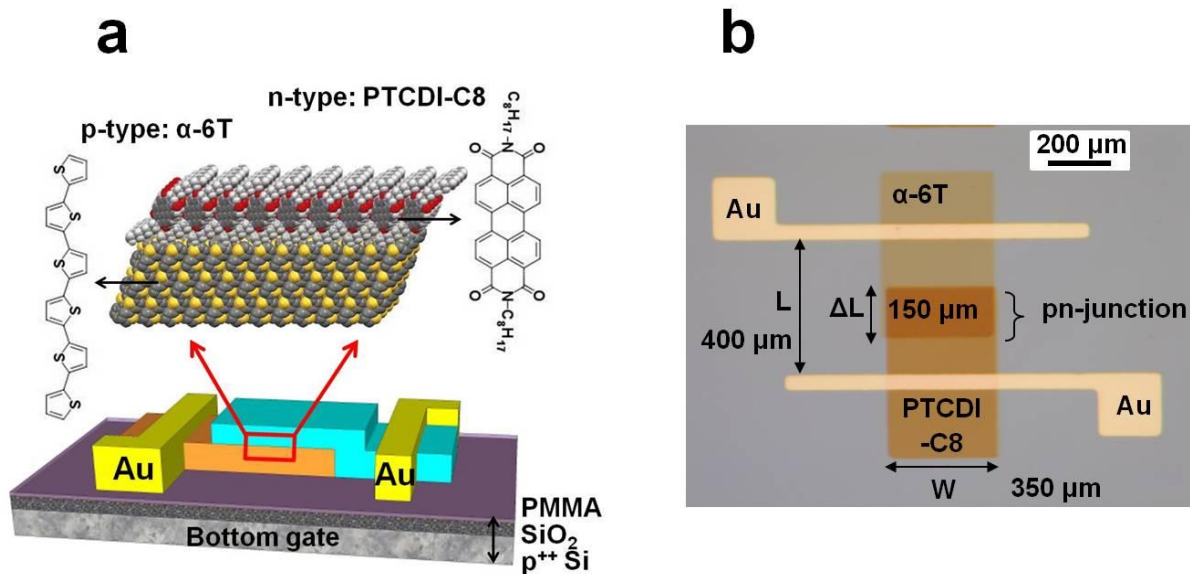


図 3-1 (a) 素子構造. (b) 作製した素子の光学顕微鏡像.

### 3-3 キャリア輸送特性

次に、Agilent 社製の半導体パラメータアナライザ (B1500A) を用いて、作製した素子の  $I_D$ - $V_G$  特性を室温、真空中で測定し、キャリア輸送特性を評価した。測定するにあたり、 $\alpha$ -6T 側の電極をソース、PTCDI-C8 側の電極をドレインとし、負の  $V_D$  および  $V_G$  を印加したものを p 型動作とする。一方で、PTCDI-C8 側の電極をソース、 $\alpha$ -6T 側の電極をドレインとし、正の  $V_D$  および  $V_G$  を印加したものを n 型動作とする。

図 3-2a に p 型動作時における  $I_D$ - $V_G$  特性の測定結果を示す。この測定では  $V_D$  を -60 V に固定し、 $V_G$  を 0 から -60 V の範囲で掃引した。赤のプロットが電流値をリニアプロットしたもので、青のプロットが電流値をログプロットしたものである。特定の  $V_G$  の範囲内で  $I_D$  が増減するという、負性抵抗と類似した非線形電流特性が得られた。 $V_G = -28$  V 付近から  $I_D$  が流れ始め、 $V_G = -40$  V でピークとなる。さらに  $V_G$  を大きくしていくと  $I_D$  が減少し、 $V_G = -53$  V でバレーとなる。ピーク電流 ( $I_{\text{peak}}$ ) は  $4.9 \times 10^{-8}$  A で、バレー電流 ( $I_{\text{valley}}$ ) は  $4.1 \times 10^{-10}$  A であった。 $I_{\text{peak}}$  と  $I_{\text{valley}}$  との比から PVR を算出したところ、 $1.2 \times 10^2$  という値が得られた。

同様に、n 型動作時における  $I_D$ - $V_G$  特性の測定結果を図 3-2b に示す。この測定では  $V_D$  を 60 V に固定し、 $V_G$  を 0 から 60 V の範囲で掃引した。n 型動作でも同様に非線形電流特性が

観測され、 $I_{\text{peak}} (= 6.8 \times 10^{-8} \text{ A})$  と  $I_{\text{valley}} (= 1.1 \times 10^{-12} \text{ A})$  との比から PVR を算出したところ、 $5.9 \times 10^4$  という値が得られた。

また、それぞれの測定において、 $V_{\text{on}}$  と  $V_{\text{off}}$  を  $\sqrt{I_D}$ - $V_G$  特性の立ち上がり、立ち下がり部分を外掃することにより求め、それらの差をとることによりピーク幅 ( $\Delta V = V_{\text{off}} - V_{\text{on}}$ ) を求めた。p 型動作では、 $V_{\text{on}} = -34 \text{ V}$ 、 $V_{\text{off}} = -48 \text{ V}$  となった。一方、n 型動作では、 $V_{\text{on}} = 9.8 \text{ V}$ 、 $V_{\text{off}} = 24 \text{ V}$  となった。これらの値から  $\Delta V$  を算出したところ、両動作ともに  $14 \text{ V}$  となった。

以上の結果より、有機ヘテロ接合を用いた負性抵抗素子では室温で  $10^4$  を超える高い PVR を実現し、さらに、TMDC を用いた素子で問題となっていた  $40 \text{ V}$  以上のピーク幅を  $14 \text{ V}$  まですべて低減できることが明らかになった。

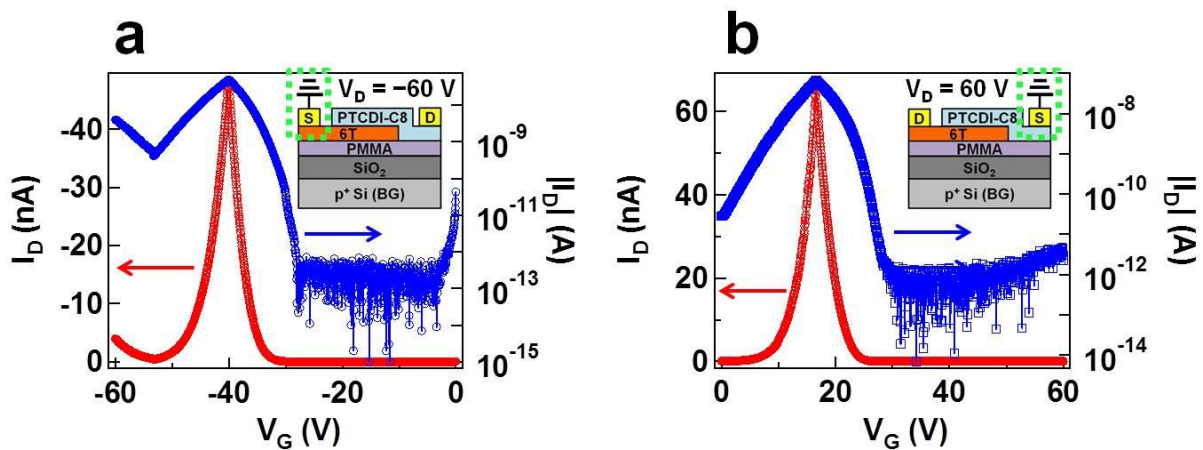


図 3-2 (a) p 型動作時における  $I_D$ - $V_G$  特性. (b) n 型動作時における  $I_D$ - $V_G$  特性.

### 3-4 動作機構の解明

#### 3-4-1 キャリア輸送特性におけるドレイン電圧依存性

作製した素子では負性抵抗と類似した非線形電流特性が観測された。特徴的なデバイス構造から、今回得られた非線形電流特性の起源として、アンチアンバイポーラ現象に基づくキャリア輸送と有機分子の離散的なエネルギー準位を介した共鳴トンネル現象<sup>[1,2]</sup>に基づくキャ

リア輸送の 2 つの可能性が考えられる。アンチアンバイポーラ現象に基づくキャリア輸送とは、これまで述べてきたように、トランジスタチャネルを構成する p および n 型の半導体チャネルのコンダクタンスがともに高くなった時に電流が流れる現象である。一方、有機分子の離散的なエネルギー準位を介した共鳴トンネル現象とは、図 3-3 に示すように、有機分子のヘテロ接合に電圧を印加していくことにより、2 つの分子のエネルギー準位が揃い、共鳴的な電流が流れる現象である。

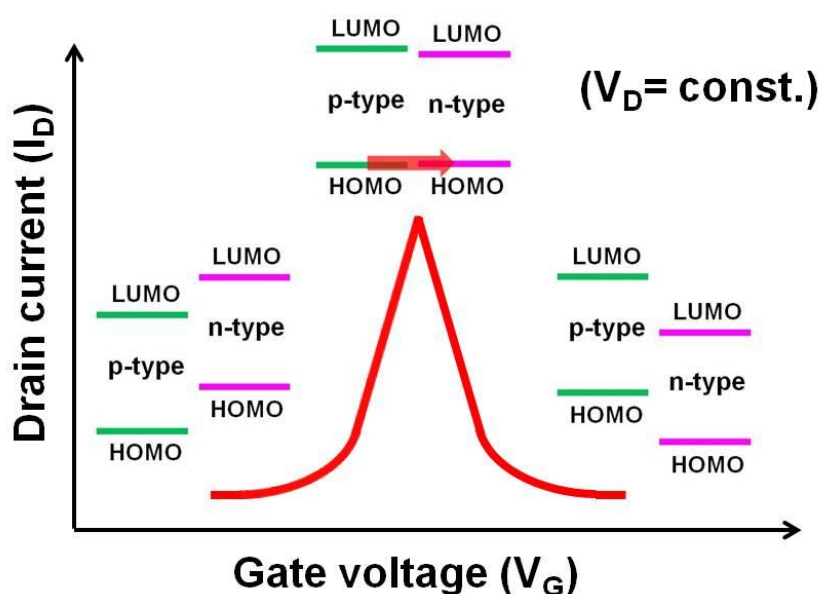


図 3-3 有機分子の離散的なエネルギー準位を介した共鳴トンネル現象.

これらの可能性から起源を特定するために、 $V_D$  を変えながら  $I_D$ - $V_G$  特性を測定することにより、キャリア輸送特性における  $V_D$  依存性を調べた。図 3-4a に p 型動作時の測定結果を示す。この測定では  $V_D$  を 0 から -60 V まで、1 V 刻みで変えていき、それぞれの  $V_D$  において  $I_D$ - $V_G$  特性を測定した。図 3-4a では、電流値はカラースケールで表現されており、赤が最大の電流値となり、紫が最低の電流値となる。また、図 3-4a では変化を分かりやすくするために、非線形電流特性の部分を拡大してある。



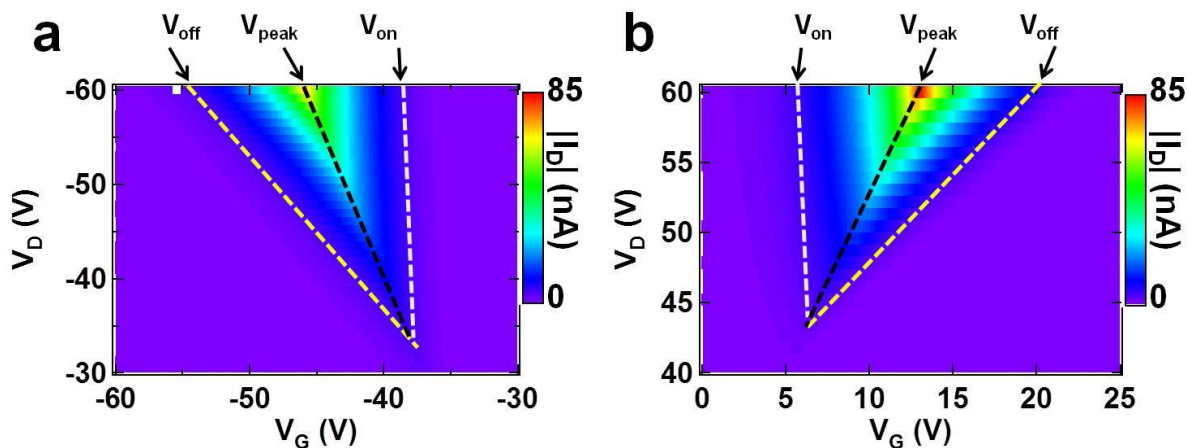


図 3-4 異なる  $V_D$  における  $I_D$ - $V_G$  特性. (a) p 型動作, (b) n 型動作.

非線形電流特性の起源が有機分子の離散的なエネルギー準位を介した共鳴トンネル現象だと仮定すると、 $V_{on}$  は HOMO 間のオフセット (エネルギー準位差) に応じて変化するはずである。すなわち、図 3-5 に示すように  $V_D$  を大きくし HOMO 間のオフセットを増加させると、それに伴い  $V_{on}$  は高電圧側にシフトするはずである。しかし、図 3-4a の白の点線で示された  $V_{on}$  の位置は  $V_D$  によらずほぼ一定であることが分かる。n 型動作においても同様の傾向が観測された (図 3-4b)。これらのことから、非線形電流特性の起源は有機分子の離散的なエネルギー準位を介した共鳴トンネル現象ではないと判断できる。

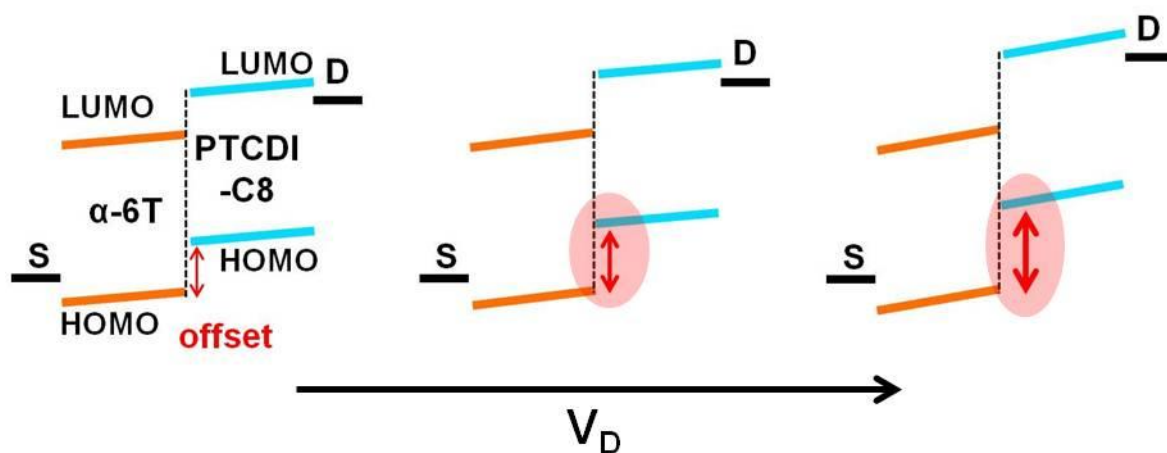


図 3-5 ドレイン電圧による HOMO 間のオフセットの増加.

### 3-4-2 貫通電流のシミュレーション

残る可能性から非線形電流特性の起源はアンチアンバイポーラ現象であると考えられる。しかし、作製した素子ではこれまでの TMDC を用いた素子とは異なり、キャリア輸送特性において  $V_{\text{peak}}$  および  $V_{\text{off}}$  の  $V_D$  依存性が観測された。このことから、現象としては同じものの動作機構が異なっていると考えられる。図 3-4a から、 $V_D$  を大きくしていくと、黒の点線で示された  $V_{\text{peak}}$  の位置や黄色の点線で示された  $V_{\text{off}}$  の位置が高電圧側にシフトしていくことが分かる。これは相補型 MOS (Complementary MOS: CMOS) 回路における貫通電流に見られる変化と類似している<sup>[3-6]</sup>。CMOS 回路における貫通電流とは、図 3-6 に示すように、CMOS 回路において、スイッチング時に p 型トランジスタ と n 型トランジスタが同時にオン状態になることにより、電源側からグラウンド側に流れる電流である。

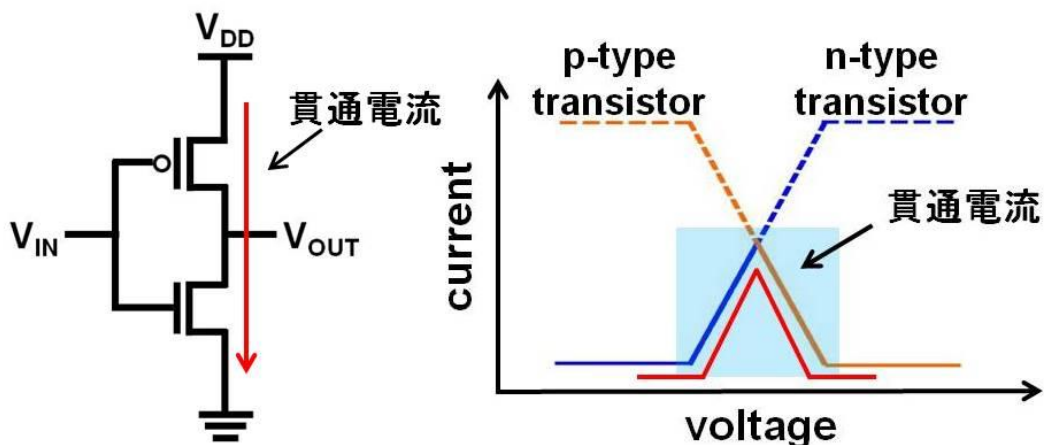


図 3-6 CMOS 回路における貫通電流.

この貫通電流は単独のトランジスタの出力特性 ( $I_D$ - $V_D$  特性) を用いて、シミュレーションすることが可能である。そこで、作製した素子と同じ成長条件、膜厚で単独の  $\alpha$ -6T および PTCDI-C8 トランジスタを作製し、出力特性を測定した。図 3-7 に出力特性の測定結果を示す。実際の測定では  $V_G$  を 2 V 刻みで、出力特性の測定を行ったが、図 3-7 では代表的な  $V_G$  での出力特性だけを示している。 $\alpha$ -6T トランジスタでは典型的な p 型の出力特性、PTCDI-C8 ト

ランジスタでは典型的な n 型の出力特性が観測された。これらの出力特性を用いて、貫通電流のシミュレーションを行った。

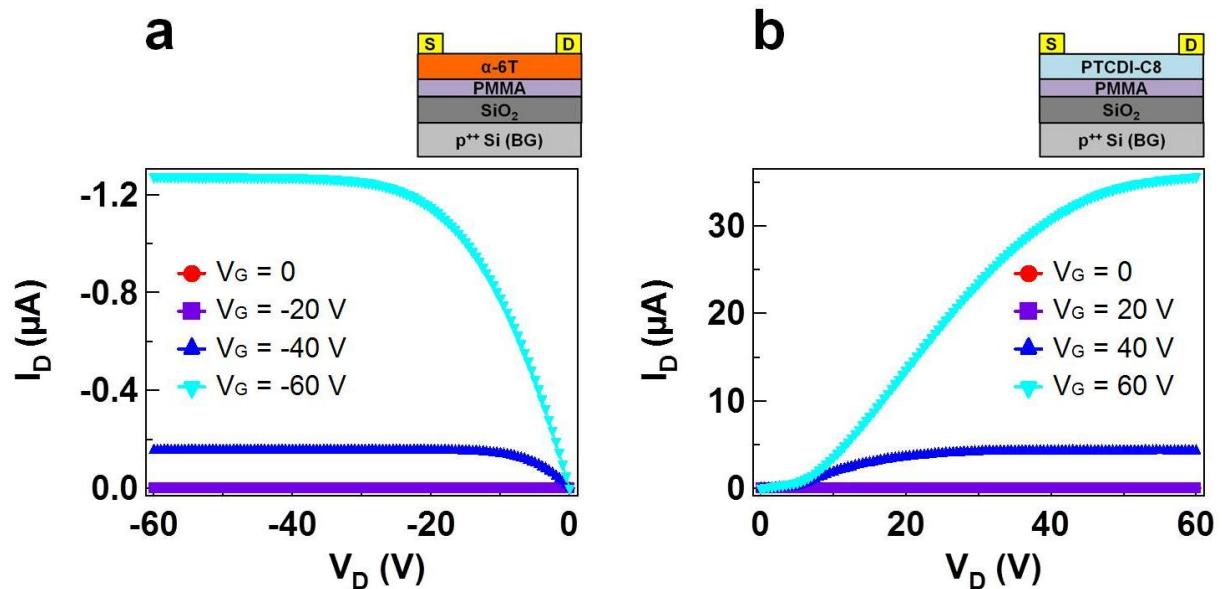


図 3-7 (a)  $\alpha$ -6T トランジスタの出力特性. (b) PTCDI-C8 トランジスタの出力特性.

CMOS 回路が図 3-8a に示すように、 $\alpha$ -6T トランジスタと PTCDI-C8 トランジスタより構成されていると仮定する。ここでは、作製した素子の p 型動作時における配置と同じように、電源側に PTCDI-C8 トランジスタが、グラウンド側に  $\alpha$ -6T トランジスタが配置されているとした。貫通電流は各入力電圧 ( $V_{IN}$ ) におけるトランジスタの出力特性を重ね合わせて、その交点から得られた電流値を  $V_{IN}$  の関数としてプロットしていくことによりシミュレーションすることができる。例えば、 $V_{IN}$  が  $-34$  V である場合、 $\alpha$ -6T トランジスタには  $-34$  V、PTCDI-C8 トランジスタには  $26$  V ( $= V_{IN} - V_{DD}$ ) の  $V_G$  が掛かることになる。そこで、図 3-8b に示すように、 $V_G = -34$  V における  $\alpha$ -6T トランジスタの出力特性と  $V_G = 26$  V における PTCDI-C8 トランジスタの出力特性を重ね合わせる。そして、2 つの出力特性の交点 (赤丸) から得られた電流値を  $V_{IN}$  の関数としてプロットする (図 3-8c)。この操作をそれぞれの  $V_{IN}$  に対して行うことにより、貫通電流のシミュレーションを行った。

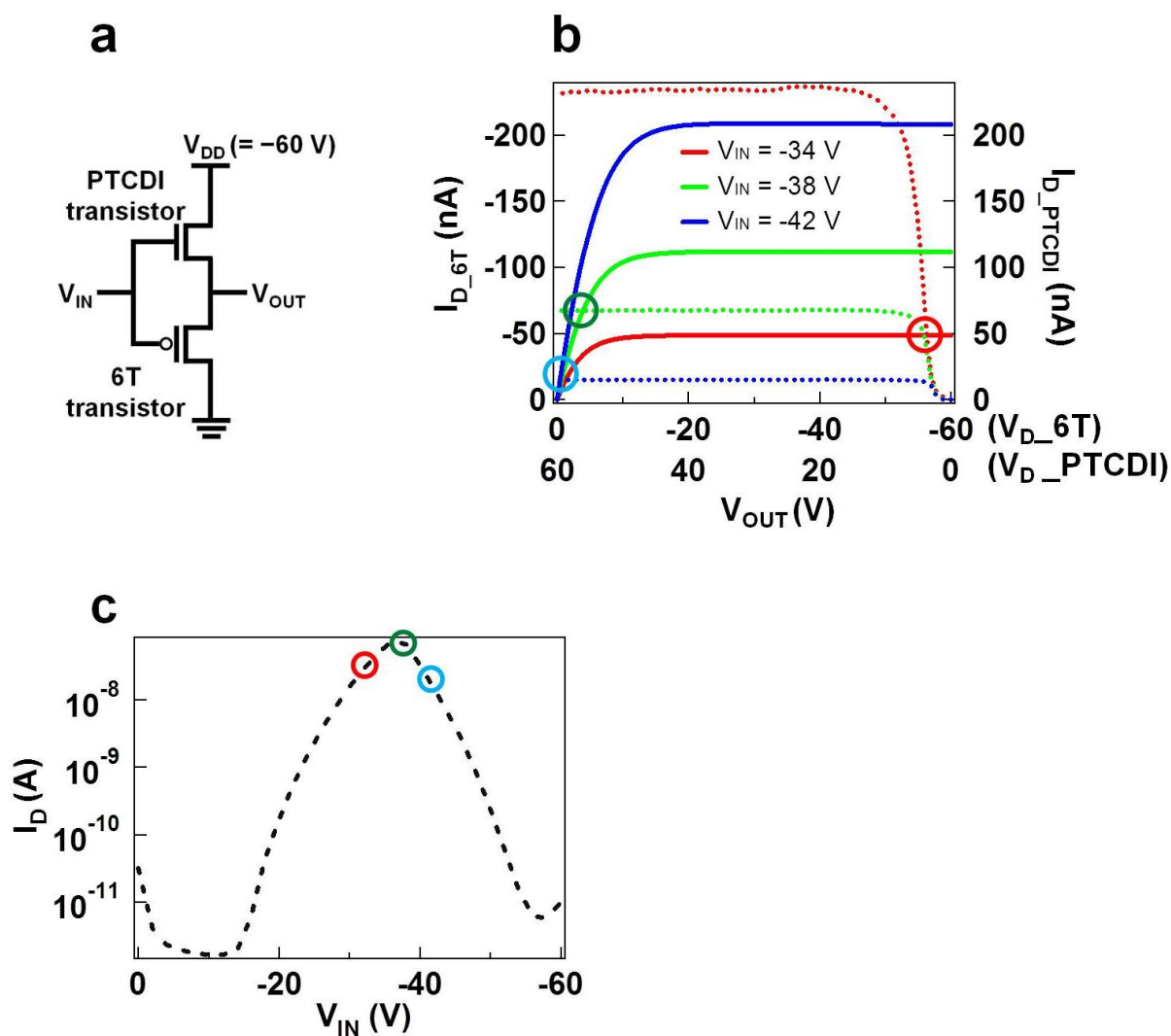


図 3-8 貫通電流のシミュレーション.

図 3-9 に p 型動作時における  $I_D$ - $V_G$  特性の測定結果と貫通電流のシミュレーションとの比較を示す。青のプロットが測定値、緑の実線がシミュレーション値である。双方のピーク位置と電流値が一致していることが分かる。このことから、有機ヘテロ接合を用いた負性抵抗素子では、CMOS 回路における貫通電流と類似した機構に基づいて動作することが明らかになった。有機半導体は真性半導体であり、かつバンドギャップが大きいいため、膜中にキャリアがほとんど存在しない。そのため、有機半導体を用いて作製した素子では  $V_D$  を印加するだけでは  $I_D$  は流れない。この特徴により、貫通電流と類似した機構に基づく動作が実現されたのだと考えられる。

ちなみに、図 3-9 では測定値の  $V_{on}$  がシミュレーション値と比べて高電圧側にシフトしている。p 型動作における  $V_{on}$  は  $\alpha$ -6T チャンネルのしきい値電圧に依存するパラメータである。このことから、作製した素子では  $\alpha$ -6T チャンネルのしきい値電圧が増加していることが分かる。しきい値電圧の増加は、キャリアが流れる経路に偏りがあり、素子のチャンネルにおいて  $\alpha$ -6T チャンネルが占める割合が大きくなった ( $\alpha$ -6T の実効的なチャンネル長が増加した) ことが原因だと考えられる<sup>[7,8]</sup>。

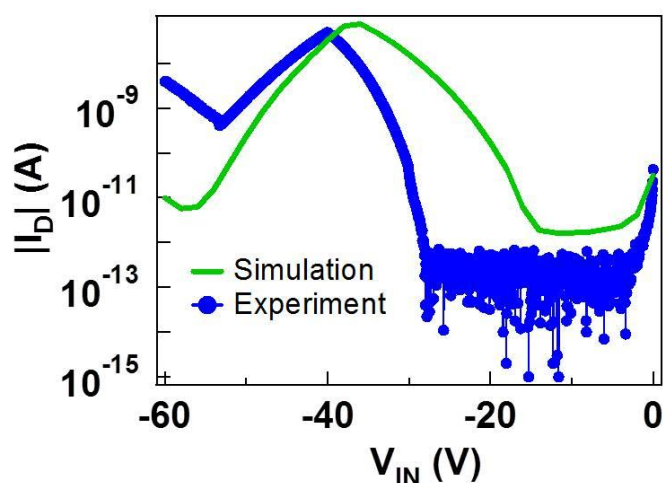


図 3-9 測定値と貫通電流のシミュレーションとの比較。

以上の結果を踏まえて、作製した素子の動作機構を詳しく説明する。図 3-10 に p 型動作時における素子の動作機構を示す。この素子では印加した  $V_D$  が  $V_G$  に従って各半導体チャンネルに分配され、実効的なゲート電圧として作用する。 $V_G$  が小さい場合 ( $0 \sim -28 \text{ V}$ )、電圧は優先的に PTCDI-C8 チャンネルに印加され、コンダクタンスの高い状態となっている。しかし、一方の  $\alpha$ -6T チャンネルのコンダクタンスが低い状態のため電流は流れない。 $V_G$  を大きくしていくと ( $-28 \text{ V} \sim -53 \text{ V}$ )、 $\alpha$ -6T チャンネルにも電圧が印加され始め、ホールが注入される。その結果、PTCDI-C8 と  $\alpha$ -6T チャンネルのコンダクタンスがともに高い状態となり、電流が流れる。さらに  $V_G$  を大きくしていくと ( $-53 \text{ V} \sim -60 \text{ V}$ )、今度は PTCDI-C8 チャンネルに電圧が印加されなくなり、コンダクタンスが低い状態になる。そのため、電流は再び流れなくなる。このような機構に基づいて作製した素子は動作する。

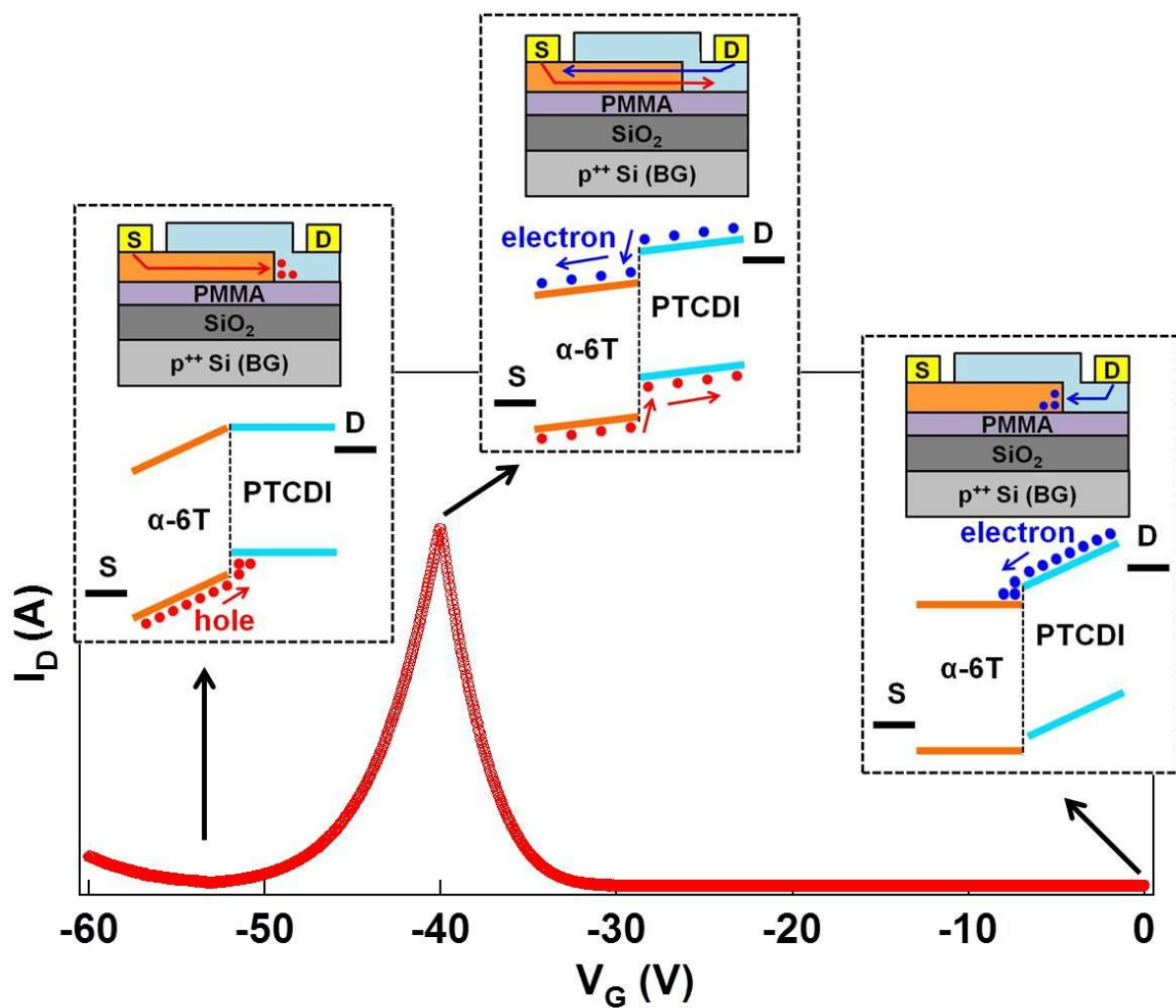


図 3-10 作製した素子の動作機構.

### 3-5 まとめ

本章では有機ヘテロ接合を用いた負性抵抗素子を作製し、キャリア輸送特性の評価および動作機構の検討を行った。

作製した素子では室温で  $10^4$  を超える高い PVR を実現し、さらに、TMDC を用いた素子で問題となっていた 40 V 以上のピーク幅を 14 V まで低減することに成功した。

作製した素子の動作機構を検討した結果、TMDC を用いた素子とは異なり、CMOS 回路における貫通電流と類似した機構に基づいて動作することが明らかになった。この機構に基づく素子では  $V_D$  によりピーク幅を制御できるというこれまでにない新たな特徴を有する。この

新たな特徴により、多機能論理演算素子<sup>[9-11]</sup>を実現できる可能性がある。多機能論理演算素子は単一の素子で多数の論理演算を行うことから、有機集積回路の情報処理能力の向上させることができる。

次章では作製した素子の動作機構をより詳細に明らかにするために、キャリア輸送経路を解明していく。

### 第 3 章参考文献

- [1] M. L. Perrin, E. Galan, R. Eelkema, F. Grozema, J. M. Thijssen, H. S. J. van der Zant, *J. Phys. Chem. C* **2015**, 119, 5697.
- [2] Y. Majima, D. Ogawa, M. Iwamoto, Y. Azuma, E. Tsurumaki, A. Osuka, *J. Am. Chem. Soc.* **2013**, 135, 14159.
- [3] L. Ding, S. Liang, T. Pei, Z. Zhang, S. Wang, W. Zhou, J. Liu, L.-M. Peng, *Appl. Phys. Lett.* **2012**, 100, 263116.
- [4] L. Cai, C. Wang, *Nanoscale Res. Lett.* **2015**, 10, 320.
- [5] H. Lee, P. K. T. Mok, *IEEE J. Solid-State Circuits* **2005**, 40, 1136.
- [6] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, Wiley-IEEE, Hoboken, NJ **2010**.
- [7] S. D. Wang, T. Minari, T. Miyadera, Y. Aoyagi, K. Tsukagoshi, *Appl. Phys. Lett.* **2008**, 92, 063305.
- [8] S. G. J. Mathijssen, E. C. P. Smits, P. A. van Hal, H. J. Wondergem, S. A. Ponomarenko, A. Moser, R. Resel, P. A. Bobbert, M. Kemerink, R. A. J. Janssen, D. M. de Leeuw, *Nat. Nanotechnol.* **2009**, 4, 674.
- [9] Y. Lee, S. Lee, H. Im, T. Hiramoto, *J. Appl. Phys.* **2015**, 117, 064501.
- [10] K. Maeda, N. Okabayashi, S. Kano, S. Takeshita, D. Tanaka, M. Sakamoto, T. Teranishi, Y. Majima, *ACS Nano* **2012**, 6, 2798.
- [11] S. Lee, Y. Lee, C. Kim, *Sci. Rep.* **2017**, 7, 11065.



## 第4章 有機ヘテロ接合を用いた負性抵抗素子におけるキャリア輸送経路の解明

### 4-1 はじめに

本章では、有機ヘテロ接合を用いた負性抵抗素子の動作機構をより詳細に調べる目的で、キャリア輸送経路を解明する。この素子はマスクを用いた真空蒸着により作製しているため、積層界面積や有機半導体層の膜厚といった幾何学的形状を容易に変えることができる (図4-1)。そこで、これらの幾何学的形状を変えたときのキャリア輸送特性を評価することにより、キャリア輸送経路を明らかにする。

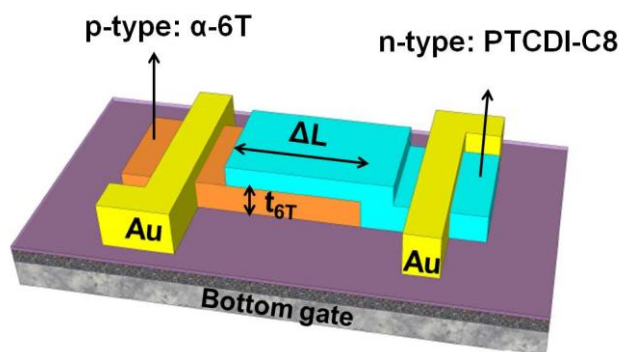


図 4-1 素子の幾何学的形状.

### 4-2 キャリア輸送特性における積層界面積依存性

これまで作製してきた素子では  $\alpha$ -6T の膜厚 ( $t_{6T}$ ) が 3 分子層であった。これは通常の有機トランジスタにおいてチャネルとして働く蓄積層の厚さに相当する<sup>[1-6]</sup>。そのため、キャリア輸送経路の可能性としては、薄膜の膜面が重なった積層界面、薄膜の端部が接合するエッジ界面、またその両方の 3 つの可能性がある (図 4-2)。これら 3 つの可能性からキャリア輸送経路を特定するために、まず有機半導体層の膜厚を固定し、積層界面積のみを変えたときのキャリア輸送特性を評価した。

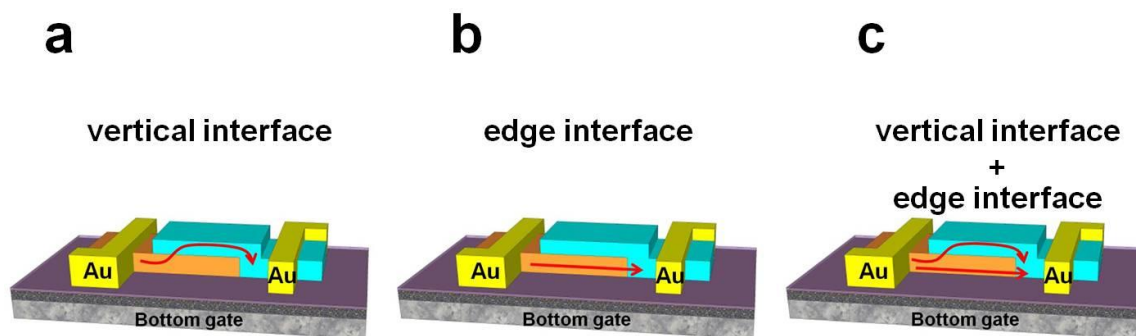


図 4-2 予想されるキャリア輸送経路.

作製した素子において積層界面を通るキャリア成分があれば、積層界面積の変化に伴い電流値は変化するはずである。すなわち、積層界面積を大きくすれば電流値は増え、積層界面積を小さくすれば電流値は減るはずである。したがって電流値の積層界面積依存性を調べることにより、キャリア輸送経路を特定する手がかりを得ることができる。この目的のために、マスクを意図的にずらして有機薄膜を成長させることにより、積層部分の長さ ( $\Delta L$ ) が異なる 3 つの素子を作製した。図 4-3a に作製した素子の光学顕微鏡像を示す。各素子における  $\Delta L$  はそれぞれ  $50 \mu\text{m}$ 、 $150 \mu\text{m}$ 、 $250 \mu\text{m}$  である。

これらの素子の p 型動作時における  $I_D$ - $V_G$  特性を図 4-3b に示す。赤のプロットが  $\Delta L = 50 \mu\text{m}$ 、青のプロットが  $\Delta L = 150 \mu\text{m}$ 、緑のプロットが  $\Delta L = 250 \mu\text{m}$  の素子の  $I_D$ - $V_G$  特性である。 $\Delta L$  つまり積層界面積を変えても  $I_D$ - $V_G$  特性において明瞭な変化は観測されなかった。図 4-3c に各素子のピーク電流 ( $I_{\text{peak}}$ ) をプロットした。 $\Delta L = 250 \mu\text{m}$  の素子と  $\Delta L = 50 \mu\text{m}$  の素子を比較すると、積層界面積が 5 倍になっているにもかかわらず、 $I_{\text{peak}}$  の増加は 12% にとどまり、 $I_{\text{peak}}$  には界面積依存性がないことが分かった。このことから、キャリア輸送経路はエッジ界面が支配的だと考えられる。

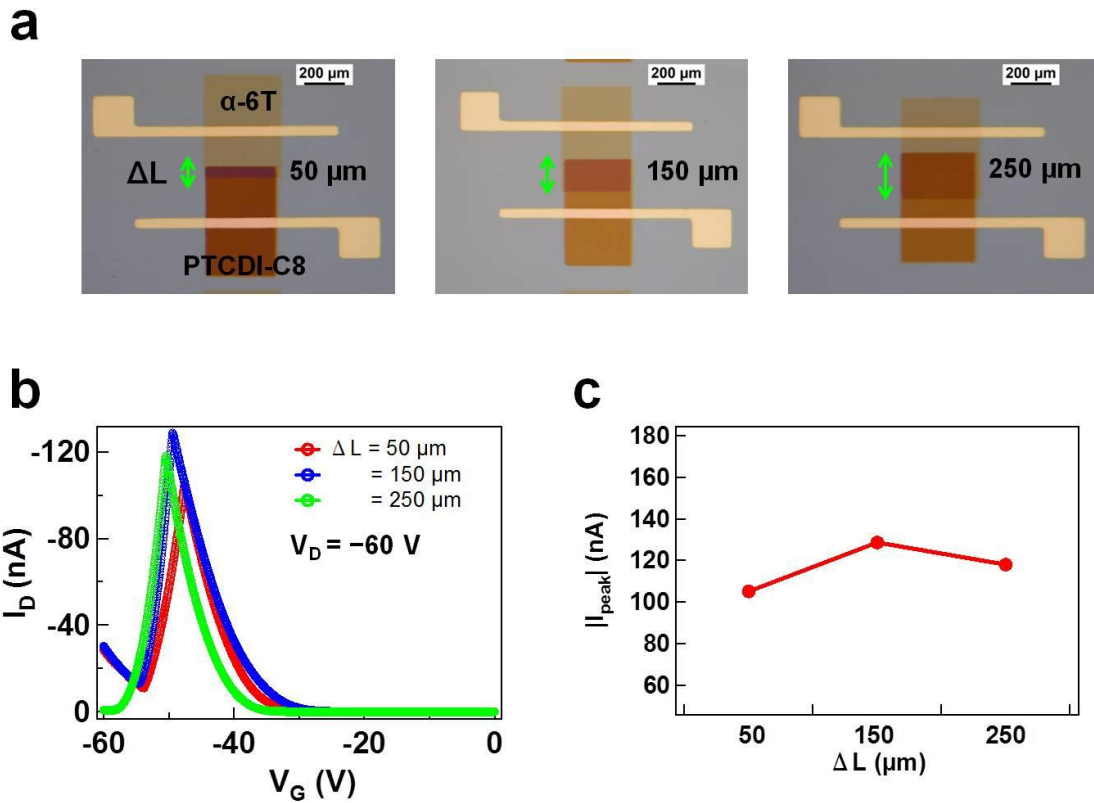


図 4-3 キャリア輸送特性における積層界面積依存性.

#### 4-3 キャリア輸送特性における有機薄膜の膜厚依存性

キャリア輸送特性における積層界面積依存性を調べることにより、キャリア輸送経路はエッジ界面が支配的だということが分かった。ただ図 4-2c のように、少数のキャリアが積層界面を同時に流れている可能性も残されている。そこで、キャリア輸送経路をさらに詳細に調べるために、 $\Delta L$  を 150  $\mu\text{m}$  と固定し、 $t_{6T}$  のみを変えたときのキャリア輸送特性を評価した。

これまで作製してきた素子で  $t_{6T}$  は 3 分子層 ( $\sim 7.5$  nm)、PTCDI-C8 の膜厚 ( $t_{\text{PTCDI}}$ ) は 12 分子層 ( $\sim 24$  nm) であった。そこで  $t_{6T}$  を  $t_{\text{PTCDI}}$  の 2 倍以上の厚さとなる 20 分子層 ( $\sim 50$  nm) とすることにより、積層エッジ部分での PTCDI-C8 薄膜を断裂させ、積層界面からのキャリア輸送経路を遮断した素子を作製した (図 4-4a)。もしこの素子で電流が減少することなく流れれば、キャリア輸送経路はエッジ界面だと判断できる。

図 4-4b に  $t_{6T}$  を増やした素子の p 型動作時における  $I_D$ - $V_G$  特性を示す。赤のプロットが通常

の素子、青のプロットが  $t_{6T}$  を増やした素子の  $I_D$ - $V_G$  特性である。 $t_{6T}$  を増やし積層界面からのキャリア輸送経路を遮断しても、電流が流れていることが分かる。この結果から、作製した素子におけるキャリア輸送経路はエッジ界面であることが明らかになった。

ちなみに、 $t_{6T}$  を増やした素子では通常の素子に比べて、 $I_{peak}$  が約 3.5 倍増加している。有機ヘテロ接合を用いた負性抵抗素子において、 $I_{peak}$  は図 1-9b に示したように  $V_{on}$  と  $V_{off}$  に応じて変化する。そこで各素子の  $V_{on}$  と  $V_{off}$  を 3-3 と同じ方法で算出した (図 4-4c)。 $t_{6T}$  を増やした素子では、 $V_{off}$  はほぼ変化がないのに対し、 $V_{on}$  は  $-31$  V から  $-9.4$  V に大きくシフトしている。p 型動作における  $V_{on}$  は  $\alpha$ -6T チャンネルのしきい値電圧に依存するパラメータである。このことから、 $\alpha$ -6T チャンネルのしきい値電圧が低減したことにより、 $I_{peak}$  の上昇がもたらされたことが分かる。 $\alpha$ -6T チャンネルのしきい値電圧が低減したのは、 $t_{6T}$  を増やすことでさらなる蓄積層が形成され<sup>[7-12]</sup>、それに伴い増大したキャリアがトラップサイトを効果的に補填したからだと考えられる<sup>[13-21]</sup>。

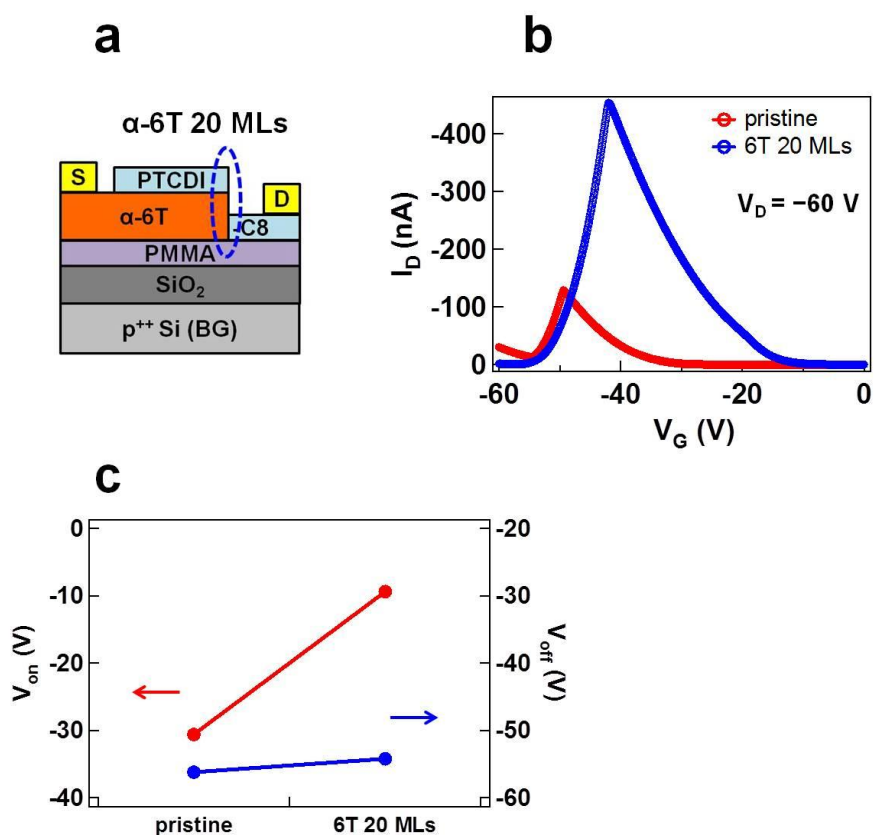


図 4-4 キャリア輸送特性における  $\alpha$ -6T の膜厚依存性.

#### 4-4 まとめ

本章では、幾何学的形状を変えたときのキャリア輸送特性を評価することにより、作製した素子におけるキャリア輸送経路の検討を行った。その結果、作製した素子でのキャリア輸送経路は、薄膜の端部が接合するエッジ界面であることが明らかになった。この経路ではキャリア輸送を妨げる要因となる積層界面での欠陥が問題とならないため、作製した素子には幅広い有機半導体材料が適用できると考えられる。

次章では、これまでに明らかにしてきた動作機構に基づき、有機集積回路の情報処理能力を向上させることが可能な多値論理回路の実現に向けて、素子特性の制御を行う。

#### 第 4 章参考文献

- [1] F. Dinelli, M. Murgia, P. Levy, M. Cavallini, F. Biscarini, D. de Leeuw, *Phys. Rev. Lett.* **2004**, 92, 116802.
- [2] A. J. Kronemeijer, V. Pecunia, D. Venkateshvaran, M. Nikolka, A. Sadhanala, J. Moriarty, M. Szumilo, H. Sirringhaus, *Adv. Mater.* **2014**, 26, 728.
- [3] S. Casalini, C. A. Bortolotti, F. Leonardi, F. Biscarini, *Chem. Soc. Rev.* **2017**, 46, 40.
- [4] J. Shi, D.-T. Jiang, J. R. Dutcher, X.-R. Qin, *J. Vac. Sci. Technol. B* **2015**, 33, 050604.
- [5] S. K. Possanner, K. Zojer, P. Pacher, E. Zojer, F. Schürerer, *Adv. Funct. Mater.* **2009**, 19, 958.
- [6] T. B. Singh, N. S. Sariciftci, *Annu. Rev. Mater. Res.* **2006**, 36, 199.
- [7] R. Ruiz, A. Papadimitratos, A. C. Mayer, G. G. Malliaras, *Adv. Mater.* **2005**, 17, 1795.
- [8] M. Kiguchi, M. Nakayama, T. Shimada, K. Saiki, *Phys. Rev. B* **2005**, 71, 035332.
- [9] A. J. Kronemeijer, V. Pecunia, D. Venkateshvaran, M. Nikolka, A. Sadhanala, J. Moriarty, M. Szumilo, H. Sirringhaus, *Adv. Mater.* **2014**, 26, 728.
- [10] B.-N. Park, S. Seo, P. G. Evans, *J. Phys. D: Appl. Phys.* **2007**, 40, 3506.
- [11] A. Shehu, S. D. Quiroga, P. D'Angelo, C. Albonetti, F. Borgatti, M. Murgia, A. Scorzoni, P. Stoliar, F. Biscarini, *Phys. Rev. Lett.* **2010**, 104, 246602.
- [12] J. Shi, D.-T. Jiang, J. R. Dutcher, X.-R. Qin, *J. Vac. Sci. Technol. B* **2015**, 33, 050604.
- [13] W. K. Kim, K. Hong, J. L. Lee, *Appl. Phys. Lett.* **2006**, 89, 142117.
- [14] X.-H. Zhang, B. Kippelen, *J. Appl. Phys.* **2008**, 104, 104504.
- [15] M. Fiebig, D. Beckmeier, B. Nickel, *Appl. Phys. Lett.* **2010**, 96, 083304.
- [16] J. Cho, Y. Akiyama, T. Kakinuma, T. Mori, *AIP Adv.* **2013**, 3, 102131.
- [17] S. W. Liu, C. C. Lee, H. L. Tai, J. M. Wen, J. W. Lee, C. T. Chen, *ACS Appl. Mater. Interfaces* **2010**, 2, 2282.
- [18] T. Cramer, A. Kyndiah, A. Kloes, M. Murgia, B. Fraboni, F. Biscarini, *Phys. Rev. B* **2015**, 91, 205305.

- [19] L. L. Chua, J. Zaumseil, J. F. Chang, E. C. W. Ou, P. K. H. Ho, H. Sirringhaus, R. H. Friend, *Nature* **2005**, 434, 194.
- [20] K. Noda, Y. Wada, T. Toyabe, *Phys. Chem. Chem. Phys.* **2015**, 17, 26535.
- [21] A. Wang, I. Kymissis, V. Bulović, A. I. Akinwande, *IEEE Trans. Electron Devices* **2006**, 53, 9.

## 第5章 素子特性制御に向けた界面制御

### 5-1 はじめに

有機ヘテロ接合を用いた負性抵抗素子の期待される応用に有機集積回路の情報処理能力を向上させることができる多値論理回路がある。多値論理回路を実現していくには、 $V_{\text{peak}}$  や  $\Delta V$  などの素子特性の制御が重要となる。そこで本章では、電荷注入層および高誘電率 (High-k) ゲート絶縁膜を用いた界面制御により、素子特性の制御を行う。

### 5-2 素子特性制御への指針

$V_{\text{peak}}$  や  $\Delta V$  などの素子特性を制御していくにあたり、 $V_{\text{on}}$  と  $V_{\text{off}}$  が重要な役割を果たす (図 1-9b)。p 型動作させた素子では、 $V_{\text{on}}$  は p 型半導体チャネル、 $V_{\text{off}}$  は n 型半導体チャネルのしきい値電圧に依存するパラメータとなり、一方、n 型動作させた素子では、 $V_{\text{on}}$  は n 型半導体チャネル、 $V_{\text{off}}$  は p 型半導体チャネルのしきい値電圧に依存するパラメータとなる。例えば、n 型動作させた素子において、n 型半導体チャネルのしきい値電圧、つまり  $V_{\text{on}}$  を低減させれば (図 5-1)、 $V_{\text{peak}}$  を低電圧側にシフトさせたり、 $\Delta V$  を広げたりすることができる。このように  $V_{\text{on}}$  と  $V_{\text{off}}$  を調整することにより、素子特性の制御が可能となる。

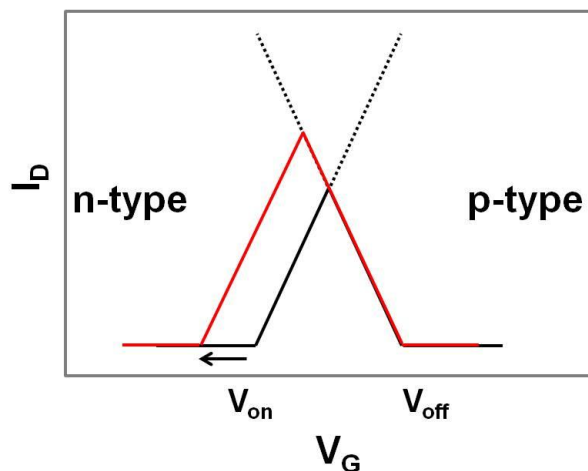


図 5-1  $V_{\text{on}}$  の低減が素子特性に与える影響.



### 5-3 電荷注入層を用いた界面制御

5-2 で述べたように、 $V_{on}$  と  $V_{off}$  は各半導体チャネルのしきい値電圧に依存するパラメータであるため、しきい値電圧を調整できれば、素子特性の制御が可能となる。一般に、有機トランジスタのしきい値電圧は、電極/有機半導体界面に電荷注入層を挿入しキャリア注入障壁を下げることにより<sup>[11-7]</sup>、低減することができる。これまでに、 $WO_3$ 、 $MoO_3$ 、 $V_2O_5$  などがホール注入層として<sup>[8-13]</sup>、 $LiF$ 、 $Cs_2CO_3$  などが電子注入層として働くことが知られている<sup>[14-19]</sup>。そこで本研究では、ホール注入層として  $MoO_3$  を、電子注入層として  $Cs_2CO_3$  を用いることにより各半導体チャネルのしきい値電圧の調整を行った。

まず、これらの電荷注入層の有効性を単独の  $\alpha$ -6T および PTCDI-C8 トランジスタにおいて確かめた。 $\alpha$ -6T トランジスタにはホール注入層として  $MoO_3$  層をソース電極と  $\alpha$ -6T チャネルとの界面に挿入し、一方、PTCDI-C8 トランジスタには電子注入層として  $Cs_2CO_3$  層をソース電極と PTCDI-C8 チャネルとの界面に挿入した。それらの  $I_D$ - $V_G$  特性を図 5-2 に示す。赤のプロットが通常の素子、紫のプロットが電荷注入層を用いた素子の  $I_D$ - $V_G$  特性である。 $MoO_3$  をホール注入層として用いた  $\alpha$ -6T トランジスタではしきい値電圧が  $-29$  V から  $-26$  V に、 $Cs_2CO_3$  を電子注入層として用いた PTCDI-C8 トランジスタではしきい値電圧が  $7.0$  V から  $1.6$  V に低減することが分かった。これらのことから、 $MoO_3$  層と  $Cs_2CO_3$  層は電荷注入層として、本研究で用いた有機半導体に対しても有効であることが明らかになった。

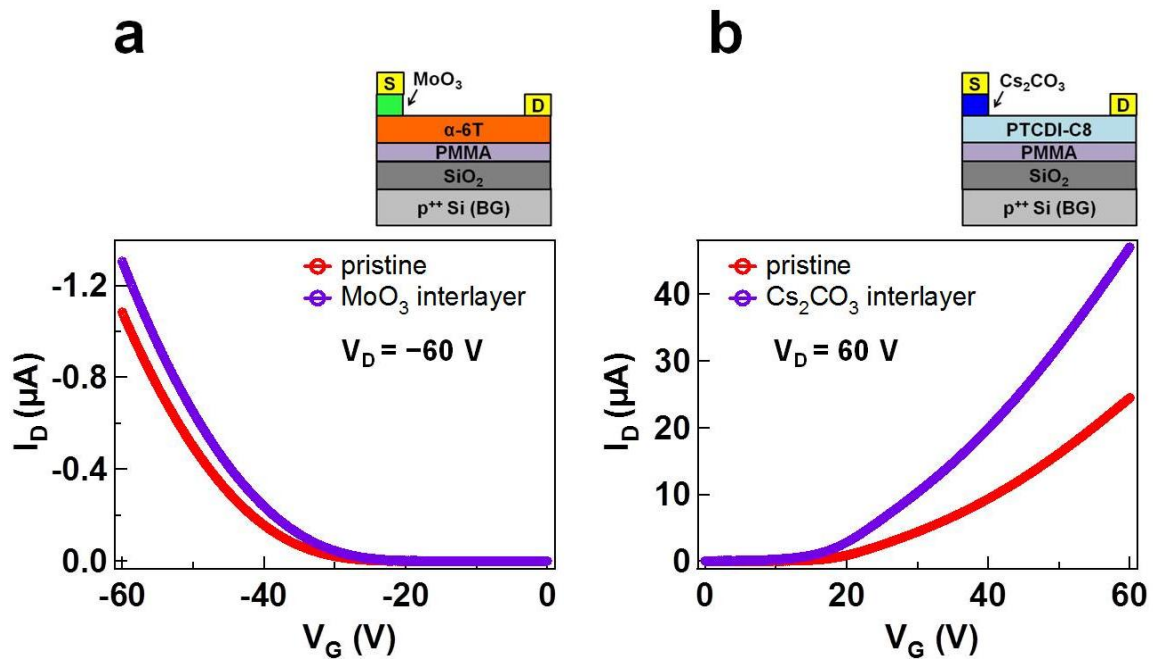


図 5-2 電荷注入層を用いたトランジスタにおける  $I_D$ - $V_G$  特性.

次に、これらの電荷注入層を作製した素子に適用した。図 5-3a に MoO<sub>3</sub> 層を電極と  $\alpha$ -6T チャンネルとの界面に挿入した素子の p 型動作時における  $I_D$ - $V_G$  特性を示す。赤のプロットが通常の素子、紫のプロットが MoO<sub>3</sub> 層を用いた素子の  $I_D$ - $V_G$  特性である。MoO<sub>3</sub> 層を用いた素子では、通常の素子と比較して、 $V_{off}$  はほとんど変わらず (-45 V ~ -48 V)、 $V_{on}$  のみが -34 V から -26 V へと低下した。これは MoO<sub>3</sub> 層により、電極から  $\alpha$ -6T チャンネルへのホール注入が促進されたからだと考えられる。MoO<sub>3</sub> 層を用いた素子では  $V_{on}$  が低下したことにより、 $V_{peak}$  が低電圧側にシフトし、 $I_{peak}$  や  $\Delta V$  が増加していることが分かる。

図 5-3b に Cs<sub>2</sub>CO<sub>3</sub> 層を電極と PTCDI-C8 チャンネルとの界面に挿入した素子の n 型動作時における  $I_D$ - $V_G$  特性を示す。赤のプロットが通常の素子、紫のプロットが Cs<sub>2</sub>CO<sub>3</sub> 層を用いた素子の  $I_D$ - $V_G$  特性である。Cs<sub>2</sub>CO<sub>3</sub> 層を用いた素子では、先程と同様に、 $V_{off}$  はほとんど変わらず (23 V ~ 24 V)、 $V_{on}$  のみが 9.8 V から 1.9 V へと低下した。これは Cs<sub>2</sub>CO<sub>3</sub> 層により、電極から PTCDI-C8 チャンネルへの電子注入が促進されたからだと考えられる。

さらに、これらの電荷注入層を同時に用いた素子の p 型動作時における  $I_D$ - $V_G$  特性を示す。

赤のプロットが通常の素子、紫のプロットが電荷注入層を同時に用いた素子の  $I_D$ - $V_G$  特性である。この素子では、 $V_{on}$  が  $-34$  V から  $-25$  V へと変化するだけでなく、同時に  $V_{off}$  も  $-48$  V から  $-58$  V へと変化した。これは両電極においてキャリア注入が促進されたからだと考えられる。電荷注入層を同時に用いた素子では、 $V_{on}$  が低下し、かつ  $V_{off}$  が増加することにより、 $\Delta V$  が大きく拡大していることが分かる ( $\Delta V = 33$  V)。

以上の結果から、電荷注入層を組み合わせて、素子の  $V_{on}$  と  $V_{off}$  を調整することにより、素子特性を制御できることが明らかになった。これは TMDC を用いた素子では実現できなかった新たな特徴であり、回路を設計していくにあたり、大きなアドバンテージとなる。

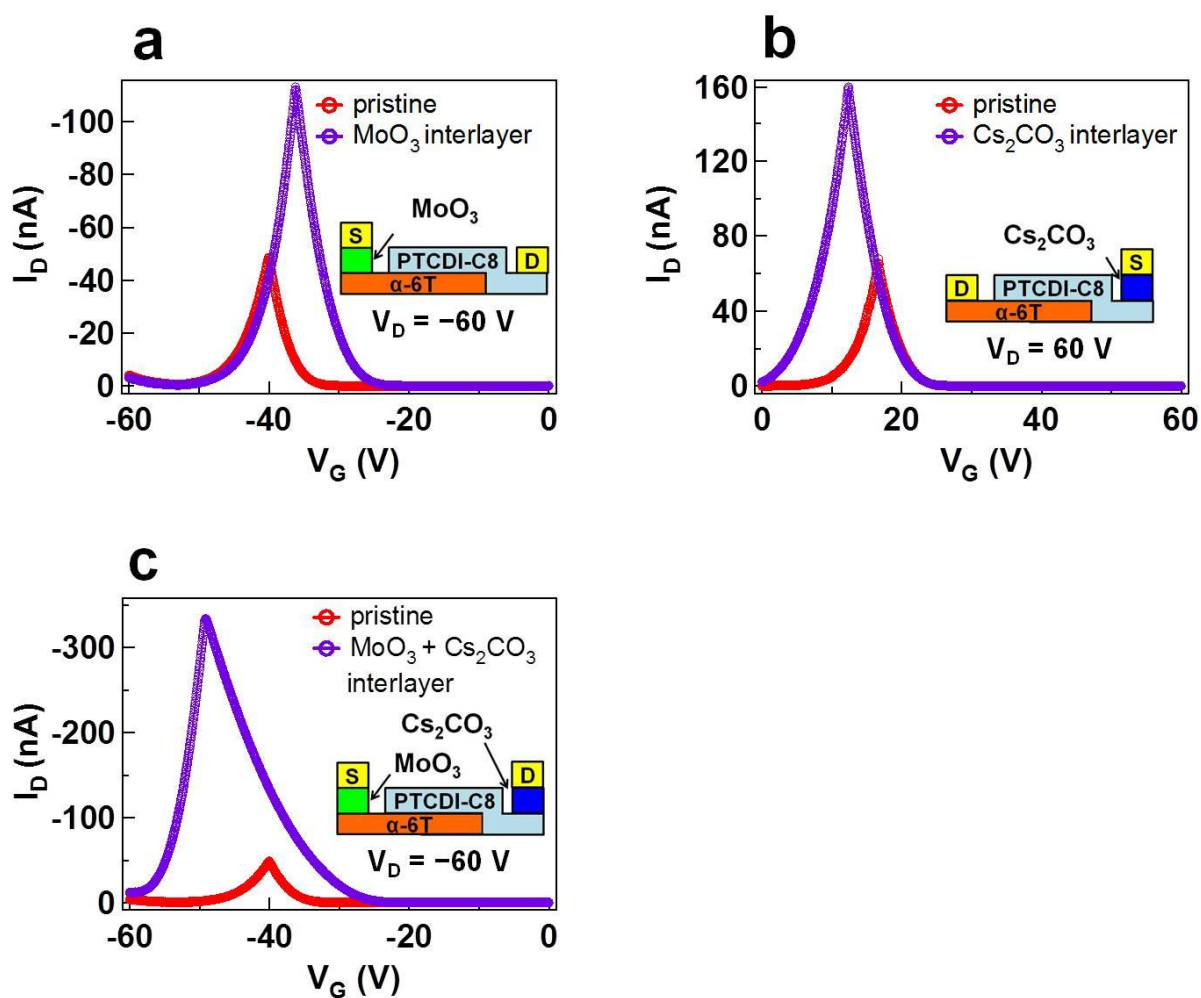


図 5-3 電荷注入層を用いた素子特性制御.

## 5-4 低電圧動作に向けた界面制御

### 5-4-1 電荷注入阻害層

負性抵抗素子の期待される応用に多値論理回路がある。この回路を実現するためには、素子の低電圧動作が求められる。つまり、非線形電流特性を低いゲート電圧領域で発現させなければならない。しかし、作製した素子では非線形電流特性を発現させるために 10 V 以上の高いゲート電圧を必要とする。そこで、まず電荷注入層を用いることにより、作製した素子の低電圧化を試みた。

素子の低電圧化には、 $\Delta V$  を低減（もしくは保持）し、かつ  $V_{\text{peak}}$  を低減していく必要がある。このような低電圧化への条件を満たすためには、 $V_{\text{on}}$  と  $V_{\text{off}}$  を同時に低下させることが有効である。図 5-4 の赤線のように、 $V_{\text{on}}$  のみを低下させただけでは、 $\Delta V$  が広がってしまうことが分かる。そこで、図中の青線のように  $V_{\text{on}}$  だけでなく  $V_{\text{off}}$  を同時に低下させることにより、 $\Delta V$  を保持しながら  $V_{\text{peak}}$  を低減していくことができる。

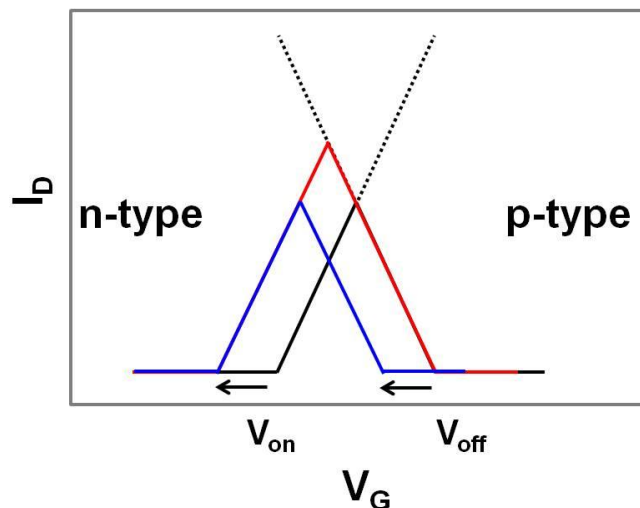


図 5-4 低電圧化への指針.

$V_{\text{on}}$  と  $V_{\text{off}}$  を同時に低下させるためには、一方の半導体チャネルのしきい値電圧を下げ、もう一方の半導体チャネルのしきい値電圧を増加させる必要がある。このようなしきい値電

圧の調整を行うために、本研究では電極/ $\alpha$ -6T チャンネル界面および電極/PTCDI-C8 チャンネル界面に  $\text{Cs}_2\text{CO}_3$  層を挿入した。5-3 で述べたように、 $\text{Cs}_2\text{CO}_3$  層は PTCDI-C8 チャンネルへの電子注入を促進し、しきい値電圧を低減させる。電子注入が促進するのは、 $\text{Cs}_2\text{CO}_3$  が蒸着時に、1.9 eV と仕事関数の低い Cs に熱分解し、これが実質的な電極として働くからだと考えられている<sup>[20-22]</sup>。このことから  $\text{Cs}_2\text{CO}_3$  層を  $\alpha$ -6T チャンネルに用いることにより、電極からのホール注入が阻害され、 $\alpha$ -6T チャンネルのしきい値電圧を増加させることができると考えた。そこで  $\text{Cs}_2\text{CO}_3$  層を、PTCDI-C8 チャンネルに対してしきい値電圧を低減させる電荷注入促進層として、一方、 $\alpha$ -6T チャンネルに対してしきい値電圧を増加させる電荷注入阻害層として用いた。

図 5-5a に両電極界面に  $\text{Cs}_2\text{CO}_3$  層を挿入した素子の n 型動作時における  $I_D$ - $V_G$  特性を示す。赤のプロットが通常の素子、紫のプロットが両電極界面に  $\text{Cs}_2\text{CO}_3$  層を用いた素子の  $I_D$ - $V_G$  特性である。両電極界面に  $\text{Cs}_2\text{CO}_3$  層を用いた素子では、 $\Delta V$  が広がることなく ( $\Delta V = 9 \text{ V}$ )、 $V_{\text{peak}}$  が 12 V から 2.4 V まで低減された。これは  $\text{Cs}_2\text{CO}_3$  層が  $\alpha$ -6T チャンネルに対して期待通りに電荷注入阻害層として働くことにより、 $V_{\text{on}}$  だけでなく  $V_{\text{off}}$  も同時に低下させたからだと考えられる (図 5-5b)。

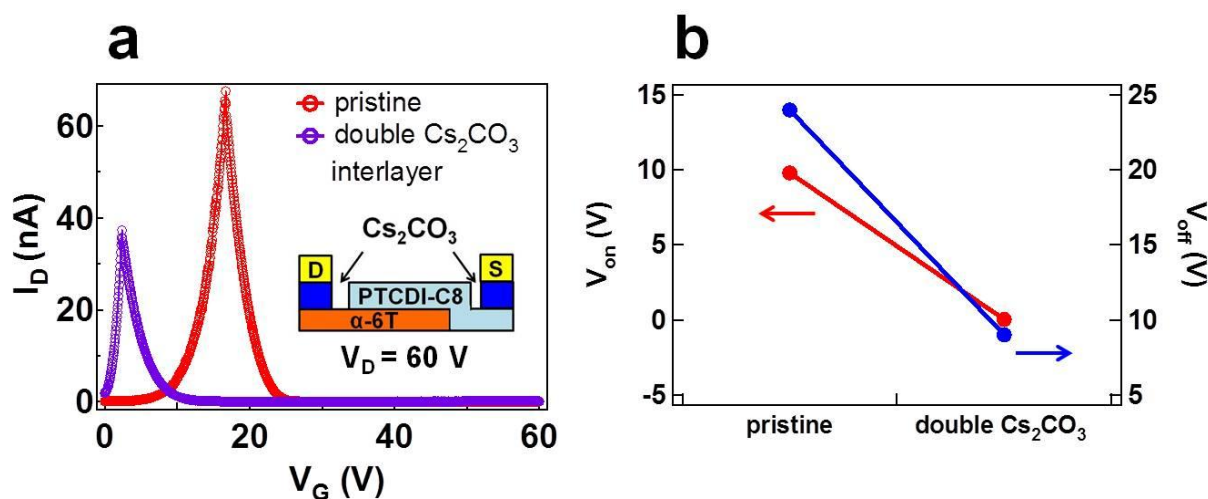


図 5-5 両電極界面に  $\text{Cs}_2\text{CO}_3$  層を挿入した素子の  $I_D$ - $V_G$  特性。

## 5-4-2 Al<sub>2</sub>O<sub>3</sub> 高誘電率絶縁膜

一般に、トランジスタの動作電圧はゲート絶縁膜の静電容量に左右され、静電容量が大きいほど、小さなゲート電圧で多数のキャリアを絶縁膜/半導体界面に誘起することができるため、トランジスタの低電圧動作が可能となる<sup>[23-25]</sup>。単位面積あたりの静電容量 ( $C_i$ ) は、 $\epsilon_0$ を真空の誘電率、 $\epsilon_r$ を絶縁膜の比誘電率、 $d$ を絶縁膜の厚さとする、式(5-1)のように表わせる。

$$C_i = \frac{\epsilon_0 \epsilon_r}{d} \quad (5-1)$$

式(5-1) から、絶縁膜の比誘電率が高いほど、また絶縁膜の厚さが薄いほど静電容量を大きくできることが分かる。そこで、High-k 絶縁膜を適用することにより、作製した素子のさらなる低電圧化を試みた。High-k 絶縁膜には、表 5-1 に示されているように、Si<sub>3</sub>N<sub>4</sub>、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、TiO<sub>2</sub> などがある<sup>[26]</sup>。本研究ではこれらの High-k 絶縁膜の中から、優れた平坦性と絶縁性を有する Al<sub>2</sub>O<sub>3</sub> を用いた<sup>[26-31]</sup>。

表 5-1 High-k 絶縁膜材料<sup>[26]</sup>

Material	Dielectric constant ( $\kappa$ )	Band gap $E_G$ (eV)	$\Delta E_C$ (eV) to Si	Crystal structure(s)
SiO <sub>2</sub>	3.9	8.9	3.2	Amorphous
Si <sub>3</sub> N <sub>4</sub>	7	5.1	2	Amorphous
Al <sub>2</sub> O <sub>3</sub>	9	8.7	2.8 <sup>a</sup>	Amorphous
Y <sub>2</sub> O <sub>3</sub>	15	5.6	2.3 <sup>a</sup>	Cubic
La <sub>2</sub> O <sub>3</sub>	30	4.3	2.3 <sup>a</sup>	Hexagonal, cubic
Ta <sub>2</sub> O <sub>5</sub>	26	4.5	1-1.5	Orthorhombic
TiO <sub>2</sub>	80	3.5	1.2	Tetrag. <sup>c</sup> (rutile, anatase)
HfO <sub>2</sub>	25	5.7	1.5 <sup>a</sup>	Mono. <sup>b</sup> , tetrag. <sup>c</sup> , cubic
ZrO <sub>2</sub>	25	7.8	1.4 <sup>a</sup>	Mono. <sup>b</sup> , tetrag. <sup>c</sup> , cubic

図 5-6a に  $\text{Cs}_2\text{CO}_3$  層と  $\text{Al}_2\text{O}_3$  絶縁膜を組み合わせた素子の構造を示す。基板には希釈 HF により表面の自然酸化膜を除去したハイドロープ Si 基板を用いた。この基板がゲート電極として作用する。この基板上に、 $\text{Al}(\text{CH}_3)_3$  と  $\text{H}_2\text{O}$  を原料として用いた原子層堆積法 (ALD) により、基板温度  $250\text{ }^\circ\text{C}$  の条件で  $30\text{ nm}$  の  $\text{Al}_2\text{O}_3$  絶縁膜を形成した。その後の素子作製プロセスは前述のとおりとなる。

図 5-6b に  $\text{Cs}_2\text{CO}_3$  層と  $\text{Al}_2\text{O}_3$  絶縁膜を組み合わせた素子の n 型動作時における  $I_D$ - $V_G$  特性の測定結果を示す。この測定では  $V_D$  を  $10\text{ V}$  に固定し、 $V_G$  を  $0$  から  $10\text{ V}$  の範囲で掃引した。この素子では、 $V_{\text{peak}}$  が  $0.25\text{ V}$  まで、さらに  $\Delta V$  も  $2.4\text{ V}$  まで大きく低減した (図 5-6c)。また、素子の性能の指標となる PVR を算出したところ、 $1.4 \times 10^3$  という値が得られた。この値は通常の素子の値 ( $5.9 \times 10^4$ ) と比較して、1 桁低い値である。 $I_{\text{peak}}$  は同程度 ( $13\text{ nA} \sim 64\text{ nA}$ ) であることから、PVR 低下の原因はゲートリーク電流による  $I_{\text{valley}}$  の上昇だと考えられる。この問題は  $\text{Al}_2\text{O}_3$  の成膜条件の最適化<sup>[32-34]</sup>やポストアニーリング<sup>[35-38]</sup>により解決できると考えられる。なお、各素子における特性は付録 B に一覧表としてまとめた。

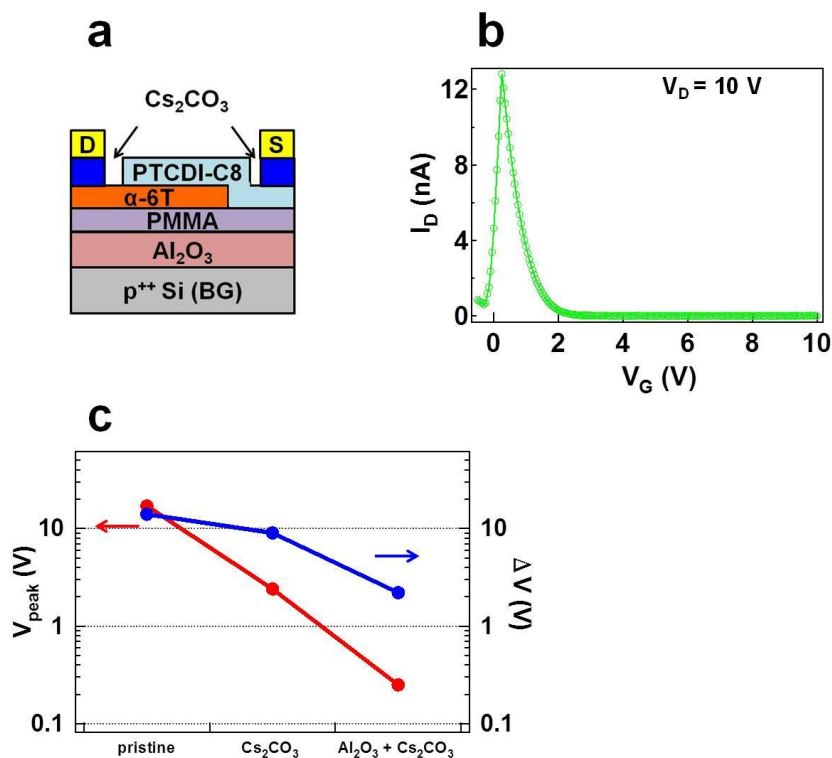


図 5-6  $\text{Cs}_2\text{CO}_3$  層と  $\text{Al}_2\text{O}_3$  絶縁膜を組み合わせた素子の  $I_D$ - $V_G$  特性。

## 5-5 まとめ

本章では、有機ヘテロ接合を用いた負性抵抗素子の多値論理回路への応用に向けて、 $V_{\text{peak}}$  や  $\Delta V$  などの素子特性の制御を行った。素子の多値論理回路への応用には  $V_{\text{peak}}$  や  $\Delta V$  を低減していく必要がある。素子の動作機構から、素子特性の制御には各半導体チャネルのしきい値電圧に依存する  $V_{\text{on}}$  と  $V_{\text{off}}$  が重要な役割を果たす。そこで、 $\text{Cs}_2\text{CO}_3$  層と  $\text{Al}_2\text{O}_3$  絶縁膜を組み合わせることで  $V_{\text{on}}$  と  $V_{\text{off}}$  を調整することにより、 $V_{\text{peak}}$  と  $\Delta V$  の低減を試みた。その結果、 $V_{\text{peak}}$  を 0.25 V まで、さらに  $\Delta V$  も 2.4 V まで低減することに成功した。このことから、作製した素子は多値論理回路を実現する素子として有望であることが明らかになった。



## 第 5 章参考文献

- [1] Y. Z. Wang, L. Cao, D. C. Qi, W. Chen, A. T. S. Wee, X. Y. Gao, *J. Appl. Phys.* **2012**, 112, 033704.
- [2] L. Y. Liu, L. Wan, L. Cao, Y. Y. Han, W. H. Zhang, T. X. Chen, P. P. Guo, K. Wang, F. Q. Xu, *Appl. Surf. Sci.* **2013**, 271, 352.
- [3] R. T. White, E. S. Thibau, Z.-H. Lu, *Sci. Rep.* **2016**, 6, 21109.
- [4] J. Meyer, A. Kahn, *J. Photonics Energy* **2011**, 1, 011109.
- [5] M. Kroger, S. Hamwi, J. Meyer, T. Riedle, W. Kowalsky, A. Kahn, *Appl. Phys. Lett.* **2009**, 95, 12330.
- [6] M. Zhu, L. Lyu, D. Niu, H. Zhang, S. Wang, Y. Gao, *RSC Adv.* **2016**, 6, 112403.
- [7] X. Haitao, Z. Xiang, *J. Appl. Phys.* **2013**, 114, 244505.
- [8] P. Yan, Z. Liu, S. Zhang, D. Liu, X. Wang, S. Yue, Y. Zhao, *APL Mater.* **2014**, 2, 116103.
- [9] C. W. Chu, S. H. Li, C. W. Chen, V. Shrotriya, Y. Yang, *Appl. Phys. Lett.* **2005**, 87, 193508.
- [10] M. Vasilopoulou, L. C. Palilis, D. G. Georgiadou, A. M. Douvas, P. Argitis, S. Kennou, L. Syggelou, G. Papadimitropoulos, I. Kostis, N. A. Stathopoulos, D. Davazoglou, *Adv. Funct. Mater.* **2011**, 21, 1489.
- [11] J. Meyer, K. Zilberberg, T. Riedl, A. Kahn, *J. Appl. Phys.* **2011**, 110, 033710.
- [12] K. J. Baeg, G. T. Bae, Y. Y. Noh, *ACS Appl. Mater. Interfaces* **2013**, 5, 5804.
- [13] S.-H. Li, Z. Xu, L. Ma, C.-W. Chu, Y. Yang, *Appl. Phys. Lett.* **2007**, 91, 083507.
- [14] C. W. Chu, C. F. Sung, Y. Z. Lee, K. Cheng, *Org. Electron.* **2008**, 9, 262.
- [15] C.-Y. Yang, Dhananjay, S.-S. Cheng, C.-W. Ou, Y.-C. Chuang, M.-C. Wu, C.-W. Chu, *Appl. Phys. Lett.* **2008**, 92, 253307.
- [16] S. Hoshino, S. Nagamatsu, M. Chikamatsu, M. Misaki, Y. Yoshida, N. Tanigaki, K. Yase, *Jpn. J. Appl. Phys.* **2002**, 41, 808.
- [17] R. Capelli, S. Tofanin, G. Generali, H. Usta, A. Facchetti, M. Muccini, *Nat. Mater.* **2010**, 9, 496.
- [18] C. Rolin, K. Vasseur, S. Schols, M. Jouk, G. Duhoux, R. Muller, J. Genoe, P. Heremans, *Appl.*

*Phys. Lett.* **2008**, 93, 033305.

[19] J. Liu, X. Wu, X. Shi, J. Wang, Z. Min, Y. Wang, M. Yang, G. He, *ACS Appl. Mater. Interfaces* **2015**, 7, 6438.

[20] Q. Liu, L. Duan, Y. Li, J. Qiao, Z. Yu, D. Zhang, L. Wang, G. Dong, Y. Qiu, *Jpn. J. Appl. Phys.* **2009**, 48, 102302.

[21] Y. Li, D. Zhang, L. Duan, R. Zhang, L. Wang, Y. Qiu, *Appl. Phys. Lett.* **2007**, 90, 012119.

[22] F.-C. Chen, J.-L. Wu, S. S. Yang, K.-H. Hsieh, W.-C. Chen, *J. Appl. Phys.* **2008**, 103, 103721.

[23] G. Horowitz, *Adv. Mater.* **1998**, 10, 365.

[24] C. R. Newman, C. D. Frisbie, D. A. da Silva Filho, J.-L. Bredas, P. C. Ewbank, K. R. Mann, *Chem. Mater.* **2004**, 16, 4436.

[25] R. P. Ortiz, A. Facchetti, T. J. Marks, *Chem. Rev.* **2010**, 110, 205.

[26] G. D. Wilk, R. M. Wallace, J. M. Anthony, *J. Appl. Phys.* **2001**, 89, 5243.

[27] M. D. Groner, F. H. Fabreguette, J. W. Elam, S. M. George, *Chem. Mater.* **2004**, 16, 639.

[28] S. M. George, *Chem. Rev.* **2010**, 110, 111.

[29] K. Tapily, J. E. Jakes, D. S. Stone, P. Shrestha, D. Gu, H. Baumgart, A. A. Elmustafa, *J. Electrochem. Soc.* **2008**, 155, H545.

[30] J. Robertson, *Eur. Phys. J. Appl. Phys.* **2004**, 28, 265.

[31] H. C. Lin, P. D. Ye, G. D. Wilk, *Appl. Phys. Lett.* **2005**, 87, 182904.

[32] A. C. Kozen, M. A. Schroeder, K. D. Osborn, C. J. Lobb, G. W. Rubloff, *Appl. Phys. Lett.* **2013** 102, 173501.

[33] J. Yota, H. Shen, R. Ramanathan, *J. Vac. Sci. Technol., A* **2013**, 31, 01A134.

[34] J. B. Kim, D. R. Kwon, K. Chakrabarti, C. Lee, K. Y. Oh, J. H. Lee, *J. Appl. Phys.* **2002**, 92, 6739.

[35] V. Cimalla, M. Baeumler, L. Kirste, M. Prescher, B. Christian, T. Passow, F. Benkhelifa, F. Bernhardt, G. Eichapfel, M. Himmerlich, S. Krischok, J. Pezoldt, *Mater. Sci. Appl.* **2014**, 5, 628.

[36] A. Hiraiwa, D. Matsumura, S. Okubo, H. Kawarada, *J. Appl. Phys.* **2017**, 121, 074502.

[37] C. Lin, J. Kang, D. Han, D. Tian, W. Wang, J. Zhang, M. Liu, X. Liu, R. Han, *Microelectron. Eng.* **2003**, 66, 830.

[38] L. Zhao, Z. Tan, J. Wang, J. Xu, *Appl. Surf. Sci.* **2014**, 289, 601.

## 第 6 章 結論

本論文では、有機集積回路の情報処理能力を向上させる将来の新機能素子として、有機ヘテロ接合を用いた負性抵抗素子を開発し、そのキャリア輸送特性の詳細な解析を行った。以下に各章の要約を示す。

第 2 章では、負性抵抗素子に用いる  $\alpha$ -6T および PTCDI-C8 薄膜の成長条件の最適化を行った。これらの有機薄膜は真空蒸着法を用いて形成した。真空蒸着法を用いて有機薄膜を形成する場合、分子の配向は真空蒸着時の基板温度に大きく支配される。そこで、基板温度を変えて成長させた有機薄膜を AFM や XRD などを用いて評価することにより、有機薄膜の成長条件の最適化を行った。その結果、基板温度 60 °C の条件で各有機薄膜を成長させることにより、エッジオン配向かつ結晶性の高い有機積層膜が形成されることが明らかになった。また、有機積層膜のヘテロ接合界面において、各有機薄膜のエネルギー準位が保持されていることを確認した。

第 3 章では、第 2 章で最適化した成長条件のもと負性抵抗素子を作製し、キャリア輸送特性の評価および動作機構の検討を行った。今回作製した素子では室温で  $10^4$  を超える高い PVR を実現し、TMDC を用いた素子で問題となっていた 40 V 以上の  $\Delta V$  を 14 V まで低減できることを示した。また、膜中にキャリアがほとんど存在しないという有機半導体の特徴により、印加したドレイン電圧がゲート電圧に従って各有機半導体に分配され、CMOS 回路における貫通電流と類似した機構に基づいて動作することを明らかにした。これにより、作製した素子ではドレイン電圧により  $\Delta V$  を制御できるということを見出した。

第 4 章では、幾何学的形状を変えたときのキャリア輸送特性を評価することにより、作製した素子におけるキャリア輸送経路の検討を行った。積層界面積を 5 倍にしたにもかかわらず、 $I_{\text{peak}}$  の増加は 12 %にとどまり、 $I_{\text{peak}}$  には界面積依存性がないことが分かった。また、 $\alpha$ -6T

の膜厚を 20 分子層と極端に厚くし、積層界面からのキャリア輸送経路を遮断した素子においても、電流が流れることが確認された。これらの結果から、作製した素子でのキャリア輸送経路は、薄膜の端部が接合するエッジ界面であることを明らかにした。これにより、作製した素子には幅広い有機半導体材料が適用できることを示した。

第 5 章では、素子の多値論理回路への応用に向けて、 $V_{\text{peak}}$  や  $\Delta V$  などの素子特性の制御を行った。素子の動作機構から素子特性の制御には各半導体チャネルのしきい値電圧に依存する  $V_{\text{on}}$  と  $V_{\text{off}}$  が重要な役割を果たすことを明らかにした。このことを踏まえて、界面制御による素子特性の制御を提案した。 $\text{Cs}_2\text{CO}_3$  層と  $\text{Al}_2\text{O}_3$  絶縁膜を組み合わせると  $V_{\text{on}}$  と  $V_{\text{off}}$  を調整することにより、 $V_{\text{peak}}$  を 0.25 V まで、さらに  $\Delta V$  を 2.4 V まで低減できることを示した。このことから、作製した素子は素子特性の制御が可能であり、多値論理回路を実現する素子として有望であることを明らかにした。

今回作製した素子は、従来の負性抵抗素子では成し得なかった、高い PVR と素子特性の制御性を有する。この優れた特徴を利用して多値論理回路や多機能論理演算素子を構築することにより、有機集積回路の情報処理能力の大幅な向上が期待できる。これにより信号処理機能および通信機能を兼ね備えたフレキシブルセンサの作製が可能となり、安心・安全・快適な IoT 社会の実現に貢献することが期待される。本素子を用いた多値論理回路と多機能論理演算素子については付録 C および D で詳しく記述した。

本研究で得られた知見が、エレクトロニクス分野のさらなる発展に寄与することを祈念しつつ擱筆する。

## 付録 A 略語表

AFM: atomic force microscopy

$\alpha$ -6T:  $\alpha$ -sexithiophene

CMOS: Complementary MOS

HOMO: highest occupied molecular orbital

IC: integrated circuit

IoT: Internet of Things

LSI: large scale integrated circuit

LUMO: lowest unoccupied molecular orbital

MOSFET: metal-oxide-semiconductor field-effect transistor

MPU: micro processor unit

PMMA: polymethyl methacrylate

PTCDI-C8: N,N'-dioctyl-3,4,9,10-perylenedicarboximide

PVR: peak-to-valley ratio

PYS: photoelectron yield spectroscopy

TMDC: transition metal dichalcogenide

XRD: X-ray diffraction

XRR: X-ray reflectivity

## 付録 B 有機ヘテロ接合を用いた負性抵抗素子の性能

	$V_{on}$ (V)	$V_{off}$ (V)	$\Delta V$ (V)	$V_{peak}$ (V)	$I_{peak}$ (nA)	PVR
<b>Pristine device (p-operation)</b>	<b>-34</b>	<b>-48</b>	<b>14</b>	<b>-40</b>	<b>-49</b>	<b><math>1.2 \times 10^2</math></b>
<b>Device with MoO<sub>3</sub> (p-operation)</b>	<b>-26</b>	<b>-45</b>	<b>19</b>	<b>-36</b>	<b><math>-1.1 \times 10^2</math></b>	<b><math>3.9 \times 10^2</math></b>
<b>Device with MoO<sub>3</sub> + Cs<sub>2</sub>CO<sub>3</sub> (p-operation)</b>	<b>-25</b>	<b>-58</b>	<b>33</b>	<b>-49</b>	<b><math>-3.3 \times 10^2</math></b>	<b><math>2.9 \times 10^1</math></b>
<b>Pristine device (n-operation)</b>	<b>9.8</b>	<b>24</b>	<b>14</b>	<b>17</b>	<b>68</b>	<b><math>5.9 \times 10^4</math></b>
<b>Device with single Cs<sub>2</sub>CO<sub>3</sub> (n-operation)</b>	<b>1.9</b>	<b>23</b>	<b>21</b>	<b>12</b>	<b><math>1.6 \times 10^2</math></b>	<b><math>7.8 \times 10^4</math></b>
<b>Device with double Cs<sub>2</sub>CO<sub>3</sub> (n-operation)</b>	<b>0.032</b>	<b>9.0</b>	<b>9.0</b>	<b>2.4</b>	<b>37</b>	<b><math>3.4 \times 10^4</math></b>
<b>Device with double Cs<sub>2</sub>CO<sub>3</sub> + Al<sub>2</sub>O<sub>3</sub> (n-operation)</b>	<b>-0.39</b>	<b>1.8</b>	<b>2.2</b>	<b>0.25</b>	<b>13</b>	<b><math>1.4 \times 10^3</math></b>

## 付録 C 作製した素子を用いた多値論理回路

作製した素子を用いた多値論理回路 (多値インバータ回路) の構造を図 C1a に示す。多値論理回路は単独の PTCDI-C8 トランジスタと作製した負性抵抗素子により構成される。入力電圧 ( $V_{IN}$ ) はボトムゲート電極 (ハイドープ Si 基板) に印加される。また、PTCDI-C8 トランジスタ側のソース電極は接地され、負性抵抗素子側のソース電極には電源電圧 ( $V_{DD}$ ) が印加される。出力電圧 ( $V_{OUT}$ ) は、2つのソース電極の間にある共通のドレイン電極により測定される (図 C1b)。

図 C1c に各素子の  $I_D$ - $V_{IN}$  特性を示す。青のプロットが PTCDI-C8 トランジスタの  $I_D$ - $V_{IN}$  特性、緑のプロットが負性抵抗素子の  $I_D$ - $V_{IN}$  特性である。 $V_{OUT}$  はこれら 2つの素子の  $I_D$  の差により決まる。 $V_{IN}$  が低い電圧値 (論理値 “0”) の場合、PTCDI-C8 トランジスタよりも負性抵抗素子の  $I_D$  が大きいため、 $V_{DD}$  に相当する高い  $V_{OUT}$  (論理値 “1”) が出力される。 $V_{IN}$  が高い電圧値 (論理値 “1”) の場合、負性抵抗素子よりも PTCDI-C8 トランジスタの  $I_D$  が大きくなるため、低い  $V_{OUT}$  (論理値 “0”) が出力される。 $V_{IN}$  が中間の電圧値 (論理値 “1/2”) の場合、2つのトランジスタの  $I_D$  はほぼ同程度になるため、 $V_{DD}/2$  に相当する中間の  $V_{OUT}$  (論理値 “1/2”) が出力される (図 C1d)。

以上のように、作製した素子を用いれば多値論理回路を実現できる。



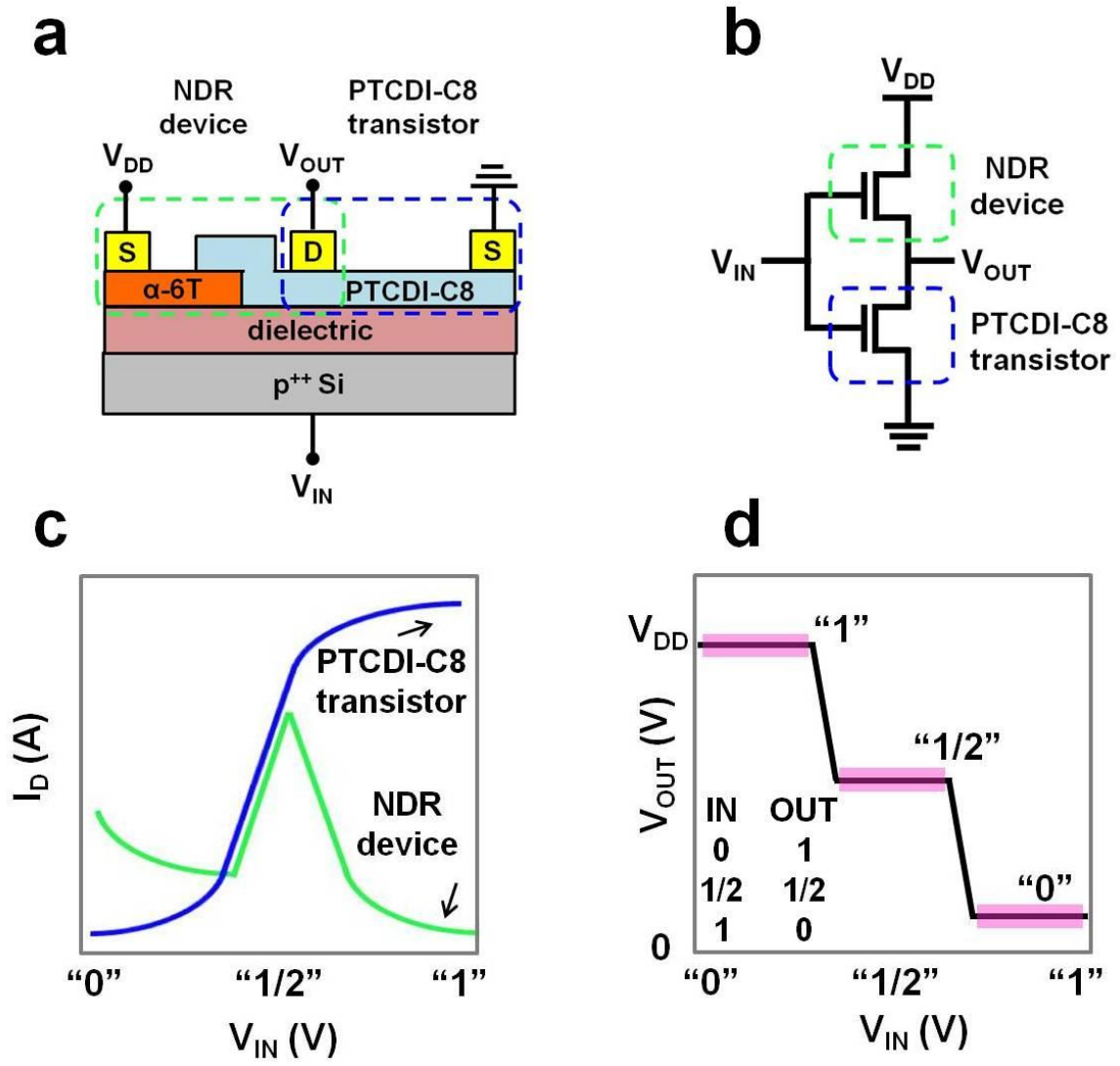


図 C1 作製した素子を多値論理回路.

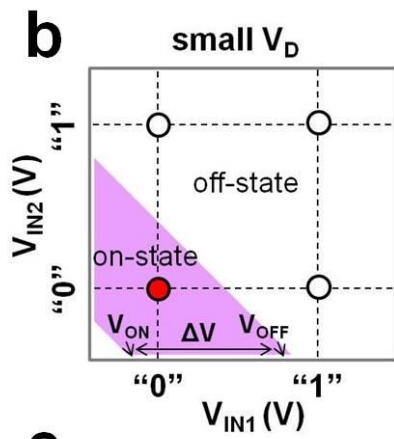
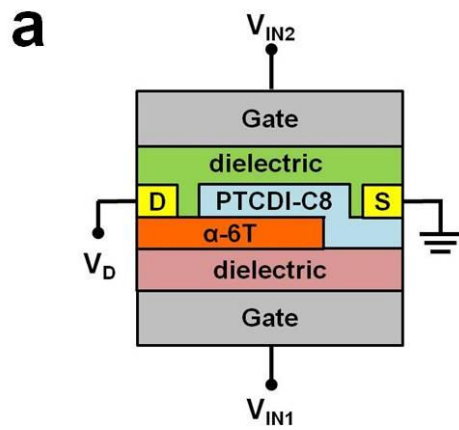
## 付録 D 作製した素子を用いた多機能論理演算素子

作製した素子を用いた多機能論理演算素子の構造を図 D1a に示す。作製した素子にトップゲートを設けたデュアルゲートトランジスタ構造になっており、それぞれのゲート電極が入力端子として作用する。ボトムゲート電極に印加する入力電圧を  $V_{IN1}$ 、トップゲート電極に印加する入力電圧を  $V_{IN2}$  とする。それぞれの入力電圧時における  $I_D$  を出力とし、オン状態 ( $V_{on}$  から  $V_{off}$  の範囲内) での  $I_D$  を論理値 “1”、オフ状態 ( $V_{on}$  から  $V_{off}$  の範囲外) での  $I_D$  を論理値 “0” と定義する。

この素子では、ボトムゲートにより発現させた非線形電流特性をトップゲートにより制御することができる。そのため、トップゲートに電圧を印加し非線形電流特性の  $V_{on}$  および  $V_{off}$  を低電圧側にシフトさせることにより、図 D1b に示したような出力電流特性が得られると考えられる。

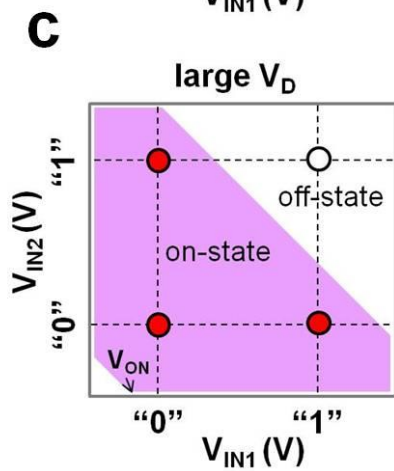
この素子では、 $V_{IN1}$  および  $V_{IN2}$  がともに低い状態 (論理値 “0”) であるときのみ、オン状態となり “1” が出力される。これは NOR 回路と同等の動作となる。

また、作製した素子では  $V_D$  により  $\Delta V$  を制御できるという特徴を有する。そのため、 $V_D$  を大きくすれば、 $\Delta V$  が広がり、図 D1c に示したような出力電流特性が得られると考えられる。 $V_D$  を大きくした素子では、 $V_{IN1}$  および  $V_{IN2}$  がともに高い状態 (論理値 “1”) であるときのみ、オフ状態となり “0” が出力される。これは NAND 回路の動作に相当する。以上のように、作製した素子を用いれば多機能論理演算素子を実現できる。



**NOR**

IN1	IN2	OUT
0	0	1
1	0	0
0	1	0
1	1	0



**NAND**

IN1	IN2	OUT
0	0	1
1	0	1
0	1	1
1	1	0

図 D1 作製した素子を利用した多機能論理演算素子.

## 謝辞

本研究を遂行し本論文を作製するにあたり、御多忙の中にありながら、懇切丁寧な御指導を賜りました、九州大学大学院工学府物質創造工学専攻の若山裕教授に心から感謝の意を表すとともに、深く御礼申し上げます。

学位論文審査において、本論文の審査を引き受けていただきました、九州大学大学院工学府物質創造工学専攻 古田弘幸教授、九州大学大学院工学府材料物性工学専攻 山田淳教授に深く感謝致します。

本研究を遂行するにあたり、貴重な御助言をいただき、実験装置のメンテナンス等の細かな部分まで御支援を賜りました、国立研究開発法人物質・材料研究機構量子デバイス工学グループ 早川竜馬氏に深く感謝致します。

本研究を遂行するにあたり、有益な御助言と御指導を賜りました、国立研究開発法人物質・材料研究機構量子デバイス工学グループ 中払周氏、森山悟士氏に深く感謝致します。

本研究を遂行するにあたり、御支援と激励を賜りました、国立研究開発法人物質・材料研究機構半導体デバイス材料グループ 知京豊裕氏、長田貴弘氏、川喜多仁氏、山下良之氏に深く感謝致します。

本研究を遂行するにあたり、御助言と御協力を賜りました、国立研究開発法人物質・材料研究機構量子デバイス工学グループ Seungjun Oh 氏 (現 (株) アルバック)、 Jiwong Koo 氏 (現 Nanometrics Korea)、 Yesul Jeong 氏 (現 Korea Basic Science Institute)、山本真人氏 (現 (株) サムスン日本研究所)、 Sinae Heo 氏 (現 Applied Materials Korea)、 Tin Phan Nguy 氏、黒川裕香氏、渡辺みか氏に深く感謝致します。

公私ともに温かい激励を賜りました、明治大学小椋研究室 小椋厚志教授、栗島一徳氏、鈴木良尚氏 (現 キヤノン (株))、女屋崇氏、立島滉大氏に深く感謝致します。

研究に集中できる環境を整えていただきました、国立研究開発法人物質・材料研究機構半導体デバイス材料グループ 松下美智世氏、国立研究開発法人物質・材料研究機構量子デバイ

ス工学グループ 美濃島麗美氏に心より感謝致します。

最後に、ここまで支えてくれた両親に心より感謝致します。