

# ソフトエラーに起因するパルスのラッチ確率のモデル化

平田, 元春  
九州大学大学院システム情報科学府

吉村, 正義  
九州大学大学院システム情報科学研究院

松永, 裕介  
九州大学大学院システム情報科学研究院

<https://hdl.handle.net/2324/18386>

---

出版情報 : 電子情報通信学会技術研究報告. 2010-VLD-56, pp.83-88, 2010-09. 電子情報通信学会  
バージョン :  
権利関係 :

## ソフトエラーに起因するパルスのラッチ確率のモデル化

平田 元春<sup>†</sup> 吉村 正義<sup>††</sup> 松永 裕介<sup>††</sup>

<sup>†</sup>九州大学大学院システム情報科学府 〒819-0395 福岡県福岡市西区元岡 744

<sup>††</sup>九州大学大学院システム情報科学研究院 〒819-0395 福岡県福岡市西区元岡 744

E-mail: <sup>†</sup>hirata@soc.ait.kyushu-u.ac.jp, <sup>††</sup>{yosimura,matsunaga}@ait.kyushu-u.ac.jp

あらまし LSI(Large Scale Integrated Circuit) の信頼性を低下させる要因の一つとして、放射性粒子により回路素子の出力の反転が引き起こされるソフトエラーと呼ばれる現象が挙げられる。設計された回路が所望のソフトエラー耐性を持つか判断するため、設計者は回路のソフトエラー耐性を評価する必要がある。ソフトエラー耐性を評価する際、フリップフロップ(以下FF)の入力へ伝搬したパルスがラッチされる確率を計算する必要がある。既存研究ではパルス幅等をパラメータとしたラッチ確率のモデル化が行われている。そのモデルではパルス幅に比例してラッチ確率が計算できるとしている。しかし、実際のラッチ確率はパルス幅に比例しておらず、既存のモデルはラッチ確率を過小見積もりしている。そこで本稿では、既存のモデルと比べて精度の高いモデルの構築を行った。また、既存のモデルが考慮していない遷移時間をパラメータに加えたモデル化を行い精度の向上を図った。単位時間当たりにソフトエラーが発生し外部出力へ誤った値が出力される確率であるSER(Soft Error Rate)を用いてモデルの評価を行った結果、既存のモデルがSERを5.8%過小に見積もっているのに対し、本稿のモデルは0.03%程度の誤差でSERが計算可能であることを確認した。

キーワード LSIの信頼性低下要因, ソフトエラー率(SER) 見積もり, パルスのラッチ確率

## Modeling of Latching Probability of Soft-Error-Induced Pulse

Motoharu HIRATA<sup>†</sup>, Masayoshi YOSHIMURA<sup>††</sup>, and Yuusuke MATSUNAGA<sup>††</sup>

<sup>†</sup> Graduate School of Information Science and Electrical Engineering, Kyushu University Motooka 744,  
Nishi-ku, Fukuoka, 819-0395 Japan

<sup>††</sup> Faculty of Information Science and Electrical Engineering, Kyushu University Motooka 744, Nishi-ku,  
Fukuoka, 819-0395 Japan

E-mail: <sup>†</sup>hirata@soc.ait.kyushu-u.ac.jp, <sup>††</sup>{yosimura,matsunaga}@ait.kyushu-u.ac.jp

**Abstract** This paper describes soft error which is one of the dependability decrease factors of LSI(Large Scale Integrated circuit). Soft error is a phenomenon that the output value of a logic gate flips transiently or the preserved value of a storage element flips because of electric charge occurred by neutron particle strike at transistor. Designers of circuits should do soft error measures to judge whether the circuit has desired tolerance. It is necessary to calculate the probability that pulse propagated to the input of each flipflop (henceforth FF) is latched when we evaluate soft error tolerance. The latching probability of which parameter is pulse width was modeled in an existing research. It is proportional to pulse width. However, accurate probability is not proportional to pulse width. the latching probability is underestimated in the research. This paper presents modeling method of latching probability considering not only difference of pulse width but also difference of transition time. In this paper, we show the evaluation result of the model by using SER(Soft Error Rate) that is probability that soft error occurs and propagate wrong value to output at unit time. Our model estimated SER 0.03% smaller while the existing model estimated SER 5.8% smaller.

**Key words** Dependability decrease factor of LSI, SER(Soft Error Rate) estimation, latching probability of pulse

## 1. はじめに

LSI(Large Scale Integrated Circuit)の信頼性を低下させる要因の一つとして、ソフトエラーが挙げられる。ソフトエラーとは、大気圏外から飛来する高エネルギー中性子などの放射線粒子がトランジスタ内のSi層に衝突することで発生する電荷による、レジスタの保持する値や論理ゲートの出力値の一時的な反転のことである[1]。ソフトエラーはLSIの誤動作(以下、Failure)を引き起こす可能性があり、サーバや銀行のATM、医療機器などの高い信頼性を必要とするLSIに対しては大きな問題となり得る。

現代の技術革新に伴うトランジスタの寸法の縮小や低消費電力化によって、メモリ回路や論理ゲートの出力値を反転させるのに必要な最小の電荷量である臨界電荷量が低下している。そのため、ソフトエラーが以前より小さな電荷量の変動で発生するようになり、今後ソフトエラーが発生する確率は増加することが予想される。このような背景から、回路の設計者は回路の信頼性を維持するため、よりソフトエラー対策に取り組む必要があると考えられる。

LSIの信頼性の低下を防ぐため、これまでに多くの対策手法が提案されてきた[2][3][4]。一方で、ソフトエラーに対策を施した回路が元の回路と比べてどれだけFailureの発生を防ぐことができるのか評価しなければならない。ソフトエラーに対する脆弱性を評価する指標としては一般的に、対象の回路で単位時間あたりにソフトエラーが発生し、それによりFailureが発生する確率であるソフトエラー率(以下、SER:Soft Error Rateと呼ぶ)が用いられる。

SERは一般的に、回路内の各素子でソフトエラーによりパルスが発生する確率と、そのパルスが外部出力へ伝搬する確率の積で計算される。パルスの伝搬を考える際、FFの入力へ到達したパルスがラッチされるか判断する必要がある。その際、ラッチウィンドウを含まないタイミングでパルスが伝搬した場合にパルスのラッチ(値が保持されること)が阻害される現象であるlatch-window masking[4]の有無を検証する必要がある。ラッチウィンドウとは、FFへ値が保持されることを保証するためにFFへの入力値が変動してはならない時区間のことである。クロックの立ち上がり時刻を基準としてFFの入力へパルスが伝搬する時刻や、パルス幅、遷移時間からラッチされるか否かは一意に決まる。しかし、ソフトエラーが発生する時刻の分布は一様のためFFの入力へパルスが伝搬する時刻の分布も一様とみなすことができる。そのため、パルスがラッチされるか否かは確率的であり、SER計算の際はFFの入力へ伝搬したパルスがラッチされる確率であるラッチ確率を計算する必要がある。

文献[4]でShivakumarらは、パルス幅とラッチウィンドウの幅及びクロックサイクル時間をパラメータとしてパルスのラッチ確率のモデル化を行っている。Shivakumarらの式は、ラッチ確率がパルス幅に比例すると考えてモデル化されている。本稿では、FFの入力へ伝搬したパルスのパルス幅と伝搬タイミングを変化させながらそれぞれでラッチされるか否かを回路シ

ミュレーションを用いて調査し、ラッチ確率の計算を行った。その結果、ラッチ確率はパルス幅に比例せず、Shivakumarらのモデルは過小見積もりをしていることが確認された。

また、Shivakumarらはパルスの立ち上がり及び立ち下りの遷移時間の違いを考慮していない。遷移時間の違いによりパルス幅が同じでもFF内の各トランジスタの電位変化に違いが生じ、ラッチ確率が変化することが予想される。本稿では、遷移時間の違いによるラッチ確率の変化を調査した。また、遷移時間をパラメータに加えたラッチ確率のモデル化を行った。SERを用いてモデルの評価を行った結果、既存のモデルがSERを5.8%過小に見積もっているのに対し、本稿のモデルは0.03%程度の誤差でSERを計算可能であることを確認した。

本稿は以下の構成から成る。第2章では、既存のラッチ確率の近似モデルについて述べる。第3章では、ラッチの可否を表す分布の調査及びラッチ確率の解析を行った実験について説明する。また、遷移確率の違いによるラッチ確率の変化を調査した実験について説明する。第4章では、前章の実験結果を踏まえ、既存の近似モデルと比較して精度が高く、遷移時間の違いを考慮したモデル化を行い、評価を行った結果について述べる。最後に第5章で本稿をまとめ、今後の課題を述べる。

## 2. 既存のラッチ確率の近似モデル[4]

本章では、文献[4]で紹介されている既存のラッチ確率計算手法について説明し、その手法の問題点について述べる。

### 2.1 既存のラッチ確率計算式

Shivakumarらは文献[4]において、パルス幅とラッチウィンドウの幅及びクロックサイクル時間をパラメータとしてFFへ伝搬したパルスがラッチされる確率のモデル化を行っている。本稿におけるパルス幅は、パルスの電圧が $0.5 \cdot V_{dd}[V]$ を超えた時刻から下回った時刻までの時区間または、 $0.5 \cdot V_{dd}[V]$ を下回った時刻から超えた時刻までの時区間の長さのことである。文献[4]においてラッチウィンドウとは、FFへ値が保持されることを保証するためにFFへの入力値が変動してはならない最小の時区間のことであると定義されている。

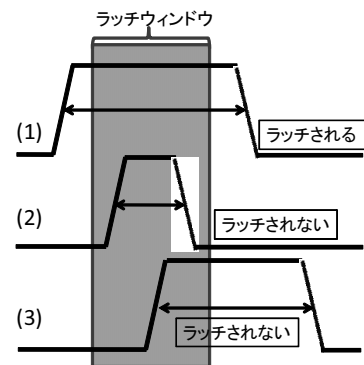


図1 Shivakumarらによるパルスのラッチの定義

図1は、Shivakumarらによるラッチウィンドウとパルスのラッチの可否に関する関係である。(1)のようにラッチウィンドウの全体をパルスが含む場合パルスはラッチされる。しかし、

(2) のようにラッチウィンドウの一部のみをパルスが含む場合や、(3) のようにラッチウィンドウよりパルス幅は大きいが一歩のみを含む場合、パルスはラッチされないと見なしている。

クロックサイクル時間を  $c$  とし、ラッチウィンドウの幅が  $w$  であるとき幅  $d$  のパルスがラッチされる確率  $Pr(d, w, c)$  は以下の式で表わされる。

$$Pr(d, w, c) = \begin{cases} 0 & (d < w) \\ \frac{d-w}{c} & (w \leq d \leq c+w) \\ 1 & (c+w < d) \end{cases} \quad (1)$$

## 2.2 既存手法の問題点

文献 [4] のラッチ確率はパルス幅  $d$  に比例する式となっている。これは、ラッチウィンドウ全体をパルスが含む場合のみパルスがラッチされるとみなしているためである。文献 [4] におけるラッチウィンドウ全体をパルスが含んでいることは、パルスがラッチされるための十分条件であるが、必要条件ではない。なぜなら、実際は図 1 中の (3) のようにパルス幅がラッチウィンドウより大きく、ラッチウィンドウの一部をパルスが含む場合でもパルスがラッチされる可能性があるためである。そのため、Shivakumar らのモデルは精度に問題がある可能性がある。

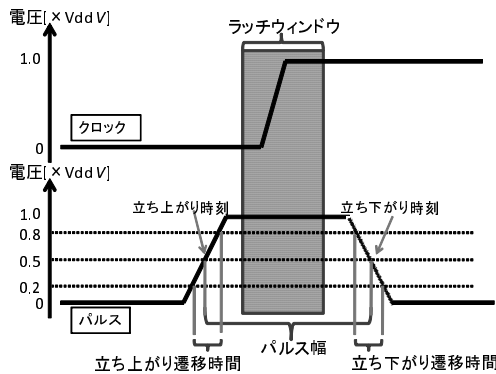


図 2 クロック及びパルスの模式図

また図 2 で示すように、パルスの電圧が低電位 (0V) から高電位 ( $V_{dd}$  V) へ立ち上がったとき、逆に高電位から低電位へ立ち下がる際には遷移時間が生じる。一般的に、遷移時間は  $0.2 \cdot V_{dd}$  と  $0.8 \cdot V_{dd}$  の間を電圧が変動する際に要する時間と定義されている。本稿では、 $0.2 \cdot V_{dd}$  から  $0.8 \cdot V_{dd}$  へ電圧が上昇するのに要する時間を立ち上がり遷移時間、逆に  $0.8 \cdot V_{dd}$  から  $0.2 \cdot V_{dd}$  へ電圧が下降するのに要する時間を立ち下がり遷移時間と呼ぶこととする。

ソフトウェアにより発生したパルスが FF へ伝搬した際の遷移時間は、ソフトウェア発生時に収集された電荷量や、パルスが通過する素子の特性によって変化する。パルス幅が同じでも遷移時間が異なる場合 FF 内のトランジスタの電位変化に違いが出ると思われるため、ラッチ確率が変化することが予想される。しかし、式 (1) は遷移時間の違いを考慮したモデル化がされていない。そのため、パルス幅が同じ場合でも遷移時間が異なるとラッチ確率に誤差が生じることが考えられる。

## 3. 実験

### 3.1 実験の概要

Shivakumar らのモデルの問題点から、以下の 2 つの実験を行うことでパルスのラッチ条件やラッチ確率に関する調査を行う。

(1) Shivakumar らのモデルはどの程度の精度でラッチ確率を見積もることができているか検証を行う。そのため的手段として、FF の入力へ伝搬するパルスのパルス幅と伝搬タイミングに対してラッチの可否がどのような分布になるか調査する。その結果からパルス幅ごとのラッチ確率を求める。

(2) 精度の高いラッチ確率のモデル化を行うためには遷移時間の違いを考慮すべきか検討を行うため、遷移時間が変化するとラッチ確率がどのように変化するのか調査する。

回路シミュレータには HSPICE を使用した。入力として与える FF のネットリストは 65nm プロセスのモデルである。また、クロックサイクル時間は 1ns、FF の入力へパルスが伝搬する直前までの FF の保持する値は 0 とした。本実験では  $V_{dd}$  を 1V とし、FF へ入力するパルスは 0V から 1V に立ち上がり、1V から 0V に立ち下がる波形とする。使用した計算機のプロセッサは Intel Xeon 3.3GHz であり、メモリは 32GB である。

### 3.2 パルス幅及び伝搬タイミングの違いによるラッチ条件の調査

回路シミュレーションを利用して FF の入力へのパルスの伝搬を再現する。図 2 で示すパルスの立ち上がり時刻と立ち下がり時刻を変化させながらそれぞれでラッチされるか判断しラッチの可否を調査する。ラッチの可否を表す分布からパルス幅ごとのラッチ確率を計算し、既存のモデルとの比較を行う。

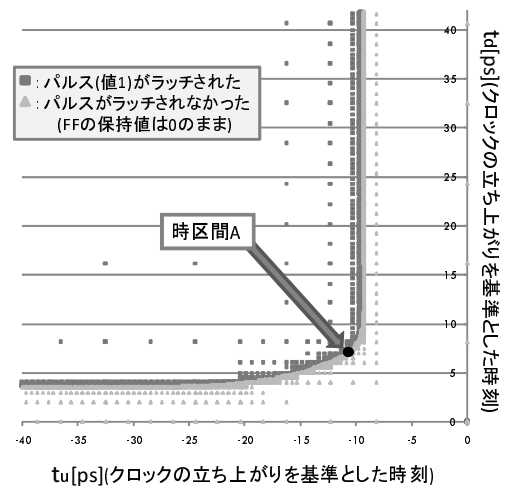


図 3 パルス幅及び伝搬タイミングの違いに対するラッチ条件

図 3 は実験 1 の実験結果である。横軸はクロックの立ち上がり時刻を基準としたパルスの立ち上がり時刻  $t_u$  [ps] であり、縦軸はクロックの立ち上がり時刻を基準としたパルスの立ち下がり時刻  $t_d$  [ps] である。なお、立ち上がりと立ち下がり遷移時間は双方とも 1ps である。文献 [4] におけるラッチウィンドウ

の定義に基づくと、ラッチウィンドウは図3の座標(-10.8, 7.1)で表される幅17.9psの時区間Aである。従って、文献[4]の計算式でラッチされるとみなされる領域は、 $t_u \leq -10.8$ かつ $7.1 \leq t_d$ を満たす領域と言える。しかし、図3を見ると上記の領域以外の部分でラッチされる条件は存在することがわかる。

図4は実験1の結果及び式(1)から計算されたパルス幅ごとのラッチ確率を表したグラフである。グラフ内の“回路Sim結果”は、実験結果から得られたラッチ確率を表す。また、グラフ内の“既存手法”はラッチウィンドウを座標(-10.8, 7.1)で表される幅17.9psの時区間と見なした場合に、式(1)により計算されたラッチ確率を表す。グラフを見てわかるように、回路シミュレーションの結果から計算されたラッチ確率はパルス幅に比例していないことがわかる。また、“回路Sim結果”と“既存手法”の差はパルス幅が大きくなるにつれて徐々に大きくなる。パルス幅がおよそ30ps以上で傾きが等しくなり誤差が一定になる。この結果から、式(1)はラッチウィンドウの幅より大きなパルスに対するラッチ確率を過小評価していることがわかった。

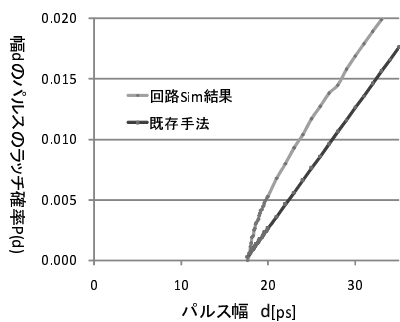


図4 ラッチ確率

### 3.3 遷移時間の違いによるラッチ確率の変化の調査

2.2節で説明したように、ソフトウェアにより発生したパルスがFFへ伝搬した際の遷移時間が異なると、ラッチ確率が変化することが予想される。そこで、遷移時間の違いによるラッチ確率の変化を調査し、ラッチ確率に対して遷移時間の違いが与える影響を明らかにする。

3.2節と同様に回路シミュレーションを利用してFFの入力へパルスが伝搬した場合を再現する。図2で示すパルスの立ち上がり遷移時間と立ち下がり遷移時間を変化させながら、それぞれの遷移時間に対して立ち上がり時刻と立ち下がり時刻を変化させた場合、ラッチの可否がどのように変化するか観測する。遷移時間ごとに図3のようなラッチの可否を表す分布を得る。それらからラッチ確率の確率密度分布を解析し、遷移時間の違いごとに得られたラッチ確率の比較を行う。

図5は遷移時間を1psから10psまで変化させた場合のパルス幅(横軸)に対するラッチ確率(縦軸)のグラフである。立ち上がり遷移時間を $s_u$ 、立ち下がり遷移時間を $s_d$ と表す。図5に示す結果はいずれも $s_u = s_d$ の場合である。実験結果から、遷移時間を大きくするとパルス幅が同じ場合でもラッチ確率が増加することがわかる。例えば $s_u = s_d = 1ps$ の場合

と $s_u = s_d = 10ps$ の場合ではパルス幅が25psのラッチ確率がおよそ2倍異なる。

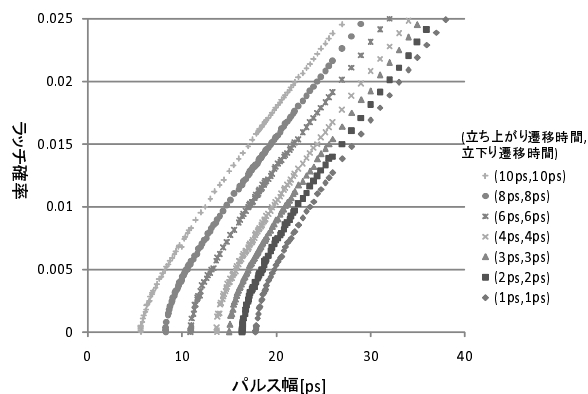


図5 遷移時間の違いに対するラッチ確率の変化

図6は、 $s_u$ を1ps及び2psに固定し $s_d$ を変化させた場合のラッチ確率の変化を表すグラフである。 $s_u$ を固定して $s_d$ を変化させた場合、パルス幅に対するラッチ確率を表す確率密度分布は $s_d$ にほぼ比例した長さだけ横軸を平行に移動した分布になることがわかる。同様の傾向が、 $s_d$ を固定し $s_u$ を変化させた場合にも確認されたが、余白の都合上実験結果は割愛する。

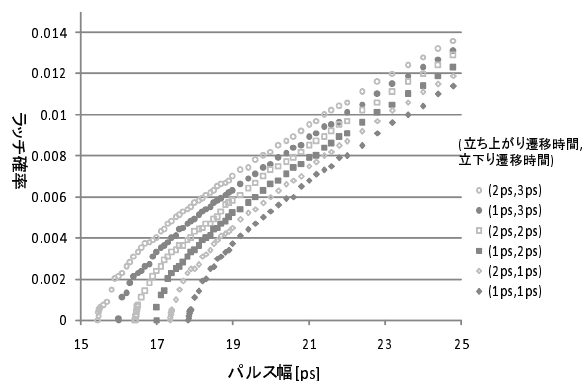


図6 立ち上りを固定した場合のラッチ確率の変化

上記の実験結果より、遷移時間を変化させた場合ラッチ確率も大きく変化することが明らかになった。そのため、精度の高いラッチ確率の近似モデルを検討する際は遷移時間の違いを考慮する必要がある。

## 4. ラッチ確率の近似モデル

### 4.1 多項式近似を用いたラッチ確率のモデル化

図4の実験結果より、パルス幅が小さい場合ラッチ確率はパルス幅に比例していないことがわかる。パルス幅が短い箇所では多項式関数で近似を行うことで精度の向上が可能だと予想される。一方、パルス幅が長い箇所ではラッチ確率がパルス幅に比例するため線形近似を行うことで近似できると考える。そこで、本稿ではパルス幅に比例する箇所(線形部)と比例しない箇所(非線形部)を別々にモデル化することを考える。図4の場合パルス幅がおよそ30ps以下で傾きは一定で無くなりパルス

幅に比例しない．一方、パルス幅がおよそ 30ps 以上でラッチ確率はパルス幅に比例する．

クロックサイクル時間が  $c[\text{ps}]$  のときパルス幅  $d[\text{ps}]$  のパルスがラッチされる確率  $P(d, c)$  のモデル化を考える．非線形部に関して、次数を  $n$  としたときグラフの形から  $P(d, c) = \frac{1}{c}(\sum_{k=1}^n e_k \cdot d^{1/k} + m)$  で近似することを考える． $e_k, m$  は定数である．近似に用いる多項式の次数  $n$  を増やせば増やすほどより良い近似になる．そこで、 $n$  を変えながら多項式近似の精度を調査した．

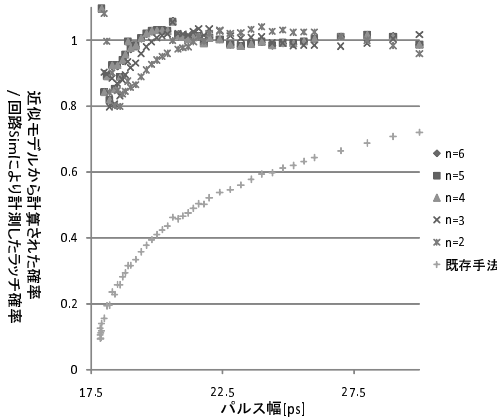


図 7 次数の違いに対する近似式の精度変化

図 7 は  $n$  次の多項式近似を行った近似モデルから得られたラッチ確率を回路シミュレーションによる測定値 (以下、真値) で正規化したものである． $n$  を変えながら近似を行ったところ図 7 のように  $n > 4$  では  $n$  が増加しても大きな精度の向上が得られなかった．この結果から、本稿では  $n=4$  として多項式近似を行う．なお、線形部に関しては  $P(d, c) = \frac{1}{c}(d + f)$  で近似することを考える． $f$  は定数であり  $\frac{f}{c}$  は線形部の切片である．このとき、ラッチ確率  $P(d, c)$  は次式の通りである．

$$P(d) = \begin{cases} 0 & (d \leq 17.9) \\ \frac{1}{c \times 10^{-3}}(1425d^{1/4} - 1384d^{1/3} + 241.3d^{1/2} - 2.047d - 295.8) & (17.9 < d < 30) \\ \frac{d-13.1}{c} & (30 \leq d < c + 13.1) \\ 1 & (c + 13.1 \leq d) \end{cases}$$

図 7 内の既存手法のグラフは、式 (1) の Shivakumar らのモデルにより計算されたラッチ確率を真値で正規化したものである．1 に近いほど精度が高いと言える．図 7 より、いかなるパルス幅に対しても既存手法と比べて誤差が少なく、精度の良いモデルの構築ができていると言える．

## 4.2 遷移時間の違いを考慮したラッチ確率のモデル化

4.1 節で検討した近似モデルに遷移時間  $s_u, s_d$  をパラメータに加えたラッチ確率  $P(d, s_u, s_d)$  のモデル化について考える．

図 5 より、遷移時間にほぼ比例してラッチ確率の確率密度分布が、パルス幅を表す横軸を平行移動した分布になることが確認できた．そこで、クロックサイクル時間が  $c[\text{ps}]$  で、あ

る基準となる遷移時間  $s_u = a_u, s_d = a_d$  に対する幅  $d[\text{ps}]$  のパルスのラッチ確率を  $P_{a_u, a_d}(d, c)$  とする．また、 $r(s_u, s_d)$  をラッチ確率の確率密度分布から決まる基準値とする．基準値の候補としてはラッチされる最小のパルス幅や、非線形部と線形部の境界点のパルス幅が考えられ、これらを基準値とした場合の具体的なラッチ確率のモデル化については次節で述べる．また、別の遷移時間  $s_u = b_u, s_d = b_d$  に対するラッチ確率を  $P_{b_u, b_d}(d, c)$  とし、近似モデルにより計算する  $P_{b_u, b_d}(d, c)$  の近似値を  $P'_{b_u, b_d}(d, c)$  とする．このとき実験結果より、 $P'_{b_u, b_d}(d, c) = P_{a_u, a_d}(d - (r(b_u, b_d) - r(a_u, a_d)), c)$  とすることで遷移時間の違いを考慮した精度の高いモデル化が可能ではないかと考える．

遷移時間の違いを考慮した近似モデルを構築するためには、基準値  $r(s_u, s_d)$  のモデル化を考える必要がある．例として、基準値をラッチされる最小のパルス幅とする．このパルス幅を、最小ラッチパルス幅と呼ぶこととする．このとき、図 6 より  $r(2, 2) - r(1, 1) \simeq (r(2, 2) - r(1, 2)) + (r(2, 2) - r(2, 1))$  であることが確認できた．この結果から、基準値の計算式を  $r(s_u, s_d) = a \cdot s_u + b \cdot s_d + c$  とした場合でも比較的小さな誤差で近似できると考える．

以上より、本稿では以下の 3 つの手順によりラッチ確率の近似モデル化を行う．

(1) 始めに、ある基準となる遷移時間  $s_u = a_u, s_d = a_d$  に対するラッチ確率  $P(d, a_u, a_d)$  のモデル化を実験 1 と同様の手順を用いて行う．これを基準式と呼ぶ．

(2) 基準値  $r(s_u, s_d)$  は  $r(s_u, s_d) = a \cdot s_u + b \cdot s_d + c$  の形でモデル化を行う．

(3) 別の遷移時間  $s_u = b_u, s_d = b_d$  に対するラッチ確率  $P(d, b_u, b_d)$  は、基準式を用いて  $P'(d, b_u, b_d) = P(d - (r(b_u, b_d) - r(a_u, a_d)), a_u, a_d)$  という近似モデルで表す．

なお、基準式の各立ち上がりと立ち下がり遷移時間  $a_u, a_d$  は双方とも回路シミュレータで計算可能な最小値である 0.1ps とした．

### 4.2.1 基準値を最小ラッチパルス幅とした場合

本節では、基準値を最小ラッチパルス幅とした場合のモデル化を考える． $r(s_u, s_d)$  を求める手順は以下の通りである．

(1)  $s_d = 0.1\text{ps}$  とした場合に  $s_u$  を変化させ  $s_u$  をパラメータとした最小ラッチパルス幅のモデル化を行う．その際の  $s_u$  の傾きを  $r(s_u, s_d)$  の項  $s_u$  の係数とする．

(2) 同様に、 $s_u = 0.1\text{ps}$  とした場合に  $s_d$  を変化させ  $s_d$  をパラメータとした最小ラッチパルス幅のモデル化を行う．その際の  $s_d$  の傾きを  $r(s_u, s_d)$  の項  $s_d$  の係数とする．

(3) 最後に、基準式と同じ  $s_u = 0.1\text{ps}, s_d = 0.1\text{ps}$  の場合の最小ラッチパルス幅と等しくなるよう  $r(s_u, s_d)$  の切片を決定する．

図 8 は基準値を最小ラッチパルス幅とした場合のモデルから計算されたラッチ確率の精度を検証したグラフである．横軸はパルス幅と最小ラッチパルス幅の差  $d - r(s_u, s_d)$  であり、縦軸は近似モデルによるラッチ確率を真値で正規化したものである．

基準式の遷移時間を  $s_u = 0.1\text{ps}, s_d = 0.1\text{ps}$  と仮定したため

$s_u, s_d$  が大きいほど誤差が大きく過剰見積り傾向がある。  
 $s_u, s_d$  が大きくなるにつれて最小ラッチパルス幅を真値より小さく見積もっているためラッチ確率が過剰見積りになっていると考えられる。

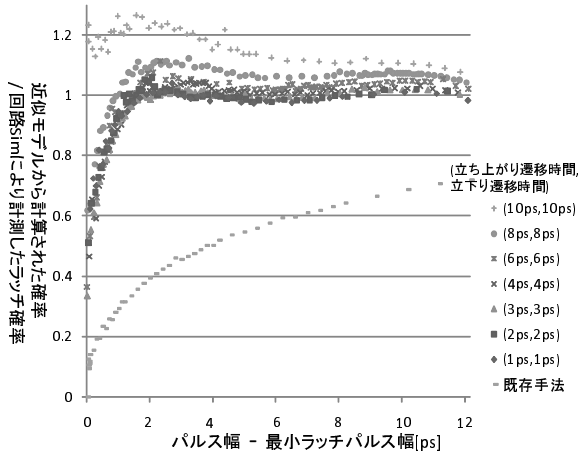


図 8 基準値を最小ラッチパルス幅とした場合の誤差

#### 4.2.2 基準値を境界点のパルス幅とした場合

基準値をパルス幅に比例する部分 (線形部) と比例しない部分 (非線形部) の境界点のパルス幅とする場合を考える。つまり、線形部の精度を優先する近似方法だと言える。 $r(s_u, s_d)$  を求める手順は 4.2.1 節と同様だが、 $r(s_u, s_d)$  は最小ラッチパルス幅ではなく非線形部と線形部の境界点のパルス幅の計算式となる。なお、各遷移時間ごとの境界点は、ラッチ確率が基準値の境界点のラッチ確率と等しい点とする。

図 9 は、基準値を境界点のパルス幅とした場合の真値との誤差を表している。横軸はパルス幅と最小ラッチパルス幅の差  $d - r(s_u, s_d)$  であり、縦軸は近似モデルから計算されたラッチ確率を真値で正規化したものである。

最小ラッチパルス幅を基準値とした場合と比較して、遷移時間を大きくした場合のばらつきが少ないと言える。また、遷移時間が大きくなるにつれてわずかに過小見積りになる傾向を確認した。

#### 4.3 SER の見積り値によるモデルの評価

前節で述べたラッチ確率の近似モデルを用いて SER を計算することで、その近似モデルが既存のモデルと比べてどれほど有効であるか評価する。

$s_u = s_d = 10ps$  とした場合、FF の入力に接続されたインバータでソフトエラーが起こったとき FF でパルスがラッチされる確率を考える。これは、インバータでのみソフトエラーが発生すると仮定し、FF の出力が外部出力である場合の SER とみなすことができる。なお、インバータにおけるパルス幅ごとのパルス発生確率には文献 [5] のデータを用いた。

SER を計算した結果、真値 ( $1.120 \times 10^{-22}$ ) との誤差は既存モデルの場合  $64.44 \times 10^{-25}$  となった。基準値を最小ラッチパルス幅とした場合  $1.132 \times 10^{-25}$  であり、基準値を境界点のパルス幅とした場合  $0.368 \times 10^{-25}$  となった。既存モデル

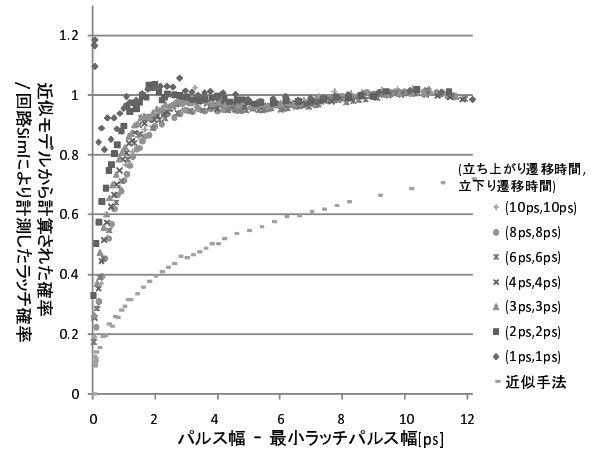


図 9 基準値を境界点のパルス幅とした場合の誤差

は SER を 5.8% 小さく見積もっており、基準値を最小ラッチパルス幅とした場合 0.1% の過剰見積り、基準値を境界点のパルス幅とした場合 0.03% の過小見積りとなった。これらの結果から、本稿におけるラッチ確率の近似モデルは既存のモデルと比べて精度が高いモデルであると言える。

## 5. おわりに

本稿では、パルスのラッチ確率に関して既存の手法を紹介しその問題点について述べた。また、パルス幅だけでなく遷移時間も考慮したラッチ確率の定式化を行い、パルス幅に比例すると見なしている既存のモデルと比較して精度の高いラッチ確率の計算が可能であることを示した。

本稿では一定の電圧の無限に長いデータ波形の一部にパルスが存在すると想定してパルスのラッチを考えた。しかし、実際はデータ波形の長さは有限のため、パルスが FF の入力へ伝搬することで複数の時区間にデータ波形が分割されて FF へ入力されることが考えられる。この場合パルスがラッチされるか否かはパルスの幅だけでなく分割されたそれぞれのデータ波形の幅や遷移時間等のパラメータにも依存すると考えられる。現状ではそのような場合に対応できていないため、今後の課題としてそれらを考慮した手法を検討する必要がある。

## 謝 辞

本研究の一部は、科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST) 「統合的高信頼化設計のためのモデル化と検出・訂正・回復技術」の支援によるものである。

## 文 献

- [1] 長田健一, 山岡正直, 河原尊之, 石橋孝一郎, "[特別招待論文] 低電力 SRAM の技術動向", 信学技報, vol.104, no.23, pp.17-27, Apr. 2004.
- [2] S. Mitra, M. Zhang, S. Waqas, N. Seifert, B. Gill, and K.S. Kim, "Combinational Logic Soft Error Correction," in *Proc. IEEE Intl. Test Conf.*, 2006, Paper No. 29.2.
- [3] K. Mohanram, and N.A. Touba, "Cost-Effective Approach for Reducing Soft Error Failure Rate in Logic Circuits," *Proc. Intl. Test Conf.*, pp. 893-901, 2003.
- [4] P. Shivakumar, et al., "Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic," *Proc. International Conference on Dependable Systems and Networks*, pp.389-398, 2002.
- [5] 小津和大昌, 吉村正義, 松永裕介, "セルベース設計に適した SER 評価のためのパルス発生確率解析手法", 信学技報, vol.109, no.DC-12, pp.43-48, Apr. 2009.