九州大学学術情報リポジトリ
Kyushu University Institutional Repository

セルベース設計に適したSER評価の為のパルス発生確率解析手法

小津和，大昌
九州大学大学院システム情報科学府

吉村，正義
九州大学大学院システム情報科学研究院

松永，裕介
九州大学大学院システム情報科学研究院

https://hdl.handle.net/2324/16990

出版情報：IEICE technical report. 109 (11), pp.43-48, 2009-04-21. 電子情報通信学会
バージョン：
権利関係：

社団法人　電子情報通信学会
THE INSTITUTE OF ELECTRONICS,
INFORMATION AND COMMUNICATION ENGINEERS

信学技報
TECHNICAL REPORT OF IEICE.

セルベース設計に適したSER評価の為のパルス発生確率解析手法

小津和　大昌†　　吉村　正義††　　松永　裕介††

† 九州大学大学院システム情報科学府　〒 819–0395 福岡県福岡市西区元岡 744
†† 九州大学大学院システム情報科学研究院　〒 819–0395 福岡県福岡市西区元岡 744
E-mail: †{kozuwa,yosimura,matsunaga}@c.csce.kyushu-u.ac.jp

あらまし　中性子がトランジスタに衝突して発生する電荷により，メモリセルや論理ゲートの出力の値が反転する現象をソフトエラーと呼ぶ．論理回路にソフトエラー対策を施す場合，論理ゲートのソフトエラー耐性を評価しなければならない．その際，ソフトエラー耐性の評価指標として SER(Soft Error Rate) が用いられる．回路の SER を求める場合，予めセルライブラリ中のセル全てに対して，ソフトエラーで発生するパルスの性質をキャラクタライズすれば，回路全体の回路シミュレーションを行わずに回路の SER を求めることが可能となる．提案手法では，論理ゲートに発生するパルス幅およびその発生確率をキャラクタライズする為に，HSPICE の回路シミュレーションを用いて幅ごとのパルス発生確率を求める．提案手法の近似精度を評価した実験では，3 次以上の多項式で近似を行った場合，HSPICE の解析結果との誤差は非常に小さな値であった．また，HSPICE のサンプル数が少ない場合も同様に誤差は小さく，サンプル数の違いによる SER の差異もほとんど見られなかった．
キーワード　ソフトエラー，論理回路，SER，セルベース設計，HSPICE

Pulse Generation Analysis for SER Estimation Targeted to Cell-based Design.

Daisuke KOZUWA†, Masayoshi YOSHIMURA††, and Yusuke MATSUNAGA††

† Graduate School of Information Science and Electrical Engineering, Kyushu University　Motooka 744, Nishi-ku, Fukuoka, 819-0395 Japan
†† Faculty of Information Science and Electrical Engineering, Kyushu University　Motooka 744, Nishi-ku, Fukuoka, 819-0395 Japan
E-mail: †{kozuwa,yosimura,matsunaga}@c.csce.kyushu-u.ac.jp

Abstract　The charge deposition that results from a neutron strikes to a transistor alter the memory state or the logic state of output at a gate is called soft error. To design logic circuits of tolerance to soft error, it is necesary to evaluate the soft error tolerance of a gate. SER(Soft Error Rate) is a measure of soft error tolerance at a gate. If the characteristics of the pulse generated by a neutron strike are characterized beforehand for every library gate, it becomes possible to obtain SER of the circuit without circuit simulation for all the gates. To characterize the pulse width and the pulse generation probability, this paper describes a pulse generation analysis method using HSPICE simulation to obtain the pulse generation probability at a gate by a pulse width. The experimental results that evaluate the approximate accuracy of our method show our approximation error is very small compared to HSPICE. When the number of samples that results from HSPICE simulation was little, our approximation error was also small as well as the samples were a lot of numbers, and the difference of SER derived from variation of the number of samples was very little.
Key words　soft error，logic circuit，SER，cell-based design，HSPICE

1. はじめに

近年のシステム LSI に関する問題としてソフトエラーが挙げられる．ソフトエラーとは，中性子がトランジスタに衝突し，その際に発生する電荷によってデバイス中のメモリセルや論理ゲートの出力の値が反転する現象である．これにより，論理回

路では論理ゲートの出力に誤った値 (パルス) が発生し，パルスが外部出力に伝搬もしくは記憶素子に値として取り込まれた場合，回路は誤動作を起こす可能性がある．一方，現在のトランジスタは，高性能化および低消費電力化を実現する為に微細化が進んでいる．これに伴い，システム LSI におけるトランジスタの数は増加しており，ソフトエラーが回路全体に及ぼす影響は顕在化している．現在，メモリ回路のソフトエラーに関しては，回路面積のオーバーヘッドに対して十分に効果のある対策手法が提案されている．しかし，論理回路のソフトエラーに関しては回路面積の制約を考慮した上で，十分な効果を保証できる対策手法はまだ確立されていない．よって，本研究では論理回路のソフトエラーを議題として扱う．

論理回路のソフトエラー対策手法の例としては，トランジスタサイジングや回路の冗長化が挙げられる [1] [2]．しかし，これらのソフトエラー対策手法の多くは回路面積の増加が問題である．よって，回路面積の制約を満たしてソフトエラー対策を行う際には，論理ゲートのソフトエラー耐性を評価して対策箇所を限定する必要がある．その際，論理ゲートのソフトエラー耐性評価の指標としては SER(Soft Error Rate) が用いられる [1] [3]．本稿では論理ゲートの SER を，ゲートでパルスが発生し，尚且つ，パルスが外部出力に伝搬もしくは記憶素子に値として取り込まれる確率と定義する．論理ゲートの SER を求める際には，パルスの発生確率および，発生したパルスが外部出力に伝搬もしくは記憶素子に値として取り込まれる確率の二つを求めることが必要である．

前者のパルス発生確率は，回路中の各論理ゲートによって異なり，発生するパルス幅の大きさによってもその確率が異なる．また，後者のパルス伝搬確率は，回路のパルス伝搬阻害要因である logic masking，electrical masking，latch-window masking に依存し，パルスの伝搬が阻害されるか否かはパルス幅に影響を受ける [4]．以上より，論理ゲートの SER を正確に見積もる為には，パルス幅の大きさを考慮することが重要である．しかし，既存手法の多くはパルス発生確率を求める際に，パルス幅による発生確率の違いをあまり考慮していない．

論理ゲートの出力に発生するパルス幅は，回路シミュレーションを用いて見積もる手法が提案されている [4]．しかし，回路シミュレーションは多くの計算が必要であり，実行時間が非常に長い．だが，予めセルライブラリ中のセル全てに対して回路シミュレーションを行い，発生するパルス幅の大きさと発生確率をキャラクタライズすれば，回路全体のシミュレーションを行なわずに論理ゲートの SER を求めることが可能となる．

以上より本稿では HSPICE による回路シミュレーションを用いて，幅ごとにパルス発生確率を求める手法を提案する．提案手法では，まず HSPICE を用いた回路シミュレーションを行い，収集電荷量ごとに論理ゲートの出力に発生するパルス幅を求め，収集電荷量とパルス幅のサンプルデータを得る．次に，このサンプルデータを基にして最小二乗法による近似を行い，論理ゲートにおける収集電荷量とパルス幅の関係を多項式で近似する．さらに，近似曲線で表した収集電荷量に対するパルス幅の関係と，電荷収集確率見積もりモデル [3] を用いることにより，幅ごとにパルスの発生確率を求める．提案手法における近似曲線の精度を評価した実験では，3 次以上の多項式で近似を行った場合，HSPICE の解析結果との誤差は非常に小さな値であった．また，サンプル数が少ない場合も誤差の値は小さく，サンプル数の違いによって生じる SER の差異もほとんど見られなかった．

本稿の構成は以下の通りである．まず第 2 章で，回路シミュレーションを用いたソフトエラー解析モデルについて述べる．第 3 章で幅ごとにパルス発生確率を解析する手法を提案し，第 4 章で提案手法の評価実験について報告を行う．最後に第 5 章で本稿をまとめ，今後の課題について述べる．

2. ソフトエラー解析モデル

本稿では，文献 [4] のソフトエラー解析モデルを用いて，HSPICE の回路シミュレーションにより論理ゲートの出力に発生するパルス幅を見積もる．本節では，文献 [4] のソフトエラー解析モデルについて説明を行う．

2.1 パルス電流源モデル化

中性子がトランジスタに衝突すると電荷が発生し，その論理ゲートの出力ノード(注1)には電荷が収集される．このときトランジスタにはパルス電流が発生し，流れる電流が一定値を超えるとソフトエラーが発生する．パルス電流のモデルには，二重の指数関数を用いた (1) 式が提案されている [4]．

$$i_{seu}(t) = \frac{Q}{(\tau_\alpha - \tau_\beta)}(e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (1)$$

ここで，Q はイオンの衝突によって蓄えられる収集電荷量，τ_α は電荷が収集されるまでの時定数，τ_β はイオンの飛跡ができるまでの時定数である．また，τ_α と τ_β の値はプロセスに関連のあるいくつかのパラメータに依存し，一般的に τ_α はおよそ 200ps，τ_α は数十 ps の値である．パルス電流源にはいくつか提案されたモデルが存在するが，本稿では以降パルス電流源の式として (1) 式を使用する．

2.2 パルス電流解析モデル

中性子の衝突による電荷収集の解析には，図 1 に示す様に中性子の衝突箇所にパルス電流源を接続して回路シミュレーションを行うモデルが提案されている [4] [5]．図 1 では，中性子の衝突が起こるインバータを INV1 とし，その入力の値が 1 で出力ノード a の論理値が 0 とする．この場合，a には図の向きにパルス電流源を接続して INV1 の出力負荷容量を C とする．パルス電流が流れると a の電位は上昇し，a の電位が出力ゲートの閾値電圧を超えた場合，出力ゲートでは電位の反転が起こり得る．よって，出力ゲートにソフトエラーが発生するか否かは a の電位に関連がある．中性子の衝突によって a に現れる一時的な誤った電位をパルスと呼び，パルスは回路の挙動に影響を及ぼす．

(注1)：SPICE を用いた回路シミュレーションでは素子 (抵抗，トランジスタなど) と配線 (ノード) を用いて回路のネットリストを記述する．したがって本稿ではこれに従い，論理素子をつなぐ配線をノードと呼ぶ．

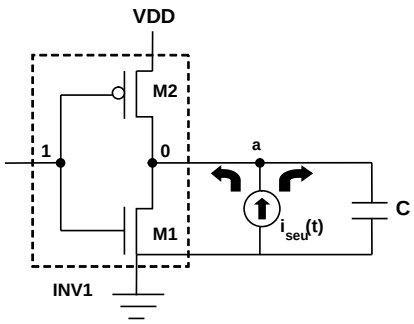

図 1　パルス電流解析モデル

3.　幅ごとのパルス発生確率解析手法

3.1　論理ゲートの SER

トランジスタサイジングなど，論理回路のソフトエラー対策手法は回路面積の増加が問題である [1] [2]．このため，回路面積のオーバヘッドを抑えた対策を行う際には，論理ゲートのソフトエラー耐性を評価し，対策箇所をある程度限定しなければならない．

回路中のある論理ゲートで，中性子の衝突により W の幅をもったパルスが発生し，尚且つ，パルスが外部出力に伝搬もしくは記憶素子に値として取り込まれる確率は (2) 式で求まる．

$$P_{gate}(W) = P_{pulse}(W) \cdot P_{prop}(W) \tag{2}$$

ここで，$P_{pulse}(W)$ は中性子の衝突によって幅 W のパルスが発生する確率であり，$P_{prop}(W)$ は論理ゲートで幅 W のパルスが発生した際に，パルスが外部出力に伝搬もしくは記憶素子に値として取り込まれる確率である．次に，回路中のある論理ゲート g でソフトエラーが発生し，尚且つ，発生したパルスが外部出力に伝搬もしくは記憶素子に取り込まれる確率は (3) 式により求まる．

$$SER_g = \int P_{gate}(W) \cdot dW \tag{3}$$

(3) 式で表される確率を本稿では論理ゲートの SER と定義し，論理ゲートのソフトエラー耐性評価の指標として用いる．(2) 式から分かる様に，回路中で各論理ゲートの SER を求める際には，ゲートにおけるパルス発生確率と，発生したパルスが外部出力に伝搬もしくは記憶素子に取り込まれる確率をそれぞれ求めなければならない．

3.2　幅ごとのパルス発生確率

論理ゲートのパルス発生確率は，発生するパルス幅の大きさによって発生確率が異なる．論理ゲートの SER を正確に見積もるためには，幅ごとにパルスの発生確率を見積もることが重要である．

回路内の論理ゲートにおいて，中性子の衝突によりトランジスタに電荷が収集される確率は一様では無い．この確率は，中性子のフラックスやトランジスタ面積など，いくつかのパラメータに依存する．地上に到達する中性子は，中性子の持つエネルギーによって地上での存在確率が異なる．また，トランジスタの拡散領域の面積が大きければ，トランジスタに中性子が衝突する確率は高い．既存研究の電荷収集確率見積もりモデルでは，中性子の衝突によってトランジスタに Q 以上の値の電荷が収集される確率が (4) 式(注2)で与えられる [3]．

$$P_{collect}(Q) = F \cdot K \cdot A \cdot exp\left(-\frac{Q}{Q_s}\right) \tag{4}$$

ここで，$F[/\mathrm{cm}^2 \cdot s]$，$A[\mathrm{cm}^2]$，$K(=2.2\times10^{-5})$，$Q$[fC] はそれぞれ，中性子のフラックス，トランジスタのドレイン面積，規格化定数，収集電荷量である．また，Q_s[fC] は電源電圧とトランジスタの閾値電圧に依存し，電荷収集係数と呼ばれる．

さらに，(4) 式を用いることにより，Q から $Q + \Delta Q$ の値の電荷が収集される確率が次式で表される．

$$P_{charge}(Q) = P_{collect}(Q) - P_{collect}(Q + \Delta Q) \tag{5}$$

(5) 式の ΔQ の値を十分小さく取れば，それは即ち (4) 式を Q で微分することであり，(4) 式における Q の確率密度関数を求めることに等しい．幅ごとにパルスの発生確率を求める際には，$P_{charge}(Q)$ を ΔQ の値に対するパルス幅の変化量 ΔW で割り，微分を行わなければならない．これにより，中性子が衝突して論理ゲートの出力に幅 W のパルスが発生する確率が (6) 式で求まる．

$$P_{pulse}(W) = \left(\frac{P_{charge}(Q)}{dQ}\right) \cdot \left(\frac{dQ}{dW}\right) \tag{6}$$

文献 [6] や文献 [3] の手法においては，(6) 式においてパルス幅 W での微分が行われておらず，正しい発生確率を求めることができていない．よって本稿では (6) 式を用いて，幅ごとにパルスの発生確率を求める．

3.3　解 析 手 順

論理ゲートの出力に発生するパルス幅の大きさを正確に見積もるために，本手法では HSPICE を用いた回路シミュレーションと (4) 式の電荷収集確率見積もりモデルを用いる．提案手法の手順を以下に示す．

手順 1.　HSPICE のシミュレーションを用いて Q_{crit} および Q_{max} を決定する．また，Q_{crit} および Q_{max} の電荷が収集された際に発生する W_{min}，W_{max} の値を求める．これにより，解析を行うパルス幅の範囲を設定する．

手順 2.　Q_{crit} から Q_{max} までに均等な間隔で m 個の点をとり，各々の収集電荷量のときに発生するパルス幅を HSPICE で求め，Q と W のサンプルデータとする．

手順 3.　手順 2 で得られたサンプルデータをもとに，最小二乗法を用いた曲線近似を行い，Q と W の関係を多項式で近似する．

手順 4.　W_{min} から W_{max} までの間を n 個の区間に分けて，近似曲線と (4) 式を用いてそれぞれの区間における電荷の収集確率を求める．

(注2)：4 式は文献 [3] における SER(Q) の式と同一の意味である．しかしながら，本来 SER は単位時間あたりにソフトエラーが発生する確率を意味し，誤解を招きやすい．よって，本稿での SER の意味と区別するために $P_{collect}(Q)$ という名前を用いた．

手順 5.　手順 4 の区間における $P_{charge}(Q)$ の値を，それぞれの区間のパルス幅の変化量 ΔW で微分してパルス発生確率を求める．

手順 1 では，(1) 式のパルス電流源で与える Q の値を変化させて HSPICE のシミュレーションを行い，電位が反転する最小の電荷量 Q_{crit} を見つける．求めた Q_{crit} の値から (4) 式を用いて $P_{collect}(Q_{crit})$ の値を計算する．次に，Q の値を増やしていき，そのつど $P_{collect}(Q)$ の値を求める．(7) 式の条件を満たしたとき，その時点の Q の値を Q_{max} とする．

$$P_{collect}(Q)/P_{collect}(Q_{crit}) < 0.01 \tag{7}$$

(7) 式は，Q_{max} 以上の電荷が収集される確率が Q_{crit} の電荷が収集される確率に対して十分小さいと見なし，最大収集電荷量を設定して解析範囲の上限を定めるものである．次に，手順 2 で Q_{crit} から Q_{max} までに均等な間隔で m 個の点をとった際，i 番目の電荷量は (8) 式で表される．

$$Q_i = Q_{crit} + i \cdot \frac{Q_{max} - Q_{crit}}{m-1} \qquad 0 \leqq i \leqq m-1 \tag{8}$$

この Q_i の値を用いて HSPICE のシミュレーションを行い，Q_i の電荷が収集されたときに発生するパルス幅 W_i を求める．これを Q_{crit} から Q_{max} までの m 個の点すべてに対して行い，Q と W のサンプルデータとする．手順 3 では，手順 2 のサンプルデータを用いて最小二乗法を用いた曲線近似を行い，Q と W の関係を多項式で表す．これにより，以降の手順で Q を用いる際には，HSPICE のシミュレーションを行うことなく Q の値を計算することが可能である．また，手順 3 で多項式近似を行う理由は HSPICE の精度にも関連がある．これについては，次の 3.4 節で詳しく述べる．手順 4 では，W_{min} から W_{max} までを均等に n 個の区間に分けて，近似曲線と (4) 式ならびに (5) 式を用いて，それぞれの区間における電荷の収集確率を求める．更に手順 5 で，手順 4 の区間における $P_{charge}(Q)$ の値を，それぞれの区間のパルス幅の変化量 ΔW で微分することで，パルスの発生確率が求まる．

3.4　HSPICE の誤差が提案手法に及ぼす影響

図 2 に 65nm インバータの nmos 側に中性子が衝突した際に，出力で発生するパルス幅の大きさと収集電荷量の関係を HSPICE の結果から求めたグラフを示す．図 2 を見ると，収集電荷量の値が大きくなるとパルス幅は単調に増加し，W の一次微係数は単調に減少するという予想ができる．これは即ち，収集電荷量の値が増加した場合，発生するパルス幅は単調に増加するが，収集電荷量の値が大きくなるにつれてパルス幅の増加率は減少するということである．しかしながら，微小な Q の増加幅で HSPICE のシミュレーションを行った場合には，図 3 に示す様に W の一次微係数が単調に減少する結果は得られない．しかし，回路に与えるパルス電流は (1) 式のように，Q の値に比例しており，現実の回路においてパルス幅の増加率がこの様な変化をするとは考えにくい．よってこれは，HSPICE の精度に関連のある問題であると思われる．

本手法においては，(6) 式でパルスの発生確率を求める際、

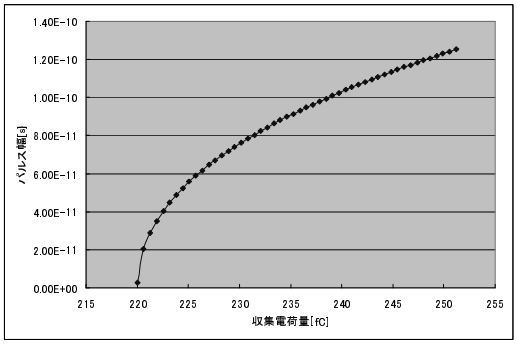

図 2　収集電荷量とパルス幅の関係

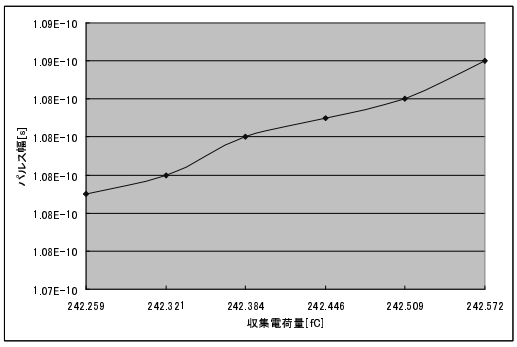

図 3　微小の Q の変化量に対する HSPICE の解析結果

パルス幅で電荷収集確率の微分を行う．よって，この HSPICE の誤差はパルス発生確率を求める際の結果に大きな影響を及ぼす．このため本手法では，手順 3 において，HSPICE から得られたサンプルの値を用いて曲線近似を行っている．

4.　評 価 実 験

4.1　準　　備

提案手法では，パルス発生確率を求める際に生じる HSPICE の誤差の影響を抑えるために，最小二乗法を用いて収集電荷量とパルス幅の関係を近似した．本節では，近似曲線の精度を評価する実験について述べる．実験は，図 4 に示す回路を用いて，HSPICE による回路シミュレーションを行った．また，実験環境は以下に示す通りである．

- OS: CentOS4
- プロセッサ：Intel Xeon 5140(2.33GHz × 2, L2 4MB 共有)
- メモリ: 4GB

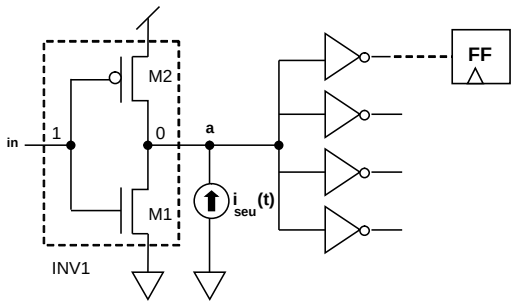

図 4　実 験 回 路

表 1　INV1 の MOSFET パラメータ

	L[nm]	W[nm]	AD[fm^2]	AS[fm^2]	PD[nm]	PS[nm]
Nmos	65.0	910	20.08	20.52	695.50	698.75
Pmos	65.0	910	20.41	19.96	695.50	692.25

図 4 は，中性子が INV1 の nmos 側に衝突した場合を考えており，中性子が INV1 に衝突した際のノード a の論理値は 0 とする．図 4 における INV1 は，一般利用が可能な PTM65nm トランジスタモデルを用いて，VDD = 1.0V，出力負荷容量は 1fC で実装し，出力負荷には INV1 と同一のインバータを 4 つ接続している(注3)．尚，MOSFET サイズの詳細は表 1 に示す．表 1 中の L，W，AD，AS，PD，PS は，順にゲート長，ゲート幅，ドレイン拡散面積，ソース拡散面積．ドレイン接合周囲長，ソース接合周囲長である．また，(4) 式の F，K，Q_s は文献 [6] を参考にして 0.00565n/$cm^2{\cdot}sec$，$2.2{\times}10^{-5}$，6.775[fC] を用い，A の値は $200.80{\times}10^{-12}[cm^2]$ とする．尚，(1) 式のパルス電流源は $\tau_\alpha = 150$ps，$\tau_\beta = 50$ps として実験を行う [4].

4.2 実験結果

4.2.1 近似曲線の評価

HSPICE の解析結果と近似曲線から得られるパルス幅の誤差を評価することにより，近似曲線の精度を評価する実験を行った．誤差の評価指標には (9) 式の値を用いた．

$$(W_{spice}(Q) - W_{least}(Q))^2/N \tag{9}$$

ここで，$W_{spice}(Q)$ は収集電荷量が Q のとき HSPICE のシミュレーション結果から得られるパルス幅の値，$W_{least}(Q)$ は収集電荷量が Q のとき近似曲線から得られるパルス幅の値である．また，N は HSPICE と近似曲線の誤差を評価するために取るデータの数で任意に決める値とし，今回は $N = 100$ として実験を行った．

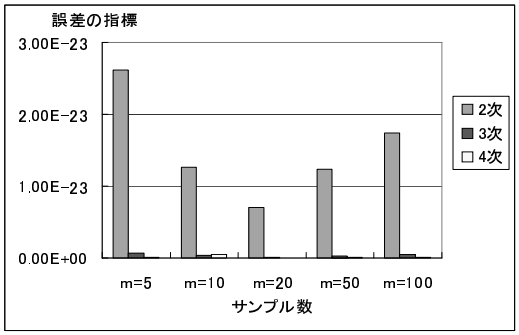

図 5　各次数による近似曲線の誤差

図 5 に 2 次，3 次，4 次の曲線で近似を行った場合の実験結果を示す．近似を行う際に用いたサンプル数を m とし，m=5, 10，20，50，100 の場合でそれぞれ実験を行った．図 5 において，まず近似する曲線の次数を比較すると，2 次の曲線近似を行った場合が 3 次，4 次の曲線近似を行った場合に比べて誤差が大きい．これは，2 次式でパルス幅と収集電荷量の関係の曲線近似した場合，収集電荷量に対するパルス幅の増加率が大きい部分では，誤差が大きくなることが原因であると考えられる．実際，2 次の曲線で近似を行った際，臨界電荷量付近の収集電荷の値において，一つの収集電荷量の値から 2 つのパルス幅の値が求まる場合がある．よって，2 次式による収集電荷量とパルス幅の近似は明らかに不適であると考えられる．次に，3 次と 4 次の実験結果を比較した場合，二つの実験結果の誤差の値にあまり大きな違いは見られない．また，図 6，図 7，図 8 にサンプル数 20 のとき，2 次，3 次，4 次のそれぞれで近似した場合の，パルス発生確率をパルス幅ごとに示す．図 6 においては，確率が負の値となっており，2 次の近似は明らかに不適であることが再度，確認できる．図 7，図 8 を比較すると，各パルス幅における発生確率の値はほとんど変わらないことが分かる．以上より，3 次以上の多項式近似を用いれば，ある程度，正確な近似を行うことが可能であると考えられる．

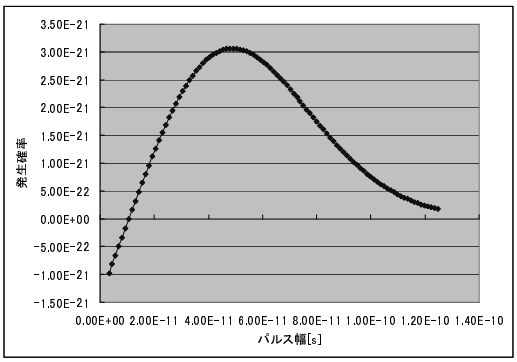

図 6　2 次の近似曲線より求めたパルス発生確率

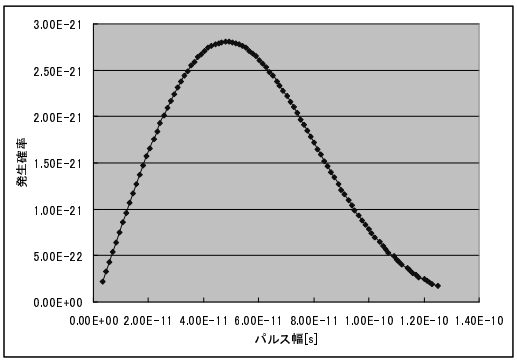

図 7　3 次の近似曲線より求めたパルス発生確率

4.2.2 サンプル数が SER_g に与える影響の評価

最小二乗法による多項式近似のサンプル数が，近似曲線の精度に及ぼす影響を評価する実験を行った．評価指標は SER_g を用いるが，SER_g を求める際の $P_{prop}(W)$ は，latch-window masking のみが起こるものとして (10) 式の確率を用いた [3].

$$P_{latch}(W) = \begin{cases} 0 & (W < L) \\ \frac{W-L}{C} & (L \leqq W \leqq C+L) \\ 1 & (W > C+L) \end{cases} \tag{10}$$

(注3)：回路の設計を考えた場合，入力負荷を出力に 4 つ程度接続したとき回路遅延が最小になることが知られており，Fan Out 4(FO4) と呼ばれている．

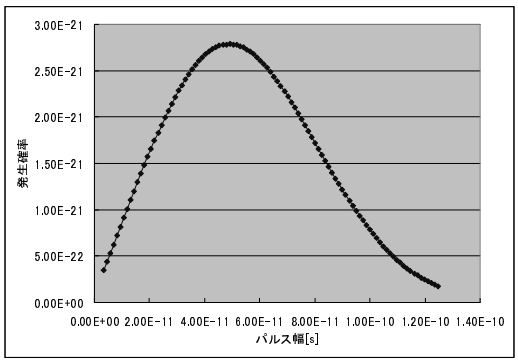

図 8　4 次の近似曲線より求めたパルス発生確率

以上より，本実験における $P_{gate}(W)$ は (11) 式で表される．

$$P_{gate}(W) = P_{pulse}(W) \cdot P_{latch}(W) \tag{11}$$

実験には前節と同様に図 4 の回路を用い，曲線近似を行う際のサンプル数を変えて SER_g の値を比較した．このとき，クロック周波数の値は 1GHz で，フリップフロップのセットアップ・ホールド時間の合計は 30ps とした．

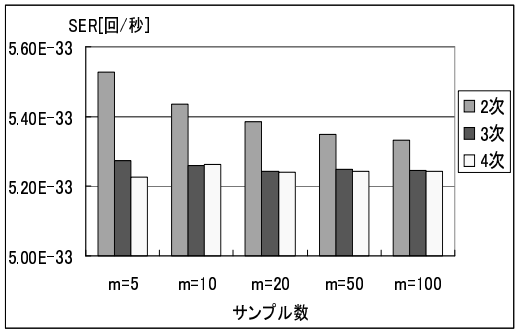

図 9　各サンプル数で近似した場合の SER_g の比較

表 2　各サンプル数で近似した場合の実行時間 [秒]

	m=10	m=20	m=50	m=100	m=500
3 次	30.82	57.25	131.78	253.63	1247.2
4 次	31.34	55.34	128.53	252.89	1226.1

図 9 に各サンプル数で近似を行った場合の SER_g を示す．また，表 2 にはそれぞれのサンプル数のときの実行時間を示す．ここで，表 2 の実行時間にはパルスの発生確率の計算時間，および SER_g の計算時間が全て含まれるものとする．

図 9 より 3 次と 4 次で近似を行った際には，サンプル数の違いが SER_g に及ぼす影響はほとんど見られない．よって，サンプル数が少ない場合も近似曲線の精度はほとんど変わらないと考えられる．HSPICE による回路シミュレーションは多くの計算を必要とし，実行時間において非常に大きな割合を占める．よって表 2 からも分かるように，サンプル数が少なければ少ない程、実行時間は早い．以上より，提案手法はサンプル数を少なくとった場合でも，精度を落とさずに実行時間を削減することが可能である．また，実験結果より 3 次以上の多項式で近似を行いサンプル数を 20 程度取れば，ある程度精度の高い近似が行えると考えられる．

ただし，今回の実験ではパルス伝搬過程の確率を考慮する際に，logic masking や electrical masking は考慮せず，latch-window masking だけが起こるものとして SER_g を求めている．しかし，論理ゲートの SER_g を正確に求めるためには他のパルス伝搬阻害要因の影響を考慮したパルス伝搬過程の解析を行わなければならない．よって，サンプル数の違いが SER_g に及ぼす影響を正確に評価する為には，他のパルス伝搬阻害要因も考慮したパルス伝搬解析を行い，再度評価を行う必要がある．

5. おわりに

本稿では，論理ゲートのパルス発生確率を幅ごとに解析する手法の提案を行った．提案手法では，収集電荷量とパルス幅の関係を多項式で近似した．実験結果より，3 次以上の多項式で近似を行えば，HSPICE の解析結果との誤差は非常に小さな値となった．また，サンプル数が少ない場合でも誤差の値は小さく，サンプル数の違いによる SER_g の差異もほとんど見られなかった．よって，提案手法は HSPICE のシミュレーション回数を減らすことができ，解析の精度を落とさず実行時間を早くすることが可能である．

今後の課題は，パルスの伝搬解析について調査を行い，サンプル数が SER_g に及ぼす影響を再度評価することである．また，今回用いた電荷収集確率見積もりモデルやパルス電流源モデルなどの既存手法については，妥当性に関する考察がまだ十分では無い．よって今後はデバイスシミュレーションを用いて，これらのモデルの妥当性を評価する予定である．

謝　　辞

本研究の一部は，科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST)「統合的高信頼化設計のためのモデル化と検出・訂正・回復技術」の支援によるものである．

文　　献

[1] Q. Zhou and K. Mohanram, “Cost-Effective Radiation Hardening Technique for Combinational Logic,” *Proc. ICCAD*, pp. 100–106, Nov 2004.

[2] Q. Zhou and K. Mohanram, “Transistor Sizing for Radiation Hardening,” *Proc. Intl. Reliability Physics Symposium*, pp. 310–315, 2004.

[3] Y. Lin and L. He, “Device and Architecture Concurrent Optimization for FPGA Transient Soft Error Rate,” *Proc. of ICCAD*, pp. 194–198, 2007.

[4] R. Garg, C. Nagpal, and S. P. Khatri, “A Fast, Analytical Estimator for the SEU-induced Pulse Width in Combinational Designs,” *Proc. of DAC*, pp. 918–923, June 2008.

[5] G. l Wirth, M. G. Vieira, E. H. Neto, and F. G. L. Kastensmidt, “Single Event Transients in Combinatorial Circuits,” *Proc. SBCCI*, pp. 121–126, Dec 2005.

[6] P. Shivakumar, M. Kistler, S. W. Keckler, D. Burger, and L. Alvisi, “Modeling the Impact of Device and Pipeline Scaling on the Soft Error Rate of Processor Elements,” *Proc. of DSN*, pp. 389–398, 2002.