

ゲートッドフリップフロップの多ビット結合による レジスタの低電力化

奥平, 拓見
九州大学

石原, 亨
九州大学

安浦, 寛人
九州大学

<https://hdl.handle.net/2324/16079>

出版情報 : IPSJ Symposium Series, pp.25-30, 2009-08
バージョン :
権利関係 :

ゲートドフリップフロップの多ビット結合によるレジスタの低電力化

Combining multiple gated flip-flops for saving the register power consumption

奥平拓見
Takumi Okuhira

石原亨
Tohru Ishihara

安浦寛人
Hiroto Yasuura

九州大学
Kyushu University

1 はじめに

携帯電話に代表されるバッテリー駆動機器の長時間駆動などの観点から組み込みプロセッサの低電力化が求められている。65nm テクノロジを使用して独自に設計した商用の組み込みプロセッサでは、レジスタでの消費電力がプロセッサ全体の30%~40%を占める。プロセッサの低電力化のためにはレジスタの電力削減が重要であることが分かる。本稿ではレジスタの構成要素であるフリップフロップ (FF) がクロック入力の信号変化によって消費する電力を削減する手法を提案する。

2 関連研究

2.1 クロックゲーティング

FFの低電力化手法としてクロックゲーティングが広く用いられている。典型的なクロックゲーティング手法ではレジスタごとにクロックの供給を制御する[1]。ここで、レジスタとは1ビットの制御信号によりデータフェッチの有無がまとめて制御されるフリップフロップの集合と定義する。典型的なクロックゲーティング手法の問題は、レジスタ内の大部分のビットがデータをフェッチしない場合でも少数のビットがデータフェッチを行う場合にはすべてのビットにクロックを供給する必要があるという点である。上述の商用プロセッサではクロックゲーティングを適用した回路においてもレジスタでの消費電力はプロセッサ全体の10%~20%を占める。

2.2 ゲートドフリップフロップ

Dポートへの入力信号が遷移しない場合にはクロックの供給を停止する回路をFFに追加することで更に消費電力の削減を行うことができる。このような回路を持つFFとしてゲートドフリップフロップ (GFF) が提案されている[2]。図1にGFFを示す。通常のFFにゲーティング回路を付加した構成となっており、付加された回路によりクロックの供給を制御する。

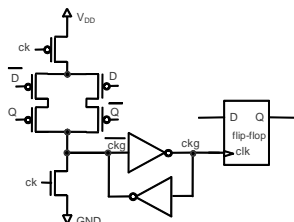


図1 ゲートドフリップフロップ

3 ゲートドフリップフロップの多ビット結合

3.1 回路構成

Dポートへの入力信号遷移確率が低い場合、複数ビットでゲーティング回路を共有することで効率的な電力削減を実現できる。本稿ではGFFの拡張として複数のGFFを結合したフリップフロップの設計を行った。図2に2ビットに拡張したGFFを示す。2ビットのDポ

ートの両方が1サイクル前と同じ値の時はクロック供給を停止する。

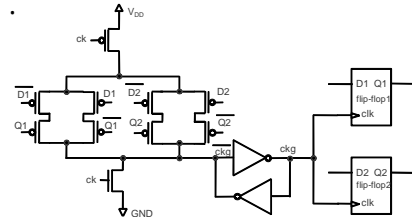


図2 2ビット ゲートドフリップフロップ

3.2 シミュレーション実験

synopsys社のHSPICEを用いて電力評価を行った。トランジスタモデルは商用の65nmテクノロジを使用した。図3に1ビット、4ビットのGFFと通常のFFにおいて、すべてのFFのDポートへの入力信号が同時に変化した場合の電力評価結果を示す。信号遷移確率は1クロックサイクル中でのDポートへの入力信号の平均遷移回数で定義する。例えばDポートの信号遷移確率が0.1の時4ビットGFFの電力は通常のFFの5分の2に削減できる。仮にすべてのFFを信号遷移確率を増加させることなく通常のFFを4ビットGFFで置き換えることができたとしても、典型的なクロックゲーティングを適用した場合と比べてフリップフロップ全体の電力を最大34%削減できることを確認した。

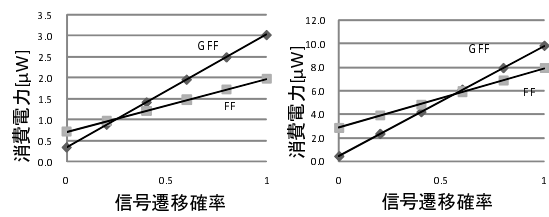


図3 シミュレーション結果

4 おわりに

GFFを多ビット結合することによりDポートの信号遷移確率が低い部分の低電力化を実現した。商用の組み込みプロセッサに適用した場合の電力見積もりを行った結果、最大で34%の電力削減が達成できることを確認した。謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究所、(株)イー・シャトル、富士通株式会社、東芝株式会社、シノプシス株式会社および日本ケイデンス株式会社の協力で行われた。本研究の一部は科学研究費補助金(20700049)によるものである。

参考文献

- [1] N. Raghavan, et al., "Automatic Insertion of Gated Clocks at Register Transfer Level", in Proc.Int'l Conf. on VLSI Design., Jan. 1999, pp. 48-54.
- [2] A.G.M.Stroll, et al., "New Clock-Gating Techniques for Low-Power flip-flops", ISLPED, 2000.